

サブミクロンASIC技術

Design Technology for Sub-micron ASIC

電子機器の高速化・高機能化・多様化を実現するために、高速・高集積ASIC (Application Specific IC) へのニーズが大きくなっており、サブミクロンASIC時代に突入した。日立製作所では、ゲートアレーでサブミクロン技術の実用化を行い、さらにセルベースICをピークルに統合的なサブミクロン技術の立ち上げを行っている。その中で、(1)セルライブラリの統合化およびDA (Design Automation) 環境の整備、(2)高速・高集積・高信頼度プロセスデバイスの開発、(3)自動診断技術の高度化などを行っている。その結果、0.3 ns/ゲート・250 kゲートのフリーチャネルゲートアレーHG62Sシリーズを製品化した。また、0.8 μm セルベースIC用として、0.3~0.7 ns/ゲートの汎(はん)用・高速・低消費電力セルライブラリを開発した。これらのセルは、現在標準LSIの開発に適用を開始するとともに、セルベースカスタムICとして、ユーザーに提供すべくワークステーションに移植中である。

堀野 望* Nozomi Horino

柴田隆嗣* Ryūji Shibata

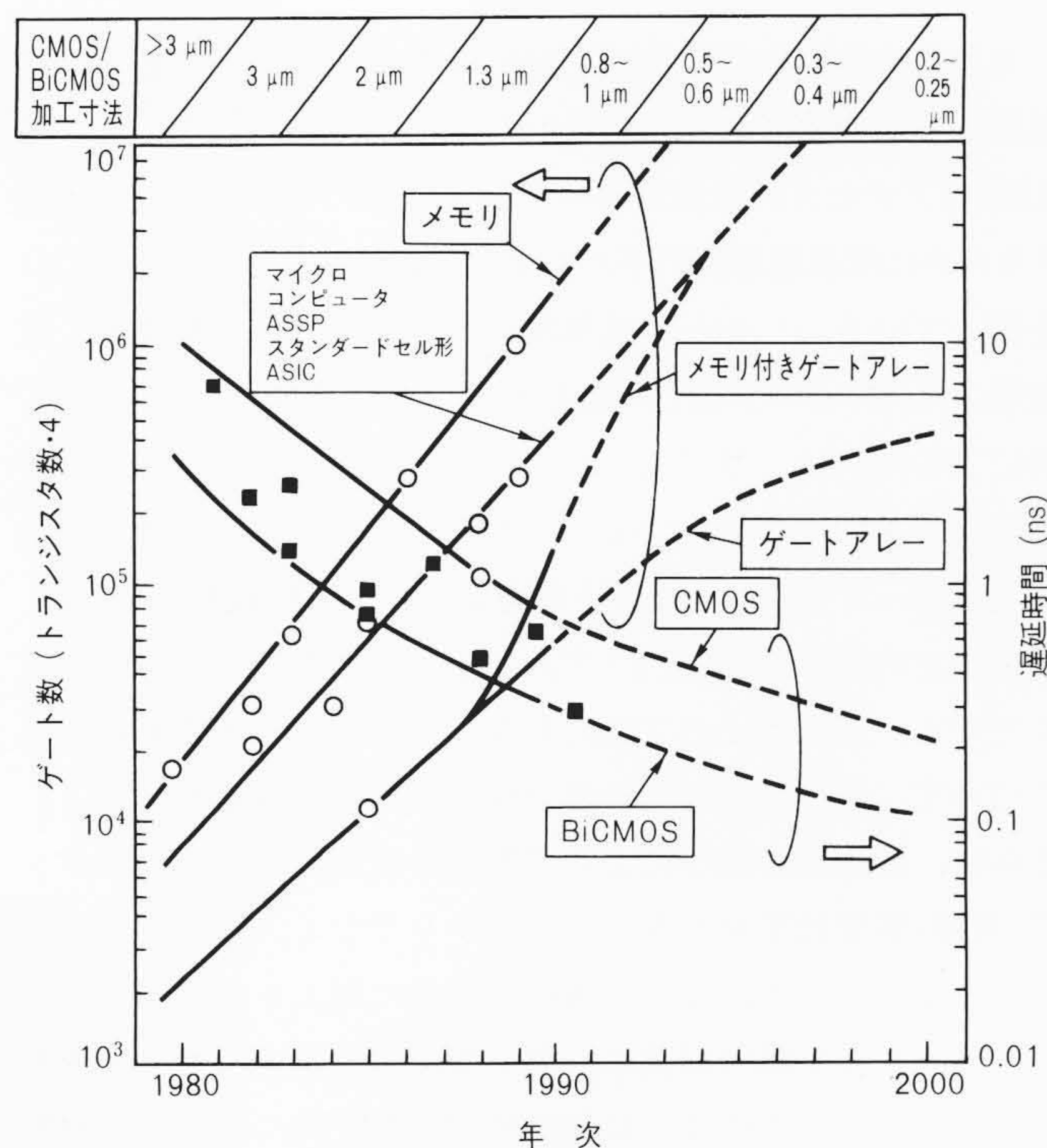
1 緒 言

電子機器の高速化・高機能化・小形化を実現するために、電子機器メーカーは、コストとターンアラウンドタイムの有利性からASIC (Application Specific IC) を取り入れ、著しい技術の発展を進めてきた。これは、LSIの高集積化とDA (Design Automation) の発展によるところが大きい。ASICのゲート規模拡大の様子を図1に示す¹⁾。現在ゲートアレーでは集積度 10^5 ゲート、ゲート遅延時間0.5 nsに達している。LSIの高集積化と高速化の実現は、MOSトランジスタのスケールリング則に従って進められ、すでにプロセス技術はサブミクロン時代に突入している。本稿では、サブミクロンASICを支えるプロセスデバイス技術とパッケージ技術についてその動向と課題を述べる。さらに、日立製作所でのサブミクロンASICの開発状況と、その設計例として0.8 μm CMOSゲートアレー「HG62Sシリーズ」を、CBIC (セルベースIC) としては、モジュール化手法の確立によるセルライブラリについて述べる。

2 サブミクロンASICの動向と技術課題

2.1 プロセス技術

サブミクロン時代のプロセスデバイス技術の課題は、信頼性の向上を図りながら高速・高集積を追求することにある。その技術課題と対応策について表1に示す。高速化には、MOSトランジスタの電流駆動能力の向上と自動レイアウト配



注：略語説明など BiCMOS (Bipolar CMOS)
ASSP (Application Specific Standard Products)
ASIC (Application Specific IC)
○ ゲート数, ■ 遅延時間

図1 ASIC, 汎(はん)用LSIの大規模集積化の現状と今後の展望
ゲートアレーでは、今後メモリの集積化が進みスタンダードセル形ASICに近接していく。

* 日立製作所 半導体設計開発センタ

表1 サブミクロンプロセスの課題と対応 相反する技術課題を、総合的に判断して対応する必要がある。

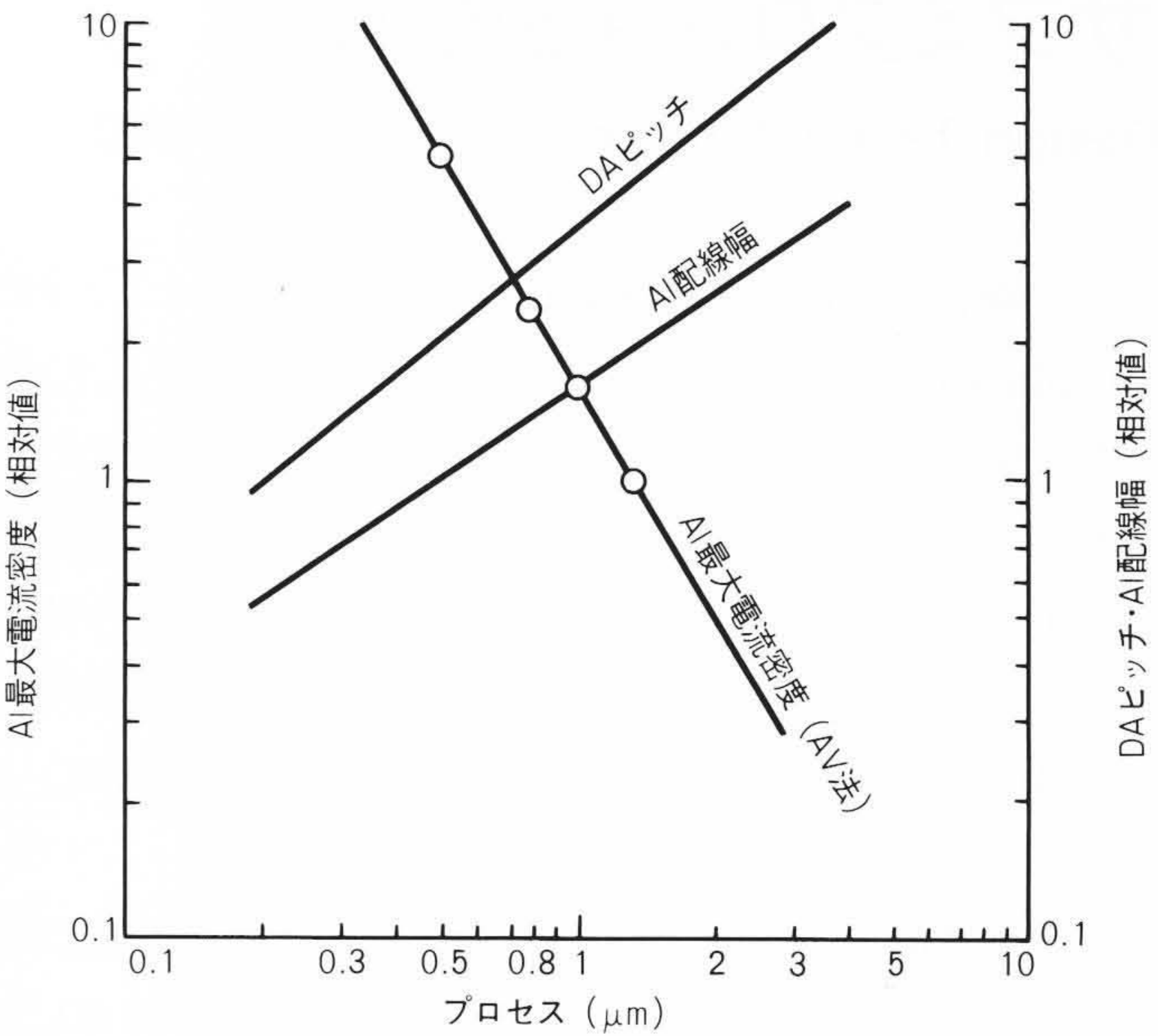
要求項目	技術課題	具体策
高 速 性	MOSトランジスタの駆動能力向上	スケールダウン
	配線容量の低減	配線層間絶縁膜材料検討
	配線抵抗の低減	配線材料・構造の検討
	コンタクトホール・スルーホール抵抗の低減	配線材料・構造の検討
高集積化	配線ピッチの縮小	平たん化技術 微細加工技術
	ホットキャリア対策	MOS構造の最適化
信 頼 性	AIマイグレーション対策	配線材料・構造の検討
	AI配線の接続信頼性	配線層間絶縁膜・配線材料の検討

線層の寄生容量および抵抗の低減が有効である。スケーリング則によるMOSトランジスタの性能向上を図るために、ホットキャリアによる信頼度への影響の問題を解決する必要がある。

集積度の向上には、自動配置配線するDAピッチの縮小と多層配線化が有効である。サブミクロンASIC時代に入って3層AI配線プロセスの採用が各社で始まっているが、これを実現するために配線層層間の平たん化と配線の加工精度が鍵(かぎ)を握っている。しかし、高集積化の副作用として配線層、拡散層、スルーホールなどの抵抗が増大し、高速化と逆行する。特にこの傾向は、サブミクロンプロセスで顕著になる。また、高速化と配線幅の縮小によってAIマイグレーションの問題が深刻になってくる。その様子を図2に示す。配線材料の選択、構造などの検討が鍵(かぎ)であるが、その際信号の遅延ばかりでなく、電源電圧の下降にも深刻な影響を与える配線抵抗について、低抵抗化のためのプロセスの改善も必要となる。さらに、配線幅の縮小によって配線の側面からのフリンジング(周縁)容量比率が大きくなるばかりでなく、配線間の距離が近くなったことによって隣接間容量の増大を招く。最終パッシベーション膜の材質は、最上層配線の寄生容量に大きな影響を与える。このように相反する事項を持つため、新材料の開発やプロセスの改善と同時に、チップレイアウト設計での対策や、それらを考慮したDAの開発が必要となる。またI/O領域では、静電破壊やラッチアップの問題とホットキャリアに対する条件が内部回路よりも厳しくなるため、レイアウト設計上の対策とプロセス上の対策がより必要となる。

2.2 パッケージ技術

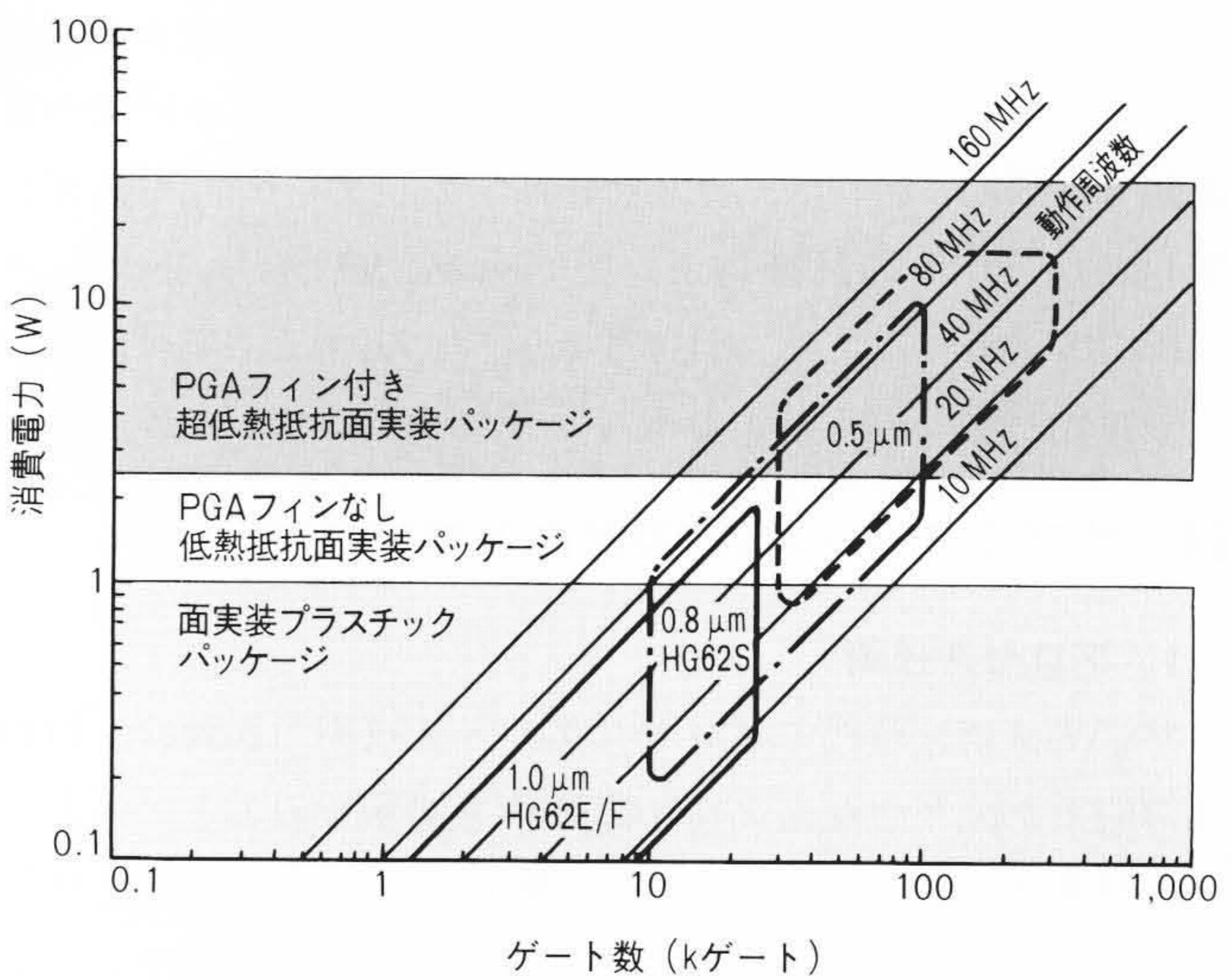
ASIC用パッケージには、小形化、多ピン化、高速化対応などが要求される。サブミクロンASICでは、その高速・高集積



注：略語説明 DA (Design Automation) AV (Average)法

図2 AI配線ピッチと最大電流密度のプロセストレンド プロセスの微細化によってAI配線幅は減少し、その結果AI配線の電流密度は増加していく。

の特長を最大限に引き出したとき、LSIチップの発熱が深刻な問題を引き起こす。ゲート規模に対する消費電力の関係を図3示す。ゲート規模の増大と高速化による動作周波数の向上により、消費電力は飛躍的に増え、CMOSといえども消費電力対策抜きではパッケージを考えられなくなっている。LSIチップ自体の発熱による素子特性の変動を抑えるにあたり、信頼性を確保のためにパッケージからの放熱性を高めること



注：略語説明 PGA (Pin Grid Array)

図3 ゲート規模と消費電力の関係 ゲート数と動作周波数の増加により、消費電力は大幅に増え、放熱効果のよいパッケージが必要になる。

が必要となってくる。放射性のよいパッケージとしては、ヒートスプレッド(熱放散)付きの面実装形やPPGA(Plastic Pin Grid Array)のパッケージ、PGA(Pin Grid Array)などがメインとなる。さらに、より放熱性を高めるためには、外付けフィンの取り付けを行い、これに放熱ファンによる送風によって熱抵抗の大幅な低減を図ることができる。

また多ピン化対応については、サブミクロンプロセスにより、同一ゲート規模を搭載できるチップサイズが従来よりも大幅に小さくなり、必要I/O数を確保するためにはチップからパッケージへの信号の引き出しに新しい技術の導入が必要である。

3 日立製作所でのサブミクロンASICへの取り組み

サブミクロンASICの最初の製品である0.8 μmAl 3層CMOSゲートアレー「HG62Sシリーズ」と、モジュール化手法に基づくCBICセルライブラリについて述べる。

3.1 HG62Sシリーズの設計

HG62Sシリーズでは、ゲート遅延時間0.3 nsと高速で25万ゲートまでの大規模・高集積を実現するために、0.8 μmCMOSメタル3層プロセスと「フリーチャネル方式」を採用した²⁾。

「フリーチャネル方式」は「固定チャネル方式」に比べ、レジスタファイルのような規則的な論理では、セル列間の配線チャネルがほとんど不要となるため、フリーチャネル化による面積縮小効果が大きい。本方式を採用するにあたり、ゲートアレーの回路の基本単位であるベーシックセルの設計で下記の点に考慮した。

- (1) メモリ搭載効率がよいこと。
- (2) グルーロジック搭載効率がよいこと。
- (3) 高速性能の確保
- (4) 自動診断用セルが構成しやすいこと。

ベーシックセル構造による比較を図4に示す。広範囲な用途への応用を第一の目標として、メモリの構成および自動診断用セルに適し、かつ高速セルのパワー駆動に対応しやすく、総合的に面積効率の最も高い4入力両面端子形のベーシックセルを採用した。またトランジスタサイズは、遅延時間0.3 nsという高速性と、波形の上昇・下降時間のバランスに考慮し設計した。さらに、その次の世代のゲートアレーへのセルの継承性を考慮し、セルト形状を変更せずシュリンク可能となる設計法を採用した。

HG62Sシリーズでは高速・大規模・高集積を実現するために、0.8 μmCMOSメタル3層プロセスを採用した。高速化のためのMOSトランジスタの駆動能力はMOS構造の最適化などによって改良し、1.0 μmデバイスに比べ信頼度を確保したままで50%近い向上を達成した。配線幅の縮小とAl 3層目配線の多用、および最上層パッシベーション膜材質を新たに選定することにより、従来に比べ10%程度信号配線の負荷容量を

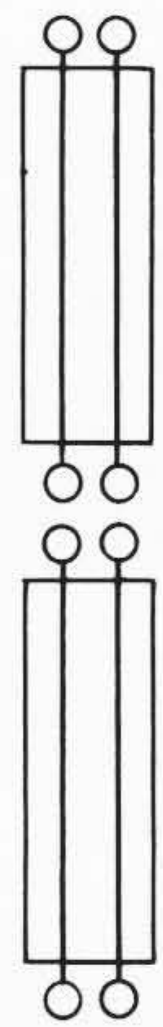
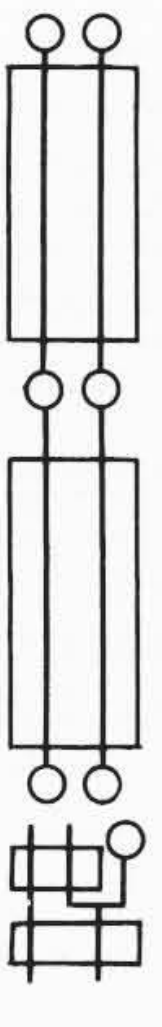
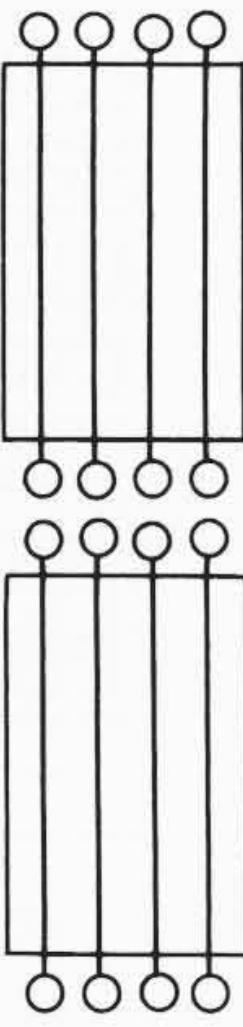
項 目	2入力	2入力+ メモリ専用 小NMOS	4入力
構 成			
メモリ搭載効率	×	○	△
ロジック搭載効率	○	×	○
診断セル構成	×	○	△
パワーセル構成	△	△	○

図4 基本セル方式による比較 4入力両面端子形セルが、総合的に面積効率が最も高い。

低減することができた。高速化によって問題になるAlのマイグレーションについては、積層メタルを採用し、従来以上のレベルを実現した。多層配線技術の鍵となる平坦性を確保するために、下地については低温リフロー技術で、配線層層間は従来実績のあるSOG(Spin On Glass)の改良を図ることにより、メタル3層技術を確立した。

ゲートアレーのゲート規模が大きくなるにつれて、開発の期間短縮が重要な課題となりつつある。特に、テスト関連の期間短縮が最重要課題として広く認識されている。日立製作所では、従来自動診断技術の開発に力を入れ、大規模ゲートアレーの開発期間短縮(トータルQTAT: Quick Turn Around Time)に力を入れてきた。特にサブミクロン時代には、ほとんどの大規模ゲートアレーで自動診断技術が不可欠になると考えられる。しかし、大規模ゲートアレーの自動診断にも次のような課題がある。実用上20 kゲートクラスまでは故障検出率・テストパターン生成時間も実用的であるが、ゲート規模が100 kゲートにもなるとテストパターン生成時間は飛躍的に増大する。このため、テストパターン生成時間のいっそうの高速化を目指して新規技術開発を行った。100 kゲートでも従来の20 kゲートクラスに比べほぼ同程度の時間で生成可能とし、HG62Sシリーズのゲートアレーへの適用を可能とした。

図5に示すようなレイアウトイメージを持つフリーチャネルゲートアレー用レイアウトDAを新規開発した。RAMなどの規則論理ブロックの搭載機能を持っており、信号配線には

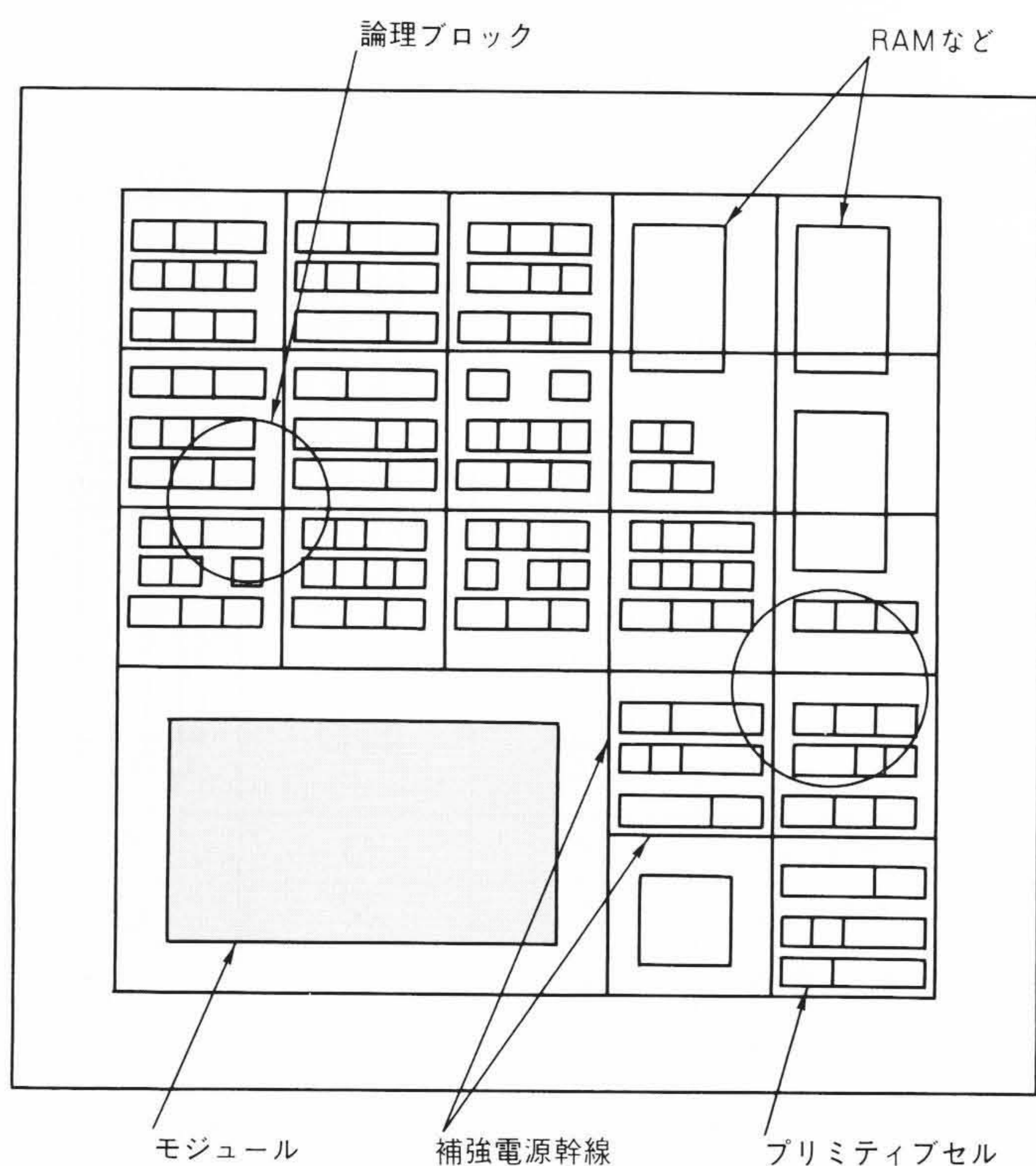


図5 HG62Sシリーズのレイアウトイメージ図 階層化設計手法の導入により、サブミクロンデバイス的高速性を十分生かせるようにした。

全層のAlを使用した。なお、全層Alのピッチを等しくすることにより、DAへの負担の軽減をしながら実装率の向上を図った。一方、補強電源線については、顧客使用周波数に合わせて、DAによって縦横方向に自動で布線する。大規模LSIの性能を極力引き出す手法として、ユーザー指定の論理ブロックの塊はレイアウトでも維持する階層化設計手法を導入し、サブミクロンデバイス的高速性を十分生かせるようにした。

さらに、消費電力分散機能のレイアウトDAへの取り込み、低熱抵抗・低インピーダンスパッケージの開発、クロックスキュー対策などを今後の課題として、サブミクロンゲートアレー技術の開発を進めている。

3.2 セルベースICの設計

従来セルベースICは、セルライブラリとして単純なゲートやフリップフロップなどのプリミティブ(小集積度)セルだけを持ったポリセル形(スタンダードセル)が主であった。このようなスタンダードセルではゲートアレーとの間で顕著な差別化ができず、より高機能・高集積なシステムオンチップ化(1チップ上にシステムを形成)が市場ニーズの究極にあった。この要求にこたえ、かつ顧客の設計負担低減のためには、階層的設計手法(ビルディングブロック形)の導入が不可欠である(図6参照)。これをサポートする手段の一つは、ASICベンダが機能ブロックを実現するツール(コンパイラ)を提供することである。もう一つは、ASICベンダが機能ブロックを設計し、これをセルライブラリに含ませて顧客に提供する方法で

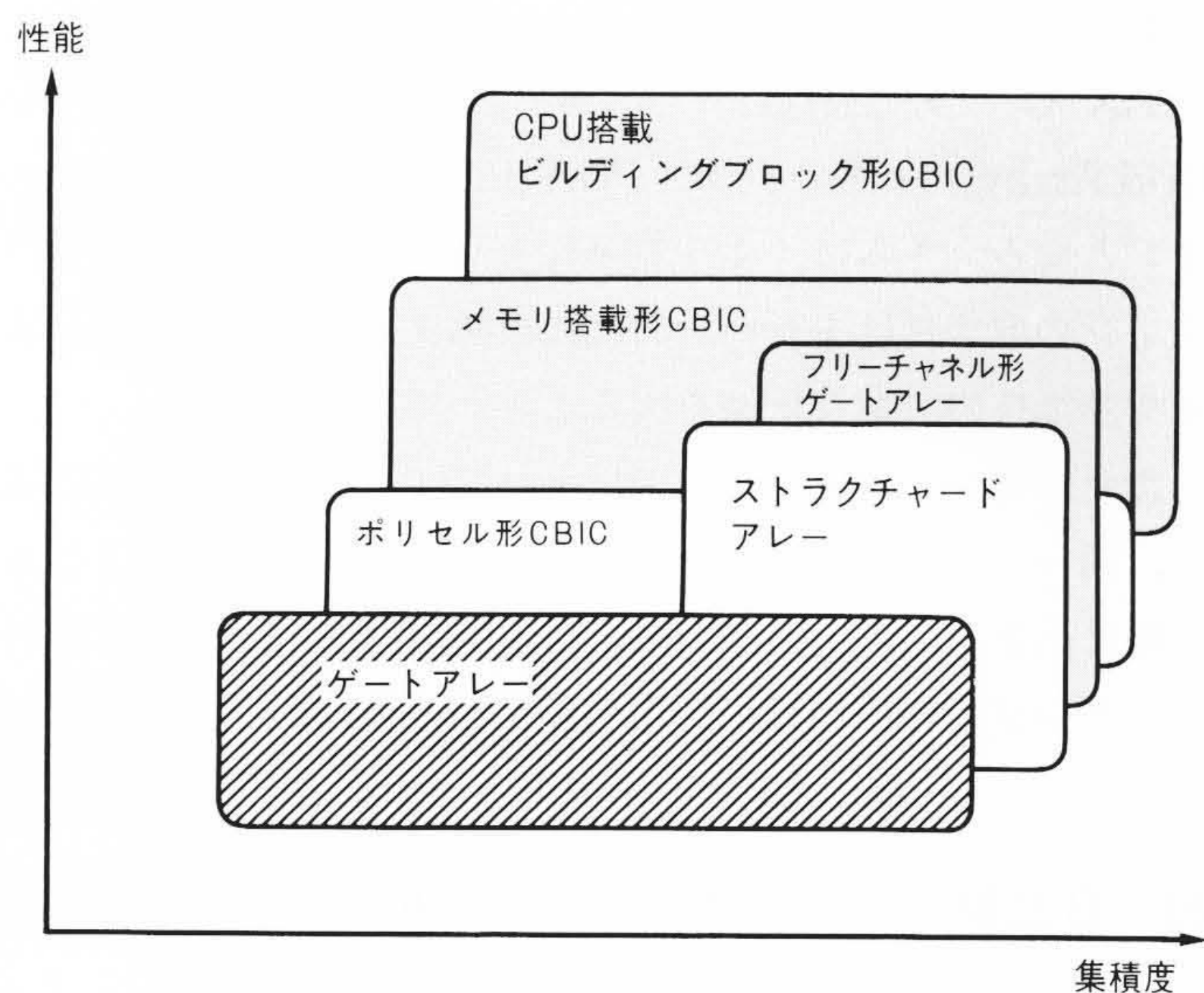


図6 各種ASIC製品の機能・性能マップ 顧客の設計負担低減と市場ニーズの対応のためには、階層的設計手法(ビルディングブロック形)の導入が不可欠である。

ある。日立製作所では、前者への対応としてVLSI Technology社との提携によって導入した設計ツール上で設計できるHG51シリーズを用意し、後者への対応としてSBP標準バス設計手法(Silicon-Back-Planeと呼ばれる独自に開発した設計コンセプト)を用いたHG52シリーズを開発した^{3),4)}。現在HG51シリーズは1.0 μm プロセスを、HG52シリーズは1.3 μm プロセスを実用化しているが、引き続きさらに高機能・高集積なシステムオンチップの実現のために、サブミクロンASIC技術の開発を推進している。サブミクロンASIC技術のうち、CBICの技術を確立する上で重要なことは、(1)セルライブラリのポータビリティ(プロセス世代間、異種プロセス間、設計者間)、(2)セルライブラリの早期整備、(3)高性能DAとの高い整合性によるDAおよび素子の本来性能の発揮、などである。このために、日立製作所ではサブミクロンASIC向けに、(1)プロセス・デバイスの標準化、(2)デザインルールの統一化、(3)セル共同利用のためのセルライブラリ、データベース、DAの統合化を推進し、さらにこれら全体を見渡した設計手法の標準化を進めている。以下、上記課題へのアプローチの一部を述べる。

(1) プロセス・デバイスの標準化

プロセス世代間、異種プロセス間、設計者間のセルライブラリのポータビリティを可能とするためには、プロセス・デバイスの標準化を推進する必要がある。先行するメモリのプロセス・デバイスを基本にして、ロジックマイコン用のASICプロセス・デバイスを開発した。メモリの第2世代のプロセス・デバイス性能をロジックマイコン用に採用する。これにより、市場の高速化・高性能化に対応している。ロジックマイコン用プロセス・デバイスに要求される性能は、DAピッチ

の縮小，MOSトランジスタの駆動能力向上，メタル電流密度の向上である。DAピッチの縮小のためには，メタルの微細加工技術の開発が必要となる。メタル電流密度を向上するために，積層構造を適用した新メタルプロセスを開発した。これにより，DAツールへの負担を軽減する。ベースプロセスをポリサイド1層，メタル2層で構成し，その上にSRAM(Static RAM)，EPROM(Erasable Programmable ROM)，EEPROM(Electrically Erasable Programmable ROM)，容量，などを載せてモジュラープロセスとして展開する。

(2) デザインルールの統一

セルライブラリを設計者間で共同利用するためには，デザインルールを統一することが必須(す)である。共通のパターン設計ルールの開発は，設計品質の向上と設計効率向上のために基本条件となる。0.8 μm 世代では，サブミクロンASIC用統合セルライブラリ用の共通デザインルールを開発し，セル設計に適用した。0.8 μm 世代のデザインルールは次世代へのスケーリング可能を条件として設定されている。複数世代にわたってセル財産の継承が可能である。さらにセル開発ガイドラインを設定することにより，セルの分担開発と共同利用を可能としている。

(3) セルライブラリの統合化

図7に示すようなASICの種々のニーズに対応するために，汎用・高速・低消費電力の3タイプのセルライブラリのグループを開発している⁵⁾。これによって，高速性を特に要求するコンピュータや通信分野には高速セルライブラリ，高集積化のニーズの高いOA分野には汎用セルライブラリ，低電圧のニ

ーズの高い民生分野には低消費電力ライブラリと，それぞれのニーズに応じて選択ができる。

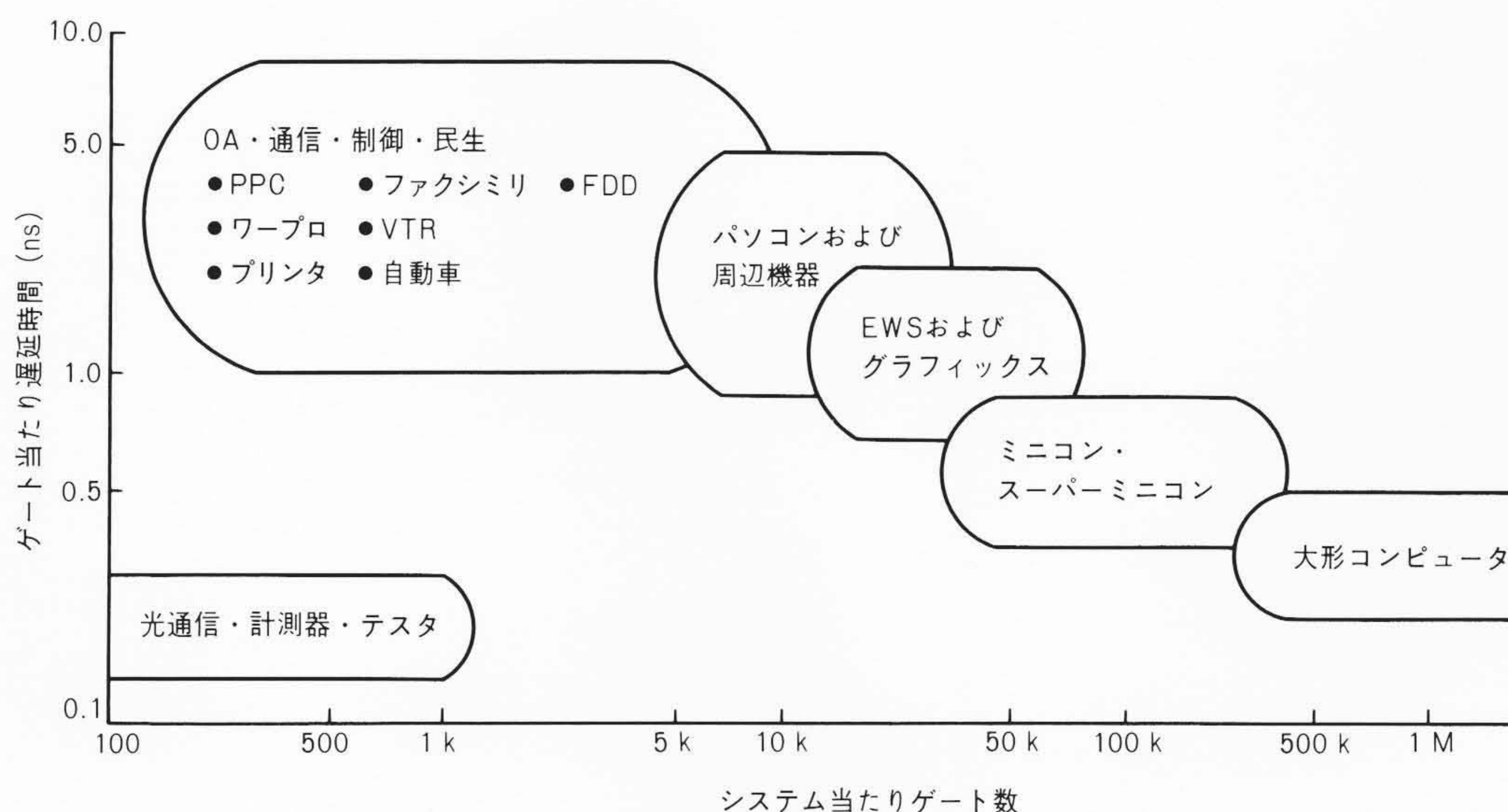
これらの三つのセルライブラリは性能仕様とコストパフォーマンスが最適化されており，おのこのニーズに対応可能である。

(4) 設計手法の標準化

上記の標準化設計手法の採用によって，従来個別設計手法を採用していたカスタムLSIや標準品(ASSP: Application Specific Standard Products)の設計にもビルディングブロック方式のセルベースICの設計手法の適用が可能になってきた。これにより設計品質の向上，設計効率の向上，設計期間短縮が可能となる。

(5) 大規模セルライブラリ(モジュール化手法)の導入

本格的なサブミクロン時代のLSIの大規模化に伴い，現在のDAだけでは解決できない課題が生じてきた。すなわち，機能設計・論理設計の設計者の不足，あるいは設計の前工程段階での期間の大幅な増加である。このため，すでに設計した機能ブロック(モジュール)あるいは第三者から提供を受けたモジュールを活用し，これらとみずからの設計回路を組み合わせ，新しい大規模LSIの開発を行っていくことが多くのユーザーニーズとなってきた。日立製作所では，これらの技術動向に対応するために，SBP(Silicon Back Plane)設計手法やモジュールテスト法などの設計手法，DAの開発を進めるとともに，CPUコア・各種モジュール(デジタル・アナログ)のセルライブラリを開発した。現在これらのセルを使いASSPの開発に適用を開始するとともに，ユーザーが直接CBICを開発



注：略語説明 PPC (Plain Paper Copier), FDP (Floppy Disk Drive), ワープロ (ワードプロセッサ)

EWS (Engineering Work Station), ミニコン (ミニコンピュータ), パソコン (パーソナルコンピュータ)

出典：日経エレクトロニクス⁵⁾

図7 ゲートアレーの応用分野 ASICの種々のニーズに対応するために，汎用・高速・低消費電力のセルライブラリを開発している。

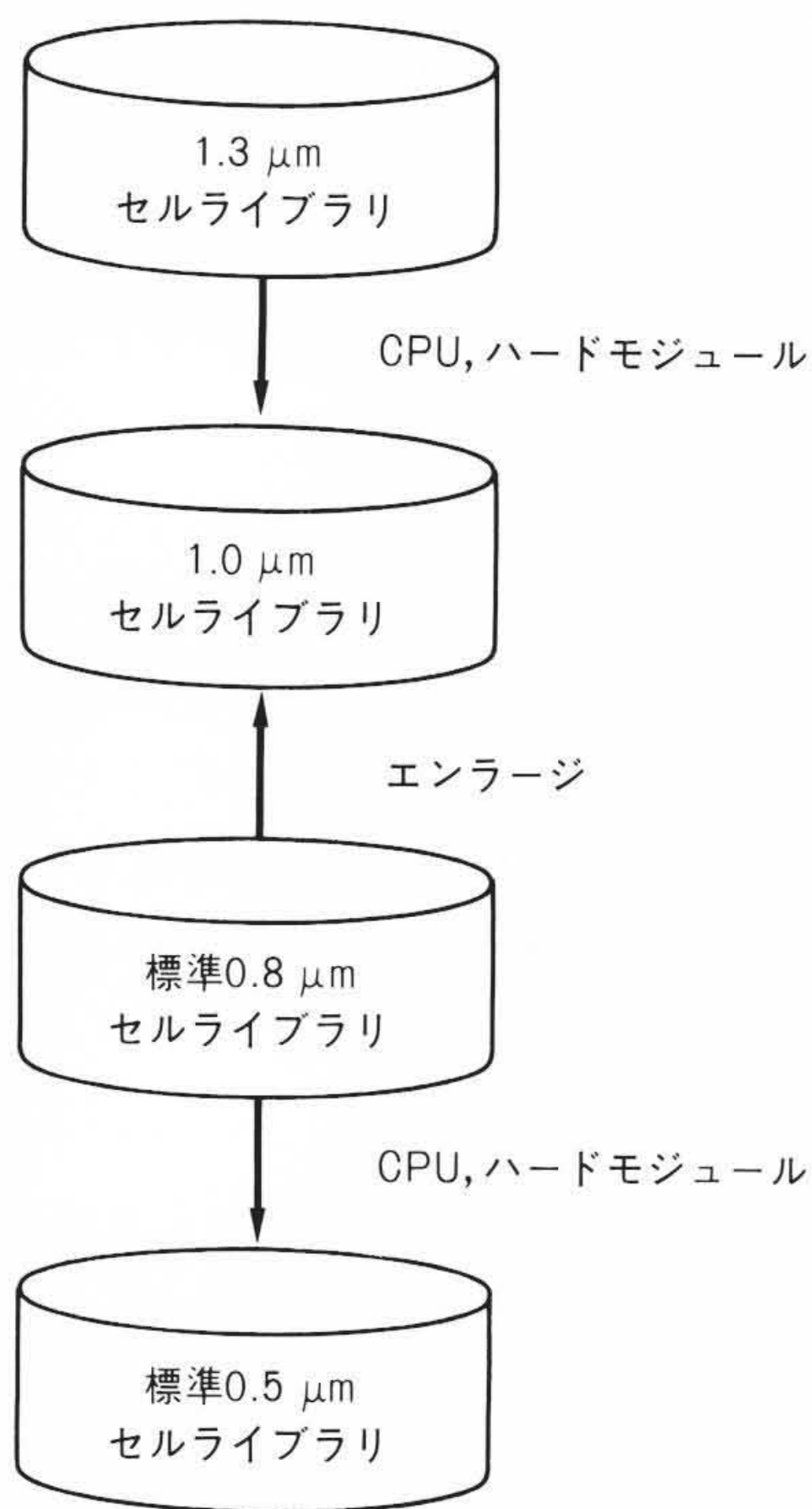


図 8 CBIC(セルベースIC)用セルライブラリの世代間継承性 セルライブラリの標準化により、品質の向上やプロセス世代間でのすばやい移行が可能になる。

できるようにワークステーションへの登録を進めている。これによりセルライブラリの品質向上、プロセス世代間(1.0 μm/0.8 μm/0.5 μm)でのすばやい移行が可能となり(図 8 参照)、多くの顧客に先端のサブミクロンASICを早期に利用してもらえることになる。

4 結 言

以上、サブミクロンASICを支えるプロセスおよびパッケージ技術の動向と課題、さらに日立製作所のサブミクロン製品であるHG62GゲートアレーとCBICのサブミクロン統合セルライブラリについて述べたが、これらについて以下に簡単にまとめる。

- (1) サブミクロンゲートアレーでは、フリーチャネル設計方式・0.8 μmAl 3 層プロセス・フリーチャネル用DAなどの技術を開発し、0.3 ns/ゲート・250 kゲートの高速・高集積のゲートアレーを開発した。
- (2) サブミクロンセルベースICでは、性能仕様別のサブミクロン統合セルライブラリ・標準化設計手法などの技術開発を進め、0.3~0.7 ns/ゲート・100 kゲートの高速・高集積CBICの実現を目指している。

現状はまだ残された課題も多いが、今後さらにユーザーニーズにこたえられる新しい技術の開発に取り組んでいく。

参考文献

- 1) 増原, 外: ASIC設計手法の現状と将来, 日立評論, 71, 12, 1201~1208(平1-12)
- 2) 小出, 外: フリーチャネルゲートアレー「HG62Sシリーズ」日立評論, 71, 12, 1209~1212(平1-12)
- 3) チェン イーチン, 外: VLSIテクノロジー社ツールによるセルベースICの設計, 日立評論, 71, 12, 1231~1238(平1-12)
- 4) 小林, 外: セルベースIC「HG52シリーズ」日立評論, 71, 12, 1223~1230(平1-12)
- 5) 多様な分野へ広がりを見せるASIC市場, 日経エレクトロニクス(平1-1)