

高精細CRT対応超高速カラーパレットLSI

Urtra High Speed Color Palette LSI for High Resolution CRTs

日立製作所では、最近のグラフィックシステムでのCRT画面の高精細化・多色表示化に伴い、そのキーデバイスとなるカラーパレットLSIシリーズの製品化を行っている。そして、今回新たに1,600ドット×1,280ラインクラス以上の高精細CRT対応として、最大動作周波数200 MHzの超高速カラーパレットLSIの開発に着手した。基本設計技術としては、0.8 μm BiCMOS (Bipolar CMOS) 技術を採用した。さらに、高速センスアンプ回路の新規設計、3種類のラッチ回路の最適配置などを行い、高速化と同時に低消費電力化も目指した。現在、回路シミュレーションベースでは、最大動作周波数230 MHz以上、最大消費電力2.3 W以下という結果を得ている。

奈良 孝* Takashi Nara

浦上 憲* Akira Uragami

1 緒 言

最近のパーソナルコンピュータやワークステーションの高性能化、高性能化には目覚ましいものがある。それに伴い、画面の高精細化、多色表示化が進み、そのキーデバイスであるカラーパレットLSIでも、メモリサイズの拡張と動作周波数の向上が積極的に進められている。CRT画面仕様(サイズ、表示色数)とカラーパレットLSIの最大動作周波数の相関および年度別の推移を図1に示す。カラーパレットLSIが初めて登場した1980年当初では、最大表示色数256色、最大動作周波数は25 MHz程度であったが、1990年には1,677万色、125 MHzのものも登場した。さらに、多色化・高速化への動きは加速され、2、3年後には200 MHz以上のクラスが登場するとみられている。

本稿では、最大動作周波数200 MHzのカラーパレットLSI HD153120の製品設計技術と今後の技術動向について述べる。

2 カラーパレットLSIの基本構成

カラーパレットLSIの基本構成を図2に示す。構成としては、パレット用メモリ部、D-A変換器部、ロジック部の三つのブロックから成っている。メモリ部では、デジタル符号化されたカラー情報の格納を行っており、メモリサイズとしては、256ワード×24ビットクラスが現在主流である。D-A変換器部では、メモリ部からのカラー情報デジタル信号を受けて、アナログ信号に変換し、アナログCRT用のR (Red)・G (Green)・B (Blue) 信号として出力を行っている。また、ロジック部では、メモリ部およびD-A変換器部のタイミング制御

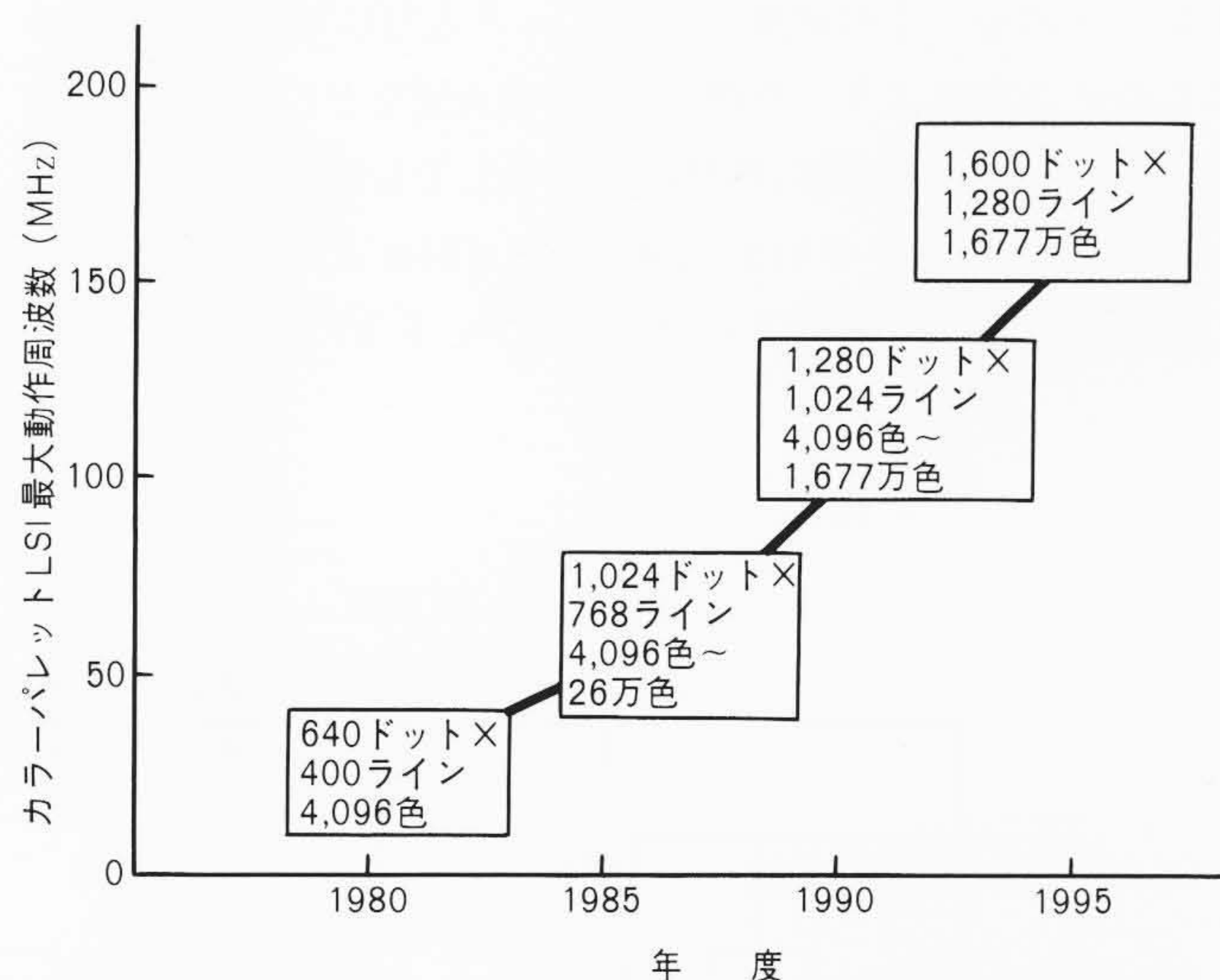


図1 CRT画面仕様とカラーパレットLSI最大動作周波数の推移
カラーパレットLSIに要求される最大動作周波数は年々増大し、1995年には200 MHz程度になると思われ、表示色数に関しては1,677万色が標準になると思われる。

と外部コントローラとのインタフェースの役割を果たしている。

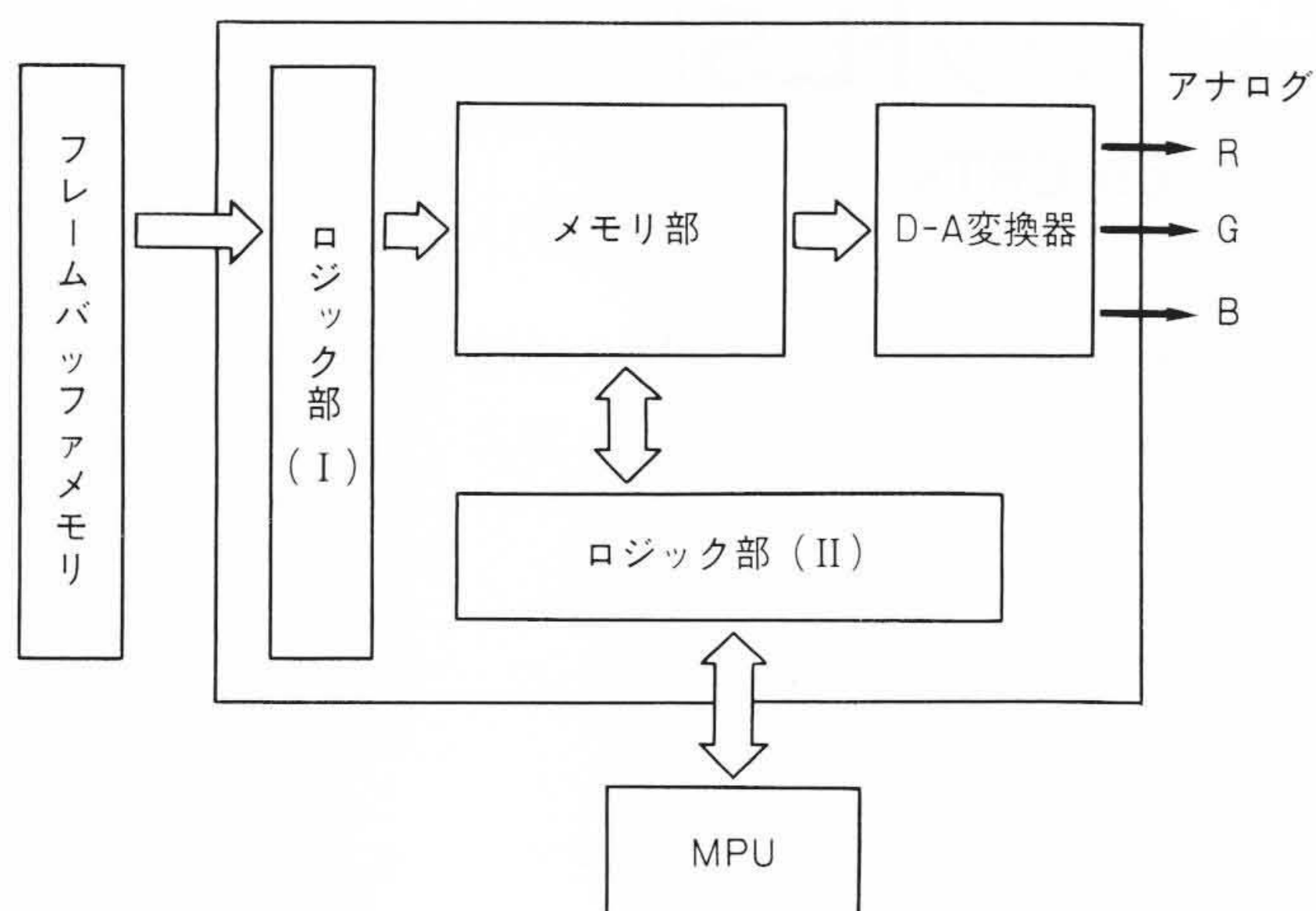
3 HD153120の設計

3.1 仕様概要

3.1.1 構成

HD153120のブロックダイヤグラムを図3に示す。入力部は

* 日立製作所 半導体設計開発センタ



注：略語説明

MPU (Micro Processor Unit)

図2 カラーパレットLSIの基本構成 カラーパレットLSIは基本的にロジック部、メモリ部、D-A変換器部の三つのブロックで構成される。

画素データのマルチプレクス機能を内蔵させ、画面表示ドットレートの $\frac{1}{8}$, $\frac{1}{4}$ の速度の外部データ入力に対応できるようにした。これにより、外部のビデオRAMなどのフレームバッファメモリとの中間に外付け回路なしでも直結できるようにした。パレット用メモリは、256ワード×24ビットのCLT(Color Lookup Table)と16ワード×24ビットのOLT(Overlay

Table)で構成した。CLTは通常の文字ないし絵の色情報格納用テーブルであり、OLTはカーソル、格子などの付加的な表示記号の色情報格納用テーブルである。D-A変換器部では高精度の8ビットD-A変換器をR、G、B用におおの1チャンネルずつ持たせ、最大1,677万色の色表示を可能にした。

3.1.2 機 能

HD153120に持たせた付加的な機能を表1に示す。以下、代表的なものに関して、その内容を簡単に示す。

(1) 入力マルチプレクス機能

画素データは、PD 7 (A~H) ~ PD 0 (A~H) の各端子から入力する。入力速度としては、コマンドレジスタという内部レジスタを設定することにより、CRT画面表示ドットレートの $\frac{1}{8}$ あるいは $\frac{1}{4}$ の速度のいずれかを選択できるようにした。例えば、ドットレートを200 MHzとした場合でも、データ入力速度としては25 MHzあるいは50 MHz程度で十分であり、50 MHz以上のカラーパレットLSIとフレームバッファメモリを接続する際に従来必要とされたパラレル・シリアル変換用ICを不要とした。

(2) リードマスク機能

CRT画面表示の際にパレット用メモリを分割使用できるように、ピクセルリードマスクレジスタを内蔵させた。このレジスタを用いると、PD 7 (A~H) ~ PD 0 (A~H) から入力される画素データの任意ビットを " 0 " 情報に固定することが

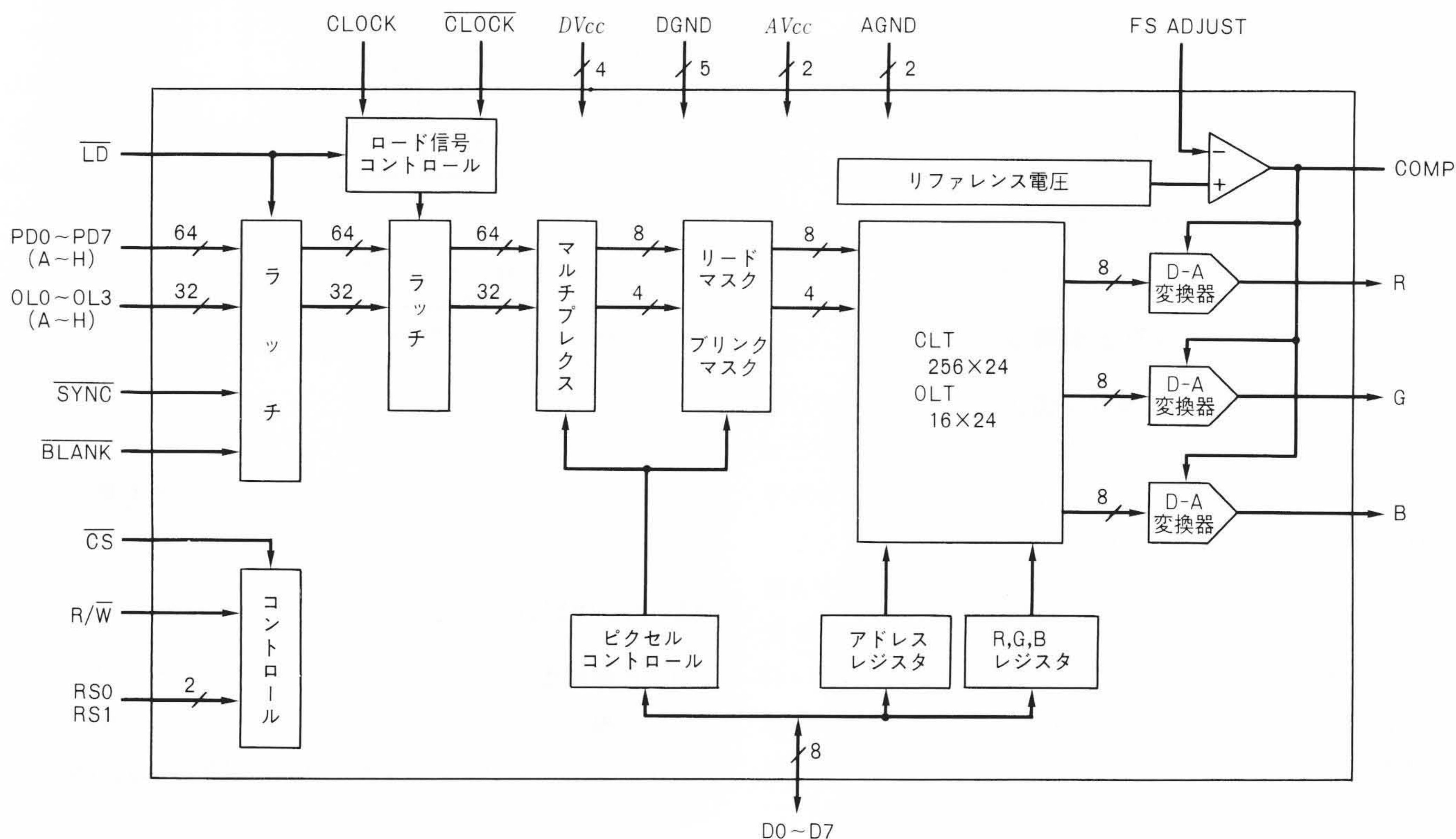


図3 HD153120のブロックダイアグラム ロジック部は、各種レジスタ、ラッチ、I/Oコントロール回路から成る。メモリ部はCLT、OLTと二つのテーブルを持ち、D-A変換器部は8ビットD-A変換器を3チャンネル持つ。

表1 付加機能一覧 本製品の持つ主な機能としては、入力マルチプレクス機能、オーバレイ機能、リードマスク機能、ブリンクマスク機能などがある。

No.	機 能 名	内 容 説 明
1	入力マルチプレクス機能	ピクセル入力データは、ドットレートの $\frac{1}{8}$ または $\frac{1}{4}$ の速度で入力することができる。ピクセル入力データはPD7(A~H)~PD0(A~H)の各端子から入力する。
2	オーバレイ機能	ピクセルデータとオーバレイデータを、1ピクセル単位で切り替えてビデオ出力できる。オーバレイ表示色の最大は16色まで可能となる。
3	リードマスク機能	内部のリードマスクレジスタを用いて、PD7(A~H)~PD0(A~H)から入力されるピクセルデータの任意ビットを“0”情報に固定することができる。
4	ブリンクタイミング機能	ブリンクのオン・オフ表示期間を内部レジスタを用いて設定する。オン/オフ比率は、16：48、16：16、32：32および64：64の4とおりの選択が可能である。
5	ブリンクマスク機能	PD7(A~H)~PD0(A~H)から入力されるピクセルデータに対し、ビット単位にブリンクをマスクすることができる。設定は内部レジスタを用いる。
6	リード・ライトアドレスオートインクリメント機能	メモリのリード・ライト時、アドレッシングは開始アドレスが設定されると、オートインクリメントで行われる。

できる。例えば、メモリの最上位アドレスを制御するPD7からの入力信号を“0”情報に固定すると、メモリマットの下半分だけ画面表示用色情報として取り出すことができる。また同時に、メモリマットの上半分はマスクされた形となり、画面表示されない状態となる。さらに、PD7に限らず、他の入力の“0”固定を組み合わせることにより、メモリ分割を自由に行うことができる。すなわち、マスクするピクセルデータビットをプレーンに対応させることで、独立したビットマッププレーンとして取り扱うことを可能にした。

(3) ブリンク・ブリンクマスク機能

内蔵のコマンドレジスタを設定することにより、ブリンク状態のオン・オフ期間を選択できるようにした。オン・オフ期間の種類としては、垂直同期信号の周期を1とした場合、16/48、16/16、32/32および64/64と4種類ある。また、ブリンクオフ期間に有効とする画素データに関しては、ブリンクマスクレジスタを用いてビット単位に設定することを可能にした。

3.2 高速化および低消費電力化の検討

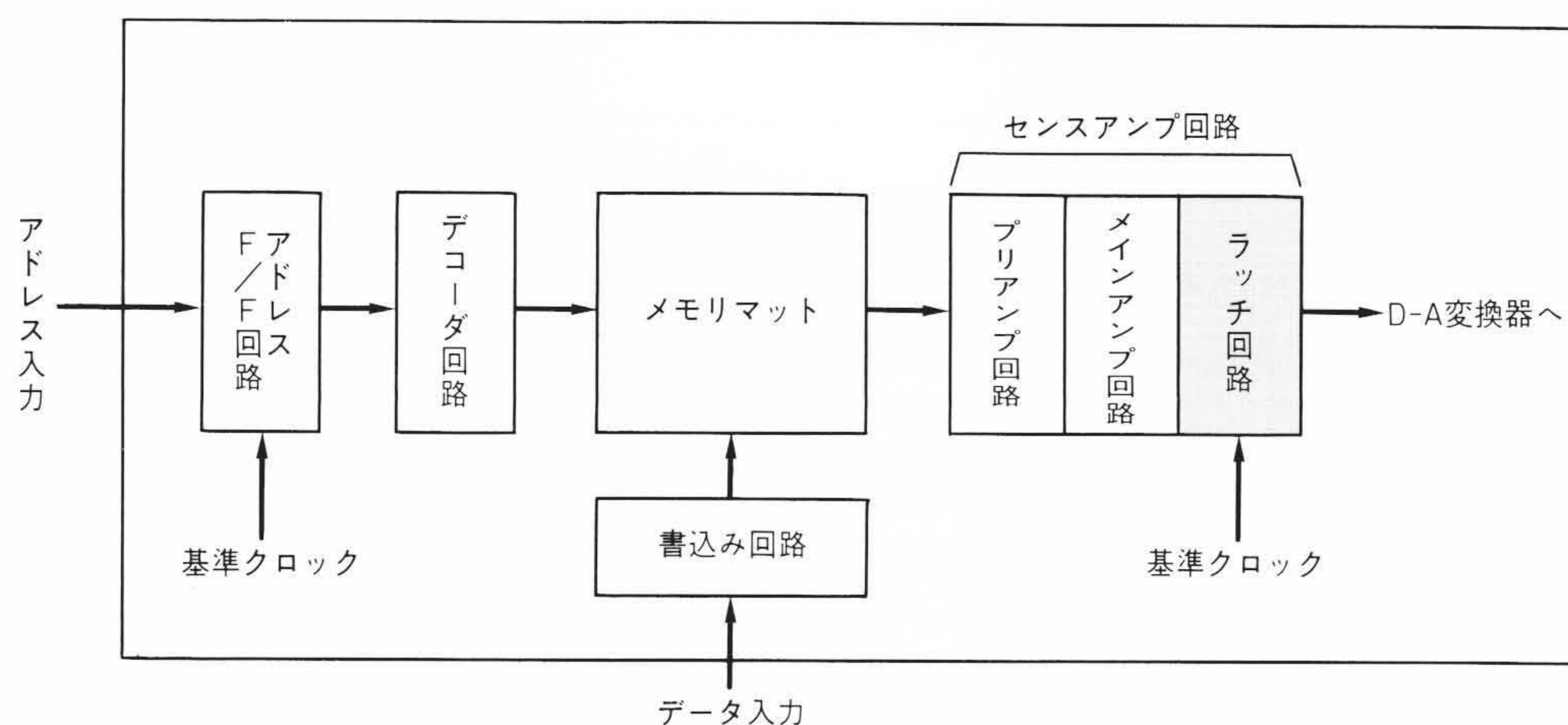
動作周波数200 MHz以上、消費電力2.5 W以下を実現するための基本設計技術として、HD153120では0.8 μm BiCMOS (BipolarCMOS) 技術を採用した。従来の日立製作所の1.3 μm製品の最大動作周波数は125 MHz程度、最大消費電力は約1.6 Wであり、単に0.8 μmにシュリンクするだけでは目標仕様を達成することは非常に難しい。そこで、高速化および低消費電力化の手段として以下のことを行った。

3.2.1 並列ラッチ形センスアンプ回路の新規設計

メモリ部で、速度面および消費電力面でもっともキーとなる部分がセンスアンプ回路である(メモリ部のブロック図を図4に示す)。従来の単純ラッチ形のセンスアンプ回路形式では、200 MHz以上の高速動作時、ラッチの取り込み期間とホールド期間の確保が難しく、安定動作を得ることができない。例えば、動作周波数が200 MHzの場合、クロック周期は5 nsで、その間にラッチの取り込みとホールドを完了しなければならない。回路構成からみると、通常条件下では、取り込み期間が2 ns、ホールド期間が1.5 ns確保できれば動作するが、製造上のばらつきなどを考慮するとタイミングマージンがほとんどない。そこでラッチを2個並列に並べ、さらにマルチプレクス付加した並列ラッチ形センスアンプ回路の新規設計を行った(単純ラッチ形と並列ラッチ形のセンスアンプ回路図を図5に示す)。この回路では、二つのラッチ回路の取り込みおよびホールドを基準クロックの1周期交代で交互に行った後、マルチプレクスしている。そのため、取り込み期間およびホールド期間を見掛け上2倍確保でき、タイミングマージンを大幅に拡大することができる(単純ラッチ形と並列ラッチ形のタイミングチャートを図6に示す)。消費電力の面で考えると、単純形に比べて素子数が増加する分と、実効的な動作周波数が半分になる分とで相殺するためほとんど変わらない。

3.2.2 3種類のラッチ回路の最適配置化

本製品で使用しているラッチ回路形式としては、ダイナミックタイプ、NANDタイプ、クロックド インバータ タイプの3種類ある(図7)。特性面の比較では、ダイナミックタイ



注：略語説明 F/F回路（Flip Flop回路）

図4 メモリ部のブロック図 メモリ部は一般のメモリ製品と同じく、デコーダ回路、メモリマツト、センスアンプ回路などで構成される。ただし、基本的に各回路とも基準クロックに同期して動作する。

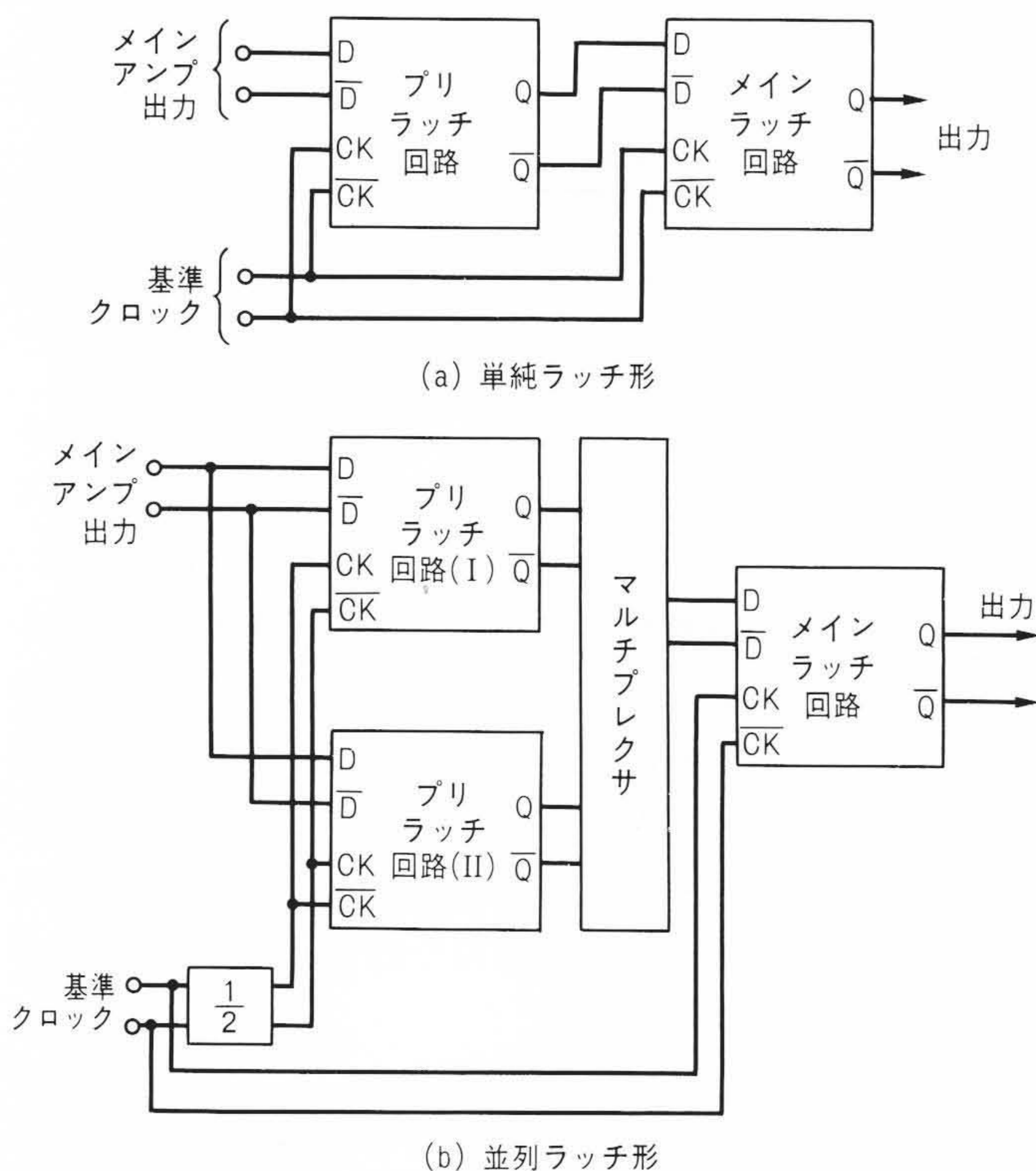


図5 単純ラッチ形と並列ラッチ形のブロック図比較 並列ラッチ形では、プリラッチ回路を2個並べ、1周期おきにおおのこのデータ取り込み・ホールドを行っている。

プは伝搬速度が速く、消費電力も小さいが、ラッチ安定性の面でやや不安がある。NANDタイプのものは、速度および安定性の面で優れているが、消費電力が大きい。クロックドインバータタイプは、消費電力および安定性の面は良いが速度面が弱い。

論理設計および回路設計の段階では、画素データの伝搬経路部分のように200 MHz以上の高速動作が必要とされる部分にはダイナミックタイプを使用した。MPU側インタフェース部分のロジック部では、動作速度は50 MHz以下であるためク

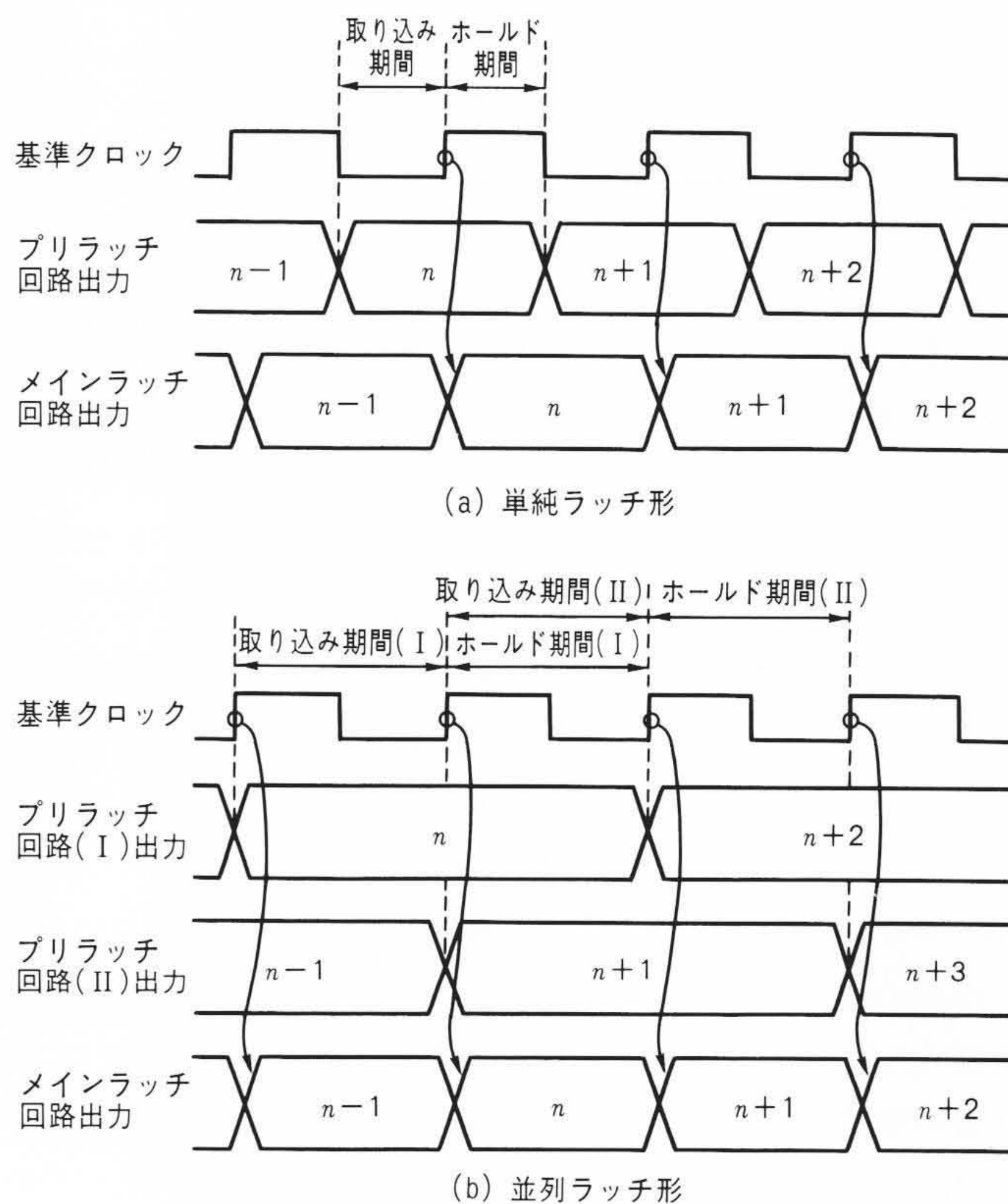
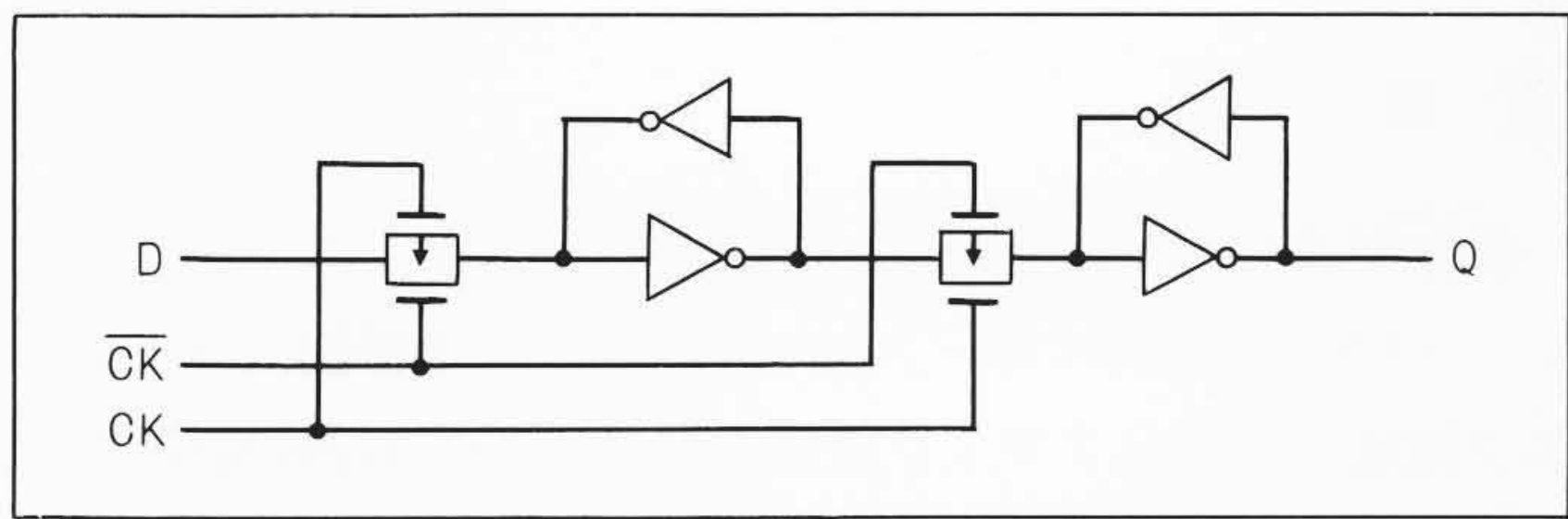


図6 単純ラッチ形と並列ラッチ形の取り込み・ホールドタイミング比較 並列ラッチ形では、単純ラッチ形に比べて見掛け上2倍のデータ取り込み時間・ホールド時間が確保できる。

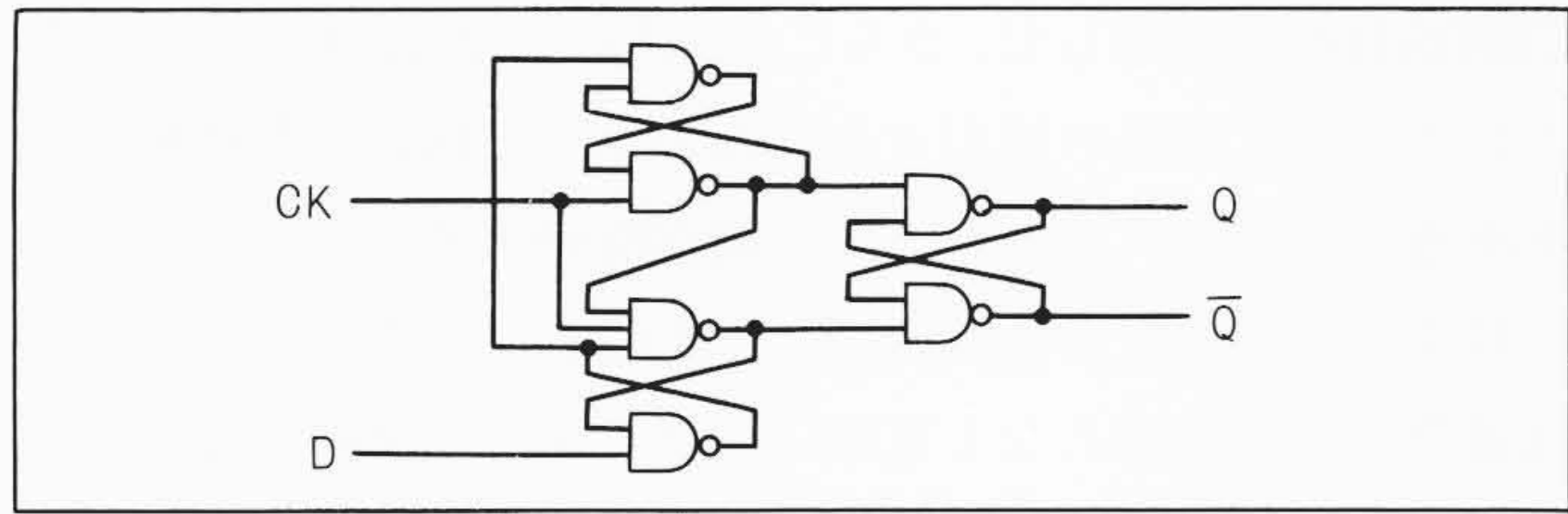
ロックドインバータタイプを使用した。その他の実効的動作速度が50～200 MHzの部分にはNANDタイプを使用した。これらの使い分けにより、全体としての速度マージンおよび動作安定性の確保と消費電力の低減を図った。

3.2.3 シミュレーション評価結果

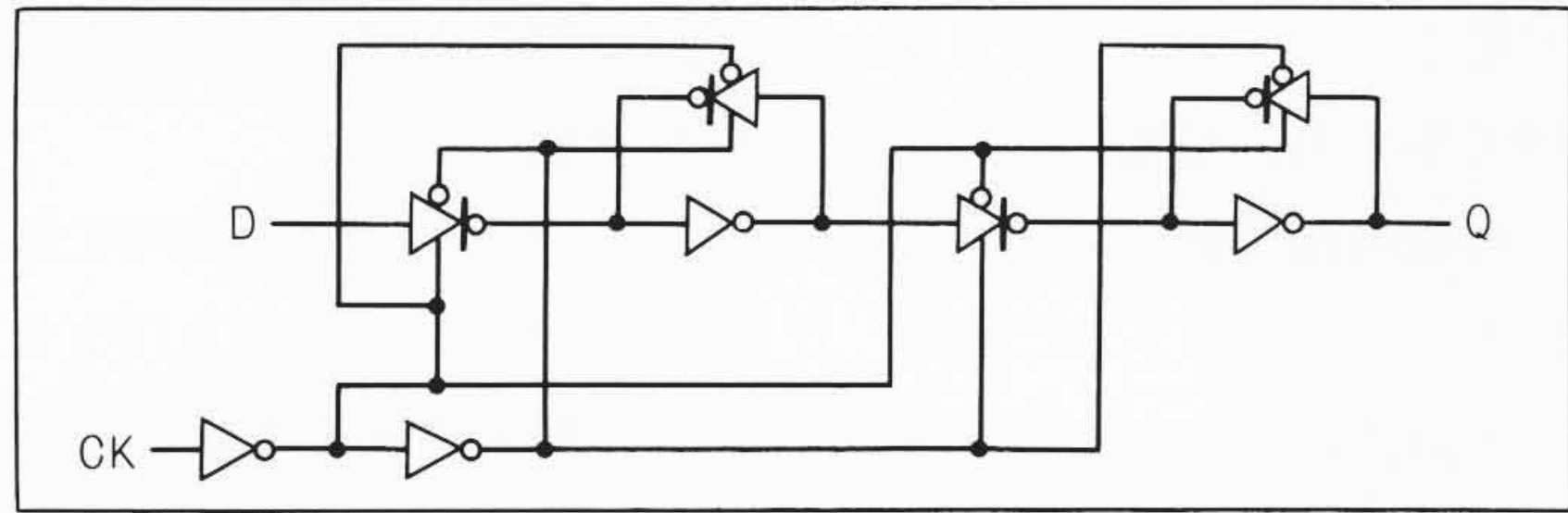
HD153120の動作周波数、消費電力に関するシミュレーション結果を図8に示す。電源電圧 $V_{CC} = 5V \pm 5\%$ 、周囲温度 $T_a = 0 \sim 70^\circ\text{C}$ の範囲での最大動作周波数および最大消費電力



(a) ダイナミックタイプラッチ回路



(b) NANDタイプラッチ回路



(c) クロックド インバータ タイプラッチ回路

図7 3種類のラッチ回路 他にもいろいろなタイプのラッチ回路があるが、高速性・消費電力の面で上記3タイプを使用している。

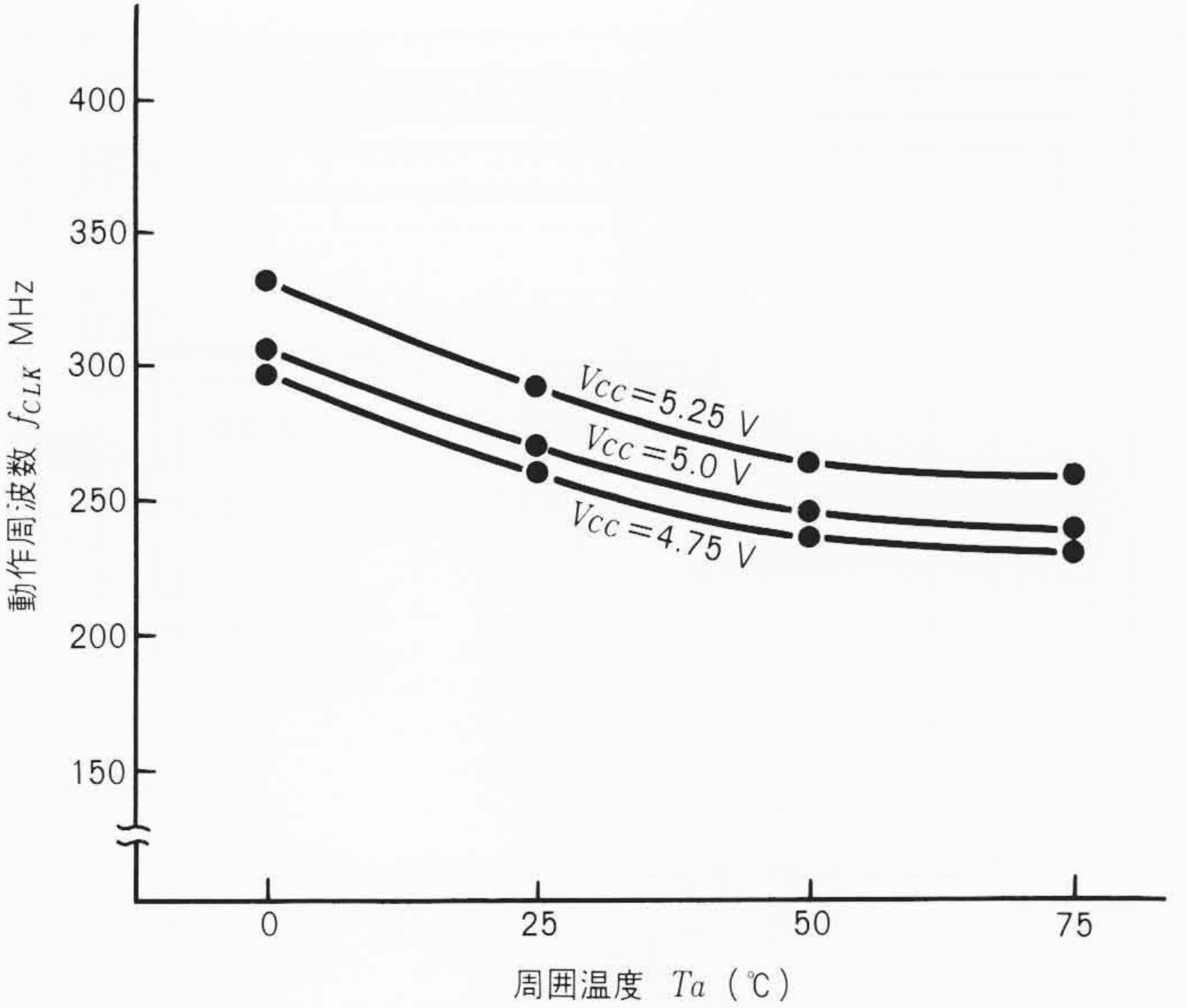
表2 各ラッチ回路の特性比較 ダイナミックタイプは、速度や消費電力面で優れており、NANDタイプ、クロックド インバータ タイプは安定性の面で優れている。

項目 型式	クロック入力からの伝搬遅延時間 (@ $V_{CC}=5.0\text{ V}$, $C_L=0.3\text{ pF}$)	1回路当たりの消費電力 (@ $f_{CLK}=200\text{ MHz}$, $V_{CC}=5\text{ V}$, $C_L=0.3\text{ pF}$)	ラッチ安定性 (耐ノイズ性)
ダイナミックタイプ	1.02 ns	2.84 mW	安定性は良いが、外来ノイズの影響を受けやすい。
NANDタイプ	1.47 ns	5.96 mW	非常に安定性良く、外来ノイズにも強い。
クロックド インバータ タイプ	1.94 ns	5.38 mW	非常に安定性良く、外来ノイズにも強い。

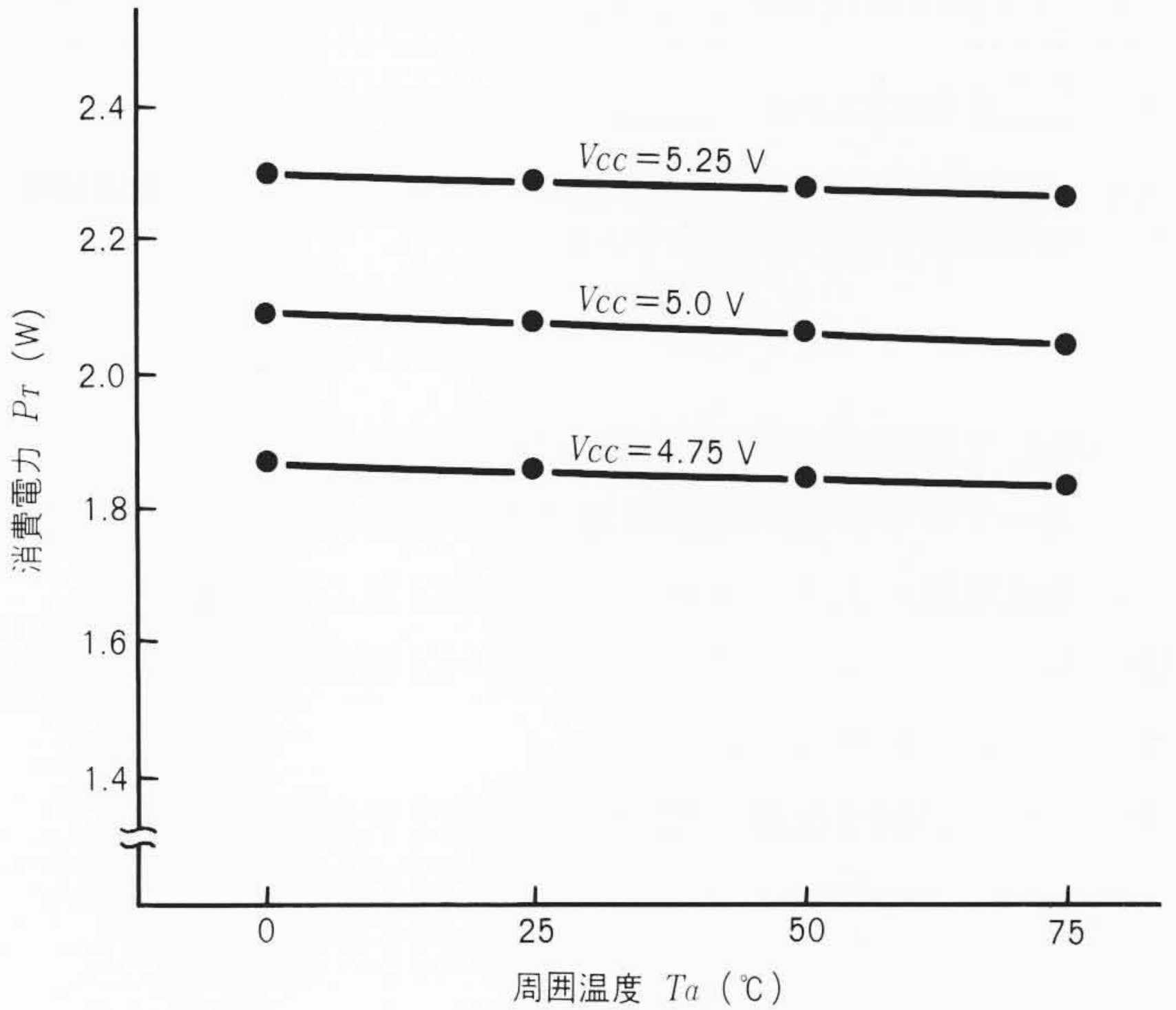
はそれぞれ230 MHz Min., 2.3 W Max. という結果を得た。

3.2.4 低ノイズ化の検討

動作周波数200 MHz以上の高速化を実現するためには、電源ノイズやクロックによるノイズなどを極力抑えることも非常に重要である。電源ノイズとは、出力バッファ回路のよう



(a) 動作周波数の温度依存性



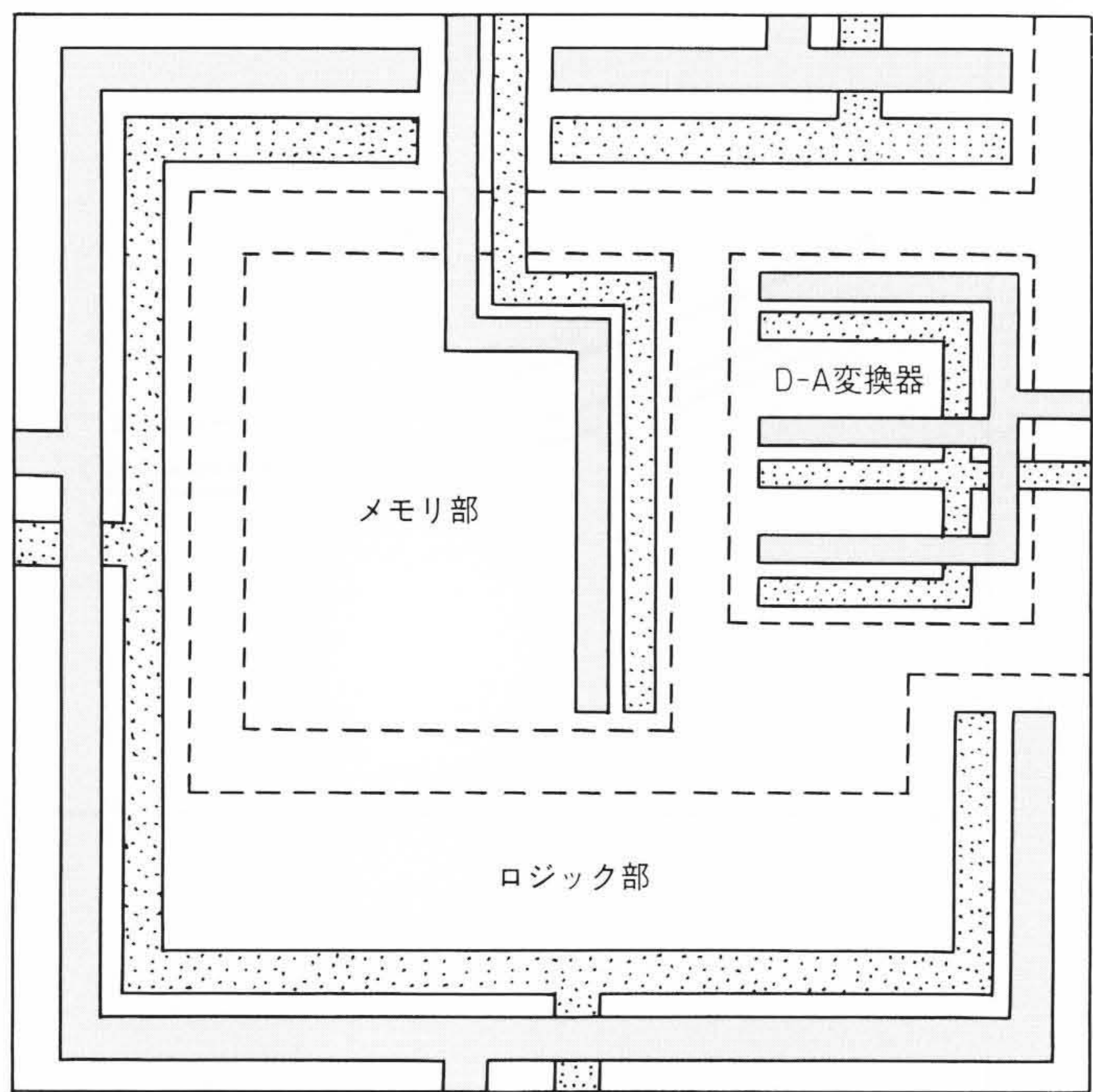
(b) 消費電力の温度依存性

図8 シミュレーション評価結果 動作周波数 f_{CLK} は $V_{CC}=4.75\text{ V}$, $T_a=75\text{ }^{\circ}\text{C}$ の時ワーストで230 MHz, 消費電力 P_T は $V_{CC}=5.25\text{ V}$, $T_a=0\text{ }^{\circ}\text{C}$ の時ワーストで2.3 Wとなる。

に、出力期待値反転時の大きな過渡電流(100 mA以上)によって生じる電源電圧やGND(基板電位)電圧「揺れ」を指す。この「揺れ」が内部ブロックの各ゲートに伝わり、実効的な内部電源電圧が変動し、誤動作を引き起こす原因になる。また、クロックによるノイズとは、内部ブロックの基準クロック信号線が、各ゲート出力などの信号配線と交差あるいは近接している場合に発生するノイズを指す。この場合もデータ反転などを引き起こす原因になる。

HD153120では、これらのノイズ対策として、レイアウト設計時に以下のことを実施している(図9 参照)。

- (1) 各ブロック(メモリ部, D-A変換器部, ロジック部)を完



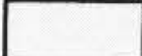
注：  電源電圧幹線,  GND(基板電位)幹線

図9 電源幹線分離(レイアウト概略) 各ブロックごとに電源幹線およびGND幹線を完全に分離している。

- 全分離して配置する(電源幹線も含む)。
- (2) 同一ブロック内の電源幹線でも、出力バッファ回路のように過渡電流の大きい回路の電源幹線はさらに分離する。
 - (3) 各ブロック間に、基板電位あるいは電源電圧に固定したガードリング拡散層を設ける。
 - (4) クロック信号配線と他の信号配線を交差させない。

4 結 言

動作周波数200 MHz以上、消費電力2.3 W以下のカラーパレットLSI(機能的には、入力マルチプレクス機能、リードマスク機能、ブリンクマスク機能を内蔵)HD153120の設計を行った。最大の技術課題である動作周波数200 MHz以上という高速化実現のために、まず基本設計技術として0.8 μ m Bi-CMOS技術を採用した。さらに、回路設計では、並列ラッチ形センスアンプ回路の採用と3種類のラッチ回路の最適配置化を実施した。これにより、高速動作時のタイミングマージンの拡大と低消費電力化を図った。また、レイアウト設計では、高速化の上で問題となる電源ノイズ、クロックによるノイズに対し、完全ブロック分離、電源幹線分離などの対策を実施した。これにより、高速動作時の動作電源電圧範囲の拡大など動作マージンの確保を図った(HD153120のサンプル出荷は1991年4月、量産出荷は同年7月の予定)。

今後の技術動向としては、グラフィックシステム周辺のLSIの1チップ化がさらに進み、ロジック部のゲート規模も10 kゲート以上になることが考えられる。今後ますます多様化するASIC(Application Specific Integrated Circuit)志向に対して、以上述べた高速化、低消費電力化のコア技術を生かし、開発TAT(Turn Around Time)面の改善を図っていく予定である。

参考文献

- 1) 奈良, 外: アナログRGB多色表示用カラーパレットLSI GAIN No.66, 10-11(1988-1)
- 2) 浦上, 外: カラーパレットICの種類と動向, DATUM, No.9, CQ出版社7-8(1988-9)
- 3) 久保: BiCMOS技術, 社団法人電子情報通信学会p.162-171(1990-9)