

# AV機器用専用LSI系列

## Application Specific Custom LSIs for Audio Visual Systems

近年、AV(オーディオ・ビデオ)分野のデジタル処理化は急速に進んでいるが、AV機器の性質上、入力および出力はどうしてもアナログ信号となる。このため、AV分野ではコストパフォーマンスの良いCOMSアナログ・デジタル混在LSIのニーズが急速に高まっている。このような背景から、今回オーディオ・ビデオ用のCMOSアナログ回路や、ビデオ用CMOS A-D・D-Aコンバータを内蔵した3種のAV機器用専用LSIを開発した。これらのLSIを開発するにあたり、高速・高精度CMOSアナログ技術、A-D・D-AコンバータのCMOSオンチップ技術、デジタル部で発生するデジタル雑音に起因する性能劣化を防止するための技術といった種々のCMOSアナログ・デジタル混在LSI技術を駆使した。今後も、これらの技術を駆使し、ユーザーの要求に合ったAV機器用専用LSI系列の充実を図る。

渡辺一雄\* Kazuo Watanabe  
 下川龍志\* Ryūji Shimokawa  
 中垣春重\*\* Harushige Nakagaki  
 岡田 豊\*\*\* Yutaka Okada

### 1 緒 言

近年、デジタルオーディオで代表されるように、AV(オーディオ・ビデオ)分野のデジタル処理化は急速に進んでいる。しかし、どんなにAV機器が進歩しても、図1に示すように入力信号および出力信号は、アナログ信号ということには変わらない。そのため、アナログ信号およびデジタル信号を同じLSIチップ上で処理することにより、高機能でより使いやすく、コストパフォーマンスの良いLSIのニーズが最近非常に強くなってきている。特に、デジタル部が高集積化しやすく、コストパフォーマンスの良いCMOSで、このアナログ・

デジタル混在LSIを実現しようというのが、最近のAV機器専用LSIの動向である。

しかし、CMOSでアナログ・デジタル混在LSIを実現する場合、下記の二つの大きな技術課題があり、この技術課題の対策がこのLSIの成否を左右する。

CMOSアナログ・デジタル混在LSIの技術課題について以下に述べる。

(1) CMOSはバイポーラに比べて、デジタル性能(低消費電力、高集積化)は優れているが、アナログ性能(低雑音、高利

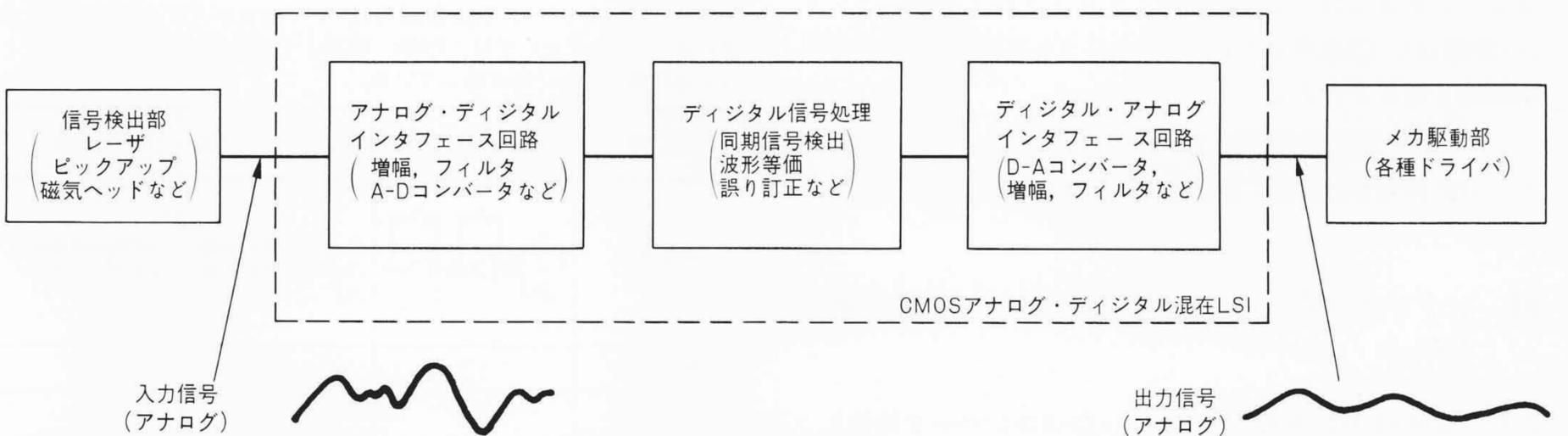


図1 アナログ・デジタル混在システム AV機器のデジタル化が急速に進んでも、入力信号および出力信号がアナログ信号ということには、しばらくは変わらないと思われる。

\* 日立製作所 半導体設計開発センタ \*\* 日立製作所 家電研究所 \*\*\* 日立製作所 中央研究所

得・高駆動能力)は劣っている。このようなアナログ性能上の欠点をカバーするCMOSアナログ回路技術および応用技術を確立する必要がある。

(2) アナログ部と大規模デジタル部を同一チップ上に構成した場合、デジタル部で発生するデジタル雑音の悪影響により、SN比劣化などの信号劣化が発生しやすい。これを防止するためのデジタル雑音対策技術を確立する必要がある。

まず、(1)の技術課題について説明する。例えば、同じ素子サイズで消費電流・ $I_c=100\mu A$  ぐらいの動作点で比較すると、CMOSはバイポーラに比べ、相互コンダクタンス $g_m$ で $\frac{1}{10}\sim\frac{1}{20}$ 、出力抵抗 $R_o$ で、 $\frac{1}{4}\sim\frac{1}{5}$ ぐらいと小さい。さらに、 $\frac{1}{f}$ 雑音と呼ばれる低域雑音も大きい。利得は $g_m \times R_o$ で決定されるため、CMOSは高利得が得にくく、さらに低雑音化しにくいいため、微小信号の増幅には適さない。また、負荷駆動能力も小さいため、超高速回路や重い負荷の駆動段には適さない。反面、CMOSは入力インピーダンスが高く、かつ高性能なアナログ・スイッチ回路が簡単に構成できるという優れた性能も持っている。したがって、CMOS・アナログ・デジタル混在LSIは、上記のCMOSの性能を十分考慮した上でCMOSの性能を最大限に引き出せるシステム分割と、CMOSアナログ回路設計技術が不可欠であると言える。

次に(2)の技術課題について説明する。デジタル雑音による雑音劣化防止についても、種々の対策が必要である。例えばアナログ部については、電源およびGND(グラウンド)に乗るデジタル雑音の悪影響を極力受けにくくするため、PSRR(電源雑音除去化)が高くなるような回路設計技術が必須(す)となる。デジタル部についても、電源に乗るデジタル雑音の主原因であるデジタル部ゲートの貫通電流を、極力低減するためのデジタル回路設計技術が必要である。さらに、デジタル雑音が発生しても、アナログ部への悪影響を極力低減するための電源分離、およびレイアウト設計技術も必須となる。ひと言で言うとアナログ・デジタルアイソレーション(分離)が、CMOSアナログ・デジタル混在LSIの大きな技術課題であると言える。

ここでは、前述のCMOSアナログ・デジタル混在LSIに必要な設計技術を駆使し、実現したAV機器専用LSIについて述べる。

## 2 ビデオ用CMOS A-D・D-Aコンバータを内蔵したPinP・LSI<sup>(1)~(5)</sup>

### 2.1 PinP・LSIに求められるA-D・D-Aコンバータ特性

VDP(Video Disc Player), VTR, 衛星放送など映像信号の多様化, テレビジョン画面の大形化が進むにつれて, 親画面とは別の映像信号を子画面として縮小, 映し出すPinP(Picture in Picture)機能が注目されており, 米国や日本市場のプロジェクトンテレビジョンや大形テレビジョンから搭載さ

れ始めている。PinP処理をするためには、映像信号をデジタル化し、メモリを使用して縮小した後にアナログ化し、再び映像信号とするために必ずA-Dコンバータ、ロジック、D-Aコンバータの各処理が必要となる。従来はスタンドアロンのA-Dコンバータ、D-AコンバータICをはじめおのおの別個のICで処理をしていたが、各処理を1チップに集積することによって部品点数、実装面積の低減とともに従来難しかったA-D変換周辺の雑音対策設計を容易にすることができる。

PinP・LSIに求められるA-Dコンバータ・D-Aコンバータ特性としては、下記があげられる。

- (1) ロジックと共存できるプロセスを使用すること。
- (2) 耐雑音特性が良く、また自分自身で発生する電源雑音も少ないこと。
- (3) A-Dコンバータ、D-Aコンバータとも変換ダイナミックレンジは1V以上あり、またD-Aコンバータ出力インピーダンスは低いこと(150Ω以下)。

ロジック共存プロセスとしてはCMOS, IIL(Integrated Injection Logic), Bi-CMOS(バイポーラCMOS)などがあるが、今後のメモリ内蔵、ロジック規模の増大などを考えCMOSプロセスを採用することにした。またPinP処理の場合、親画面信号、子画面信号と非同期の2種類の信号を1チップ上で処理するため非同期クロックが共存する。そのため、二つのクロック系の相互干渉(ビート妨害)による性能劣化についても注意が必要である。

### 2.2 A-Dコンバータ回路の設計

A-Dコンバータの精度や動作速度を決定するのはA-Dコンバータを構成する比較器の特性であり、比較器設計の良否がA-Dコンバータの性能を決定する。代表的な比較器の回路および特性を表1に示す。PinP・A-Dコンバータの場合、入力

表1 A-Dコンバータ用比較器方式 アナログ・デジタル混在LSI用A-Dコンバータとしては、PSRR、電源ノイズの点から、比較器方式としては差動チョッパ形が適している。

項目	チョッパ形	差動チョッパ形	差動形
回路構成			
動作速度	○	○	○
PSRR	△	○	○
オフセット電圧	○	○	×
素子数	○	△	○
電源雑音	×	○	○
総合評価	△	○	×

注: 略語説明 PSRR(電源雑音除去比)

$1 V_{P-P}$ , 分解能6ビットであるから1 LSB (Least Significant Bit)は,  $1 V / 2^6 \approx 16 \text{ mV}$ となる。したがって, A-Dコンバータ精度は $\pm \frac{1}{2} \text{ LSB} = \pm 8 \text{ mV}$ が必要となり, 基準ラダー抵抗比ばらつきなどを考えると比較器自体に許されるオフセット電圧は $\pm 4 \text{ mV}$ 程度となる。CMOSプロセスの場合, バイポーラプロセスに比べてトランジスタの $V_{TH}$ (しきい電圧)のペア特性が悪く, またコンダクタンス, ドレイン出力インピーダンスが低いため通常の差動形比較器では, オフセット電圧が $\pm 20 \text{ mV}$ 程度となり適さない。

チョッパ形, 差動チョッパ形は容量を挿入してオフセット電圧をキャンセルするオートゼロ機能を持たせており, オフセット電圧を $\pm 2 \text{ mV}$ 以下に低減することができる。このうち, チョッパ形は回路素子数が小さく小面積化ができ, オートゼロ時に, インバータ素子に大電流を流すことによって高速動作が可能である。しかし, 差動チョッパ形に比べPSRR(電源雑音除去比)が悪く, またオートゼロ時に電源電流が最大となり, 比較時にはPチャンネルMOS, NチャンネルMOSトランジスタに流れる電流が等しくならないため, 電源電流が大きく変化し電源雑音となる。低雑音アナログ出力が要求されるPinP・LSIには, 素子数が多くなりその制御も複雑になる欠点はあるが, 低雑音特性を考慮して差動チョッパ方式をとることとした。

### 2.3 D-Aコンバータ回路の設計

D-AコンバータについてもA-Dコンバータと同様, 耐雑音特性に特に着目し電流セルマトリックス方式とした。電流セルはすべてNMOSトランジスタを使用し, 論理ゲートを使用する方式に比べ面積を小さくし, また電流セルをすべて一つのP形ウエル中に作ることによってウエル電位を専用ピンでしっかりと固定することで耐雑音特性を良くした(図2参照)。出力形式は $V_{DD} - 1 \text{ V} \sim V_{DD}$ ,  $150 \Omega$ 出力インピーダンスとし, 次段のフィルタなどアナログ回路との接続を容易にできる形式とした。

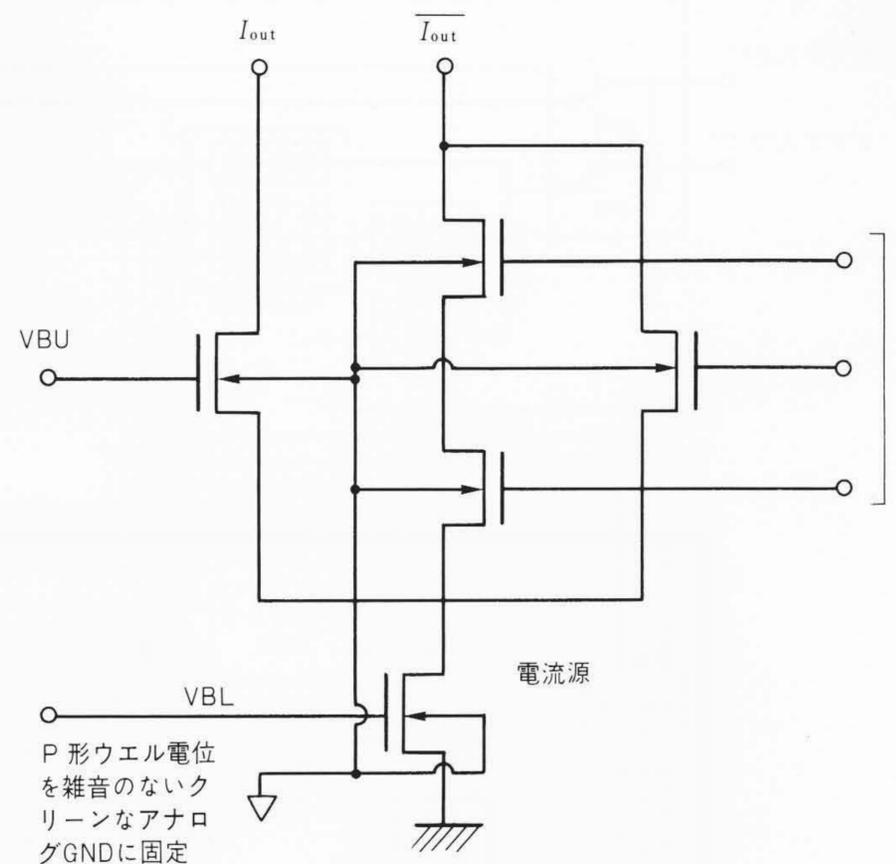
### 2.4 PinP・LSI(HD49409FS)の特性

PinP用LSI HD49409FSのブロック図およびチップ写真を図3, 4に示す。このLSIはビデオ帯域の1チャンネルの6ビットA-Dコンバータ, 2チャンネルの8ビットD-Aコンバータ以外にもマルチプレクサ, デジタルクランプ,  $14 \text{ MHz}$  PLL (Phase Locked Loop) などアナログブロックおよび制御用論理を1チップ化することにより, 従来9個のICで構築していたPinPシステムを5個のICで実現することができた。

## 3 ビデオ用CMOSアナログを内蔵したOSD LSI<sup>3)</sup>

### 3.1 OSD LSIに求められるCMOSアナログ部の特性

VTR, VDPなどのビデオ機器では, 操作性向上のためモード表示などをテレビジョン画面上に表示するOSD (On Screen Display)機能が標準装備されてきている。これらの機器では, 複合ビデオ信号を入出力信号としているため, OSD LSIも直



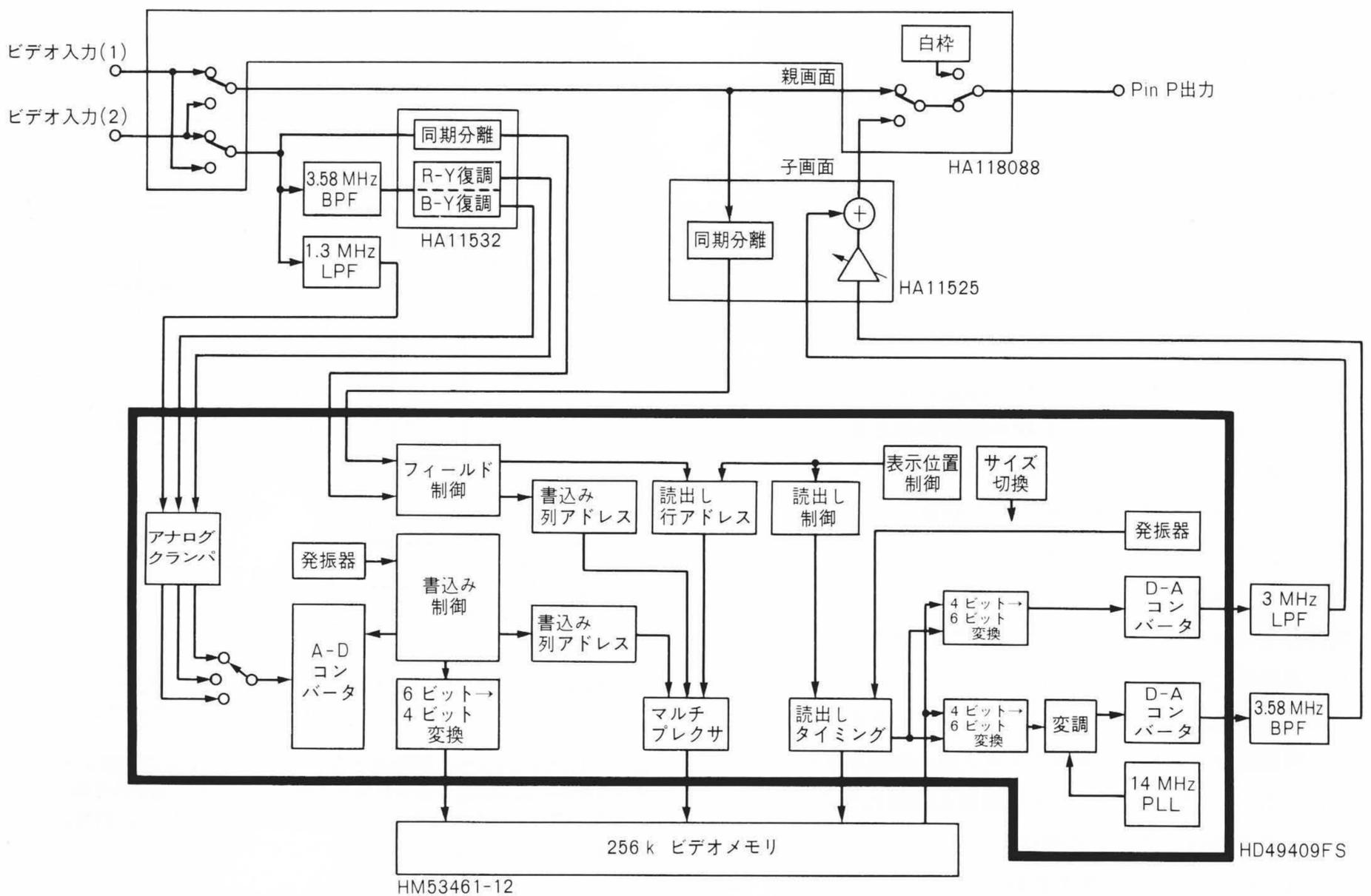
注: 略語説明 VBU (アッパーボルトテージバイアス)  
VBL (ローボルトテージバイアス) GND (グラウンド)

図2 D-Aコンバータ用電流セル 電流セルおよび切換スイッチをすべてNチャンネルMOSトランジスタで構成し, これらをすべて同一P形ウエル内に作り, その電位をノイズのないクリーンなアナログGNDにしっかりと固定することによって他のブロックと分離した。

接複合ビデオ信号を処理できることが求められていた。しかし, 直流から $4.2 \text{ MHz}$ に及ぶ帯域をひずみなく伝送することは困難であり, 従来はCMOSデジタルLSIとバイポーラリニアICおよびディスクリート部品を組み合わせることでOSDシステムを構成していた。アナログ回路をオンチップできれば, 部品点数の削減, デジタル信号引きまわし起因の飛び付き防止, PLL内蔵によるカラー表示, 周期分離内蔵による無調整化などのメリットを得ることができる。ビデオ用CMOSアナログに求められる特性としては, 入出力電圧振幅が $2 V_{P-P}$ と大きいこと, ビデオSN比が $60 \text{ dB}$ 以上得られること, 周波数特性がビデオ帯域をカバーしており, DG (Differential Gain), DP (Differential Phase)が良好であること(3%, 3deg以下)などがあげられる。

### 3.2 CMOSアナログ回路の設計

CMOSビデオアンプで,  $g_m \times R_o$ は開ループ電圧利得( $G_{v(OL)}$ )を決定するため, 低い $G_{v(OL)}$ は閉ループ動作時の周波数特性, ひずみ, 雑音悪化の原因となる。 $g_m$ の向上は $W/L$ (ゲート幅/ゲート長)を大きくする。出力抵抗 $\cdot R_o$ はソース側に局部帰還をかけることによって対策する。雑音は $g_m$ の向上や信号レベルを大きく設定することによって対策する。また, 静電破壊やラッチアップ破壊保護のため, 回路動作上望ましくないインピーダンス素子が付加される場合がある。図5に示す場合では, 帰還ループ内に保護素子を取り込み, その影響を少な



注：略語説明 BPF (Band Pass Filter), LPF (Low Pass Filter), PLL (Phase Locked Loop)

図3 PinP用LSI・HD49409FSのブロック図 A-Dコンバータ, D-Aコンバータを2チャンネル, 二つの発振器, PLL, さらにアナログクランプをロジックゲートとともにオンチップ化した高性能CMOS・A-D・LSIである。

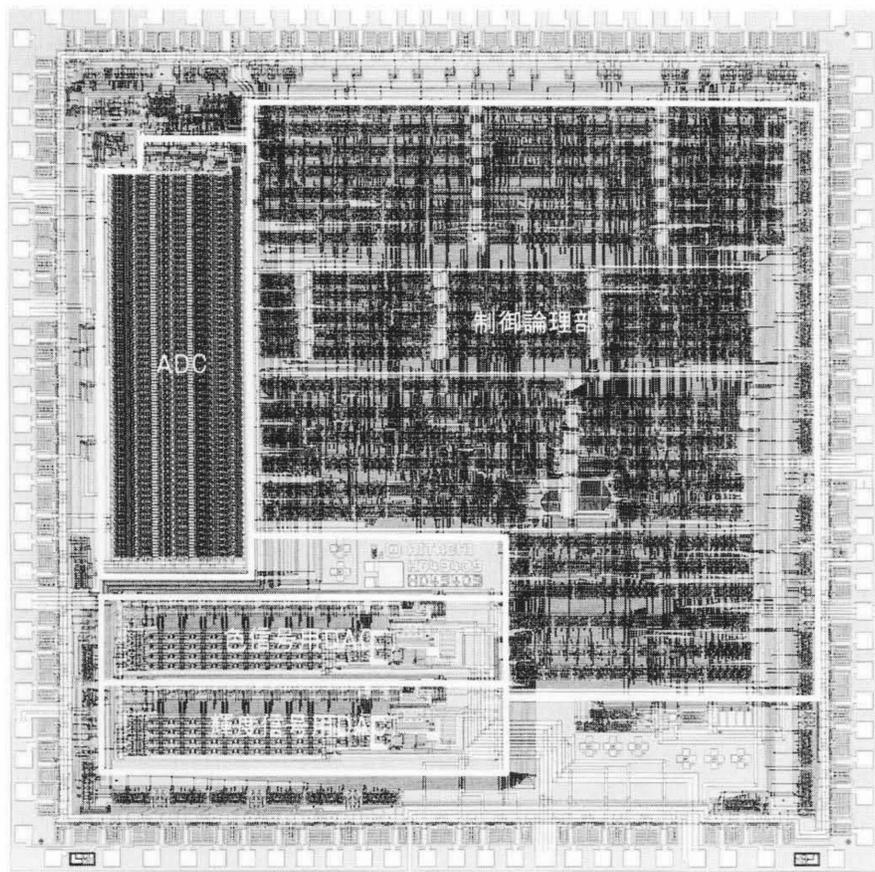


図4 PinP用LSI・HD49409FSのチップ写真 CMOS・2μmプロセスを採用し, 7.40 mm×7.38 mmのチップサイズ上に約3万素子を集積している。

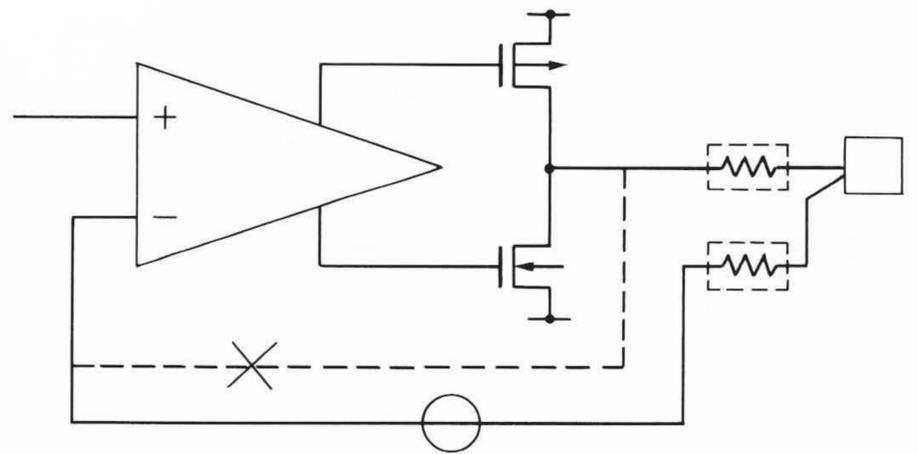
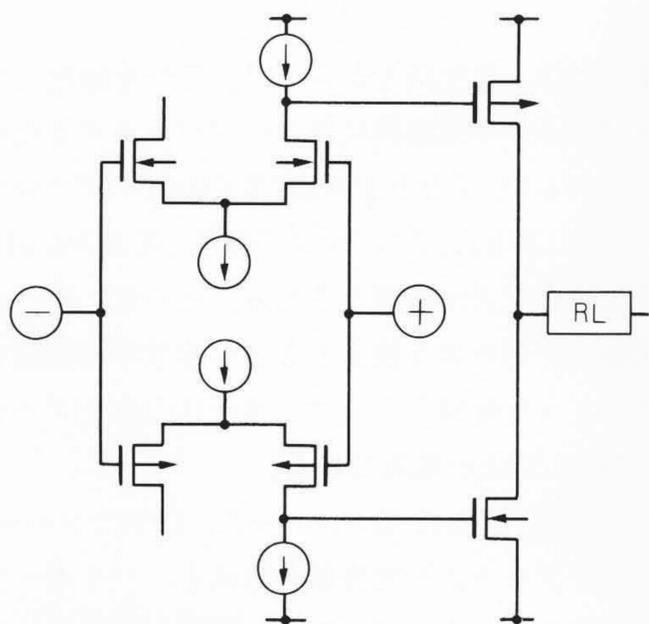


図5 静電破壊対策したビデオアンプ ×印は特性に悪影響の静電破壊対策を, ○印は特性に影響を与えない静電破壊対策を示す。

くしている。CMOSの利点であるコンプリメンタリー(相補)回路を活用し, 図6に示す対称回路を採用する。負荷駆動のトランジスタがいずれも電流制限されないため, 周波数特性, 出力電圧振幅特性が良好となる。

### 3.3 CMOSアナログ内蔵OSD LSIの特性

CMOSアナログ回路を内蔵したカラーOSD LSI, HD49740のアナログ信号経路を図7に示す。2V<sub>P-P</sub>のビデオ入力信号



注：略語説明 RL (負荷抵抗)

図6 ビデオアンプ回路 コンプリメンタリー特性を生かした広帯域ビデオアンプ等価回路を示す。

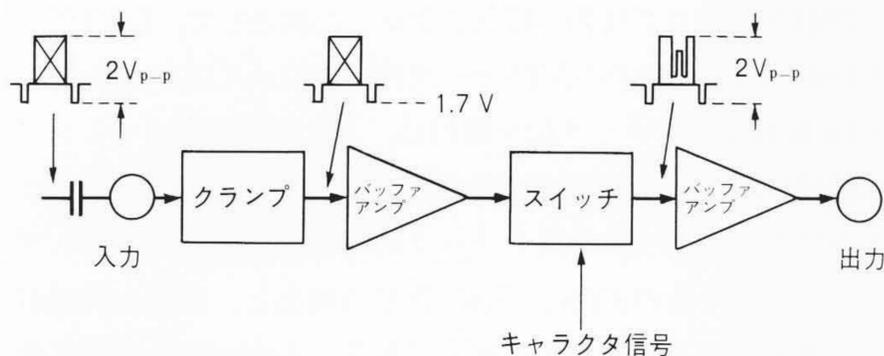


図7 アナログ信号経路 HD49740は、複合ビデオ信号と高画質対応輝度、クロマ分離信号の3系統のアナログ信号経路を持っている。

は、クランプ回路によりSYNC TIP電位(同期信号先頭電位)を1.7Vにクランプする。次に、ビデオアンプによるバッファ回路で双方向電子スイッチを駆動する。スイッチ出力は高入力インピーダンスのバッファ回路に接続され、インピーダンス変換されて取り出される。このアナログ信号経路で得られる周波数特性(マルチバースト波形)、DG、DPを図8に示す。ビデオ帯域ではほぼフラットな周波数特性と、満足できるDG、DP特性を得た。なお、ビデオSN比も66 dBと良好な結果を得た。

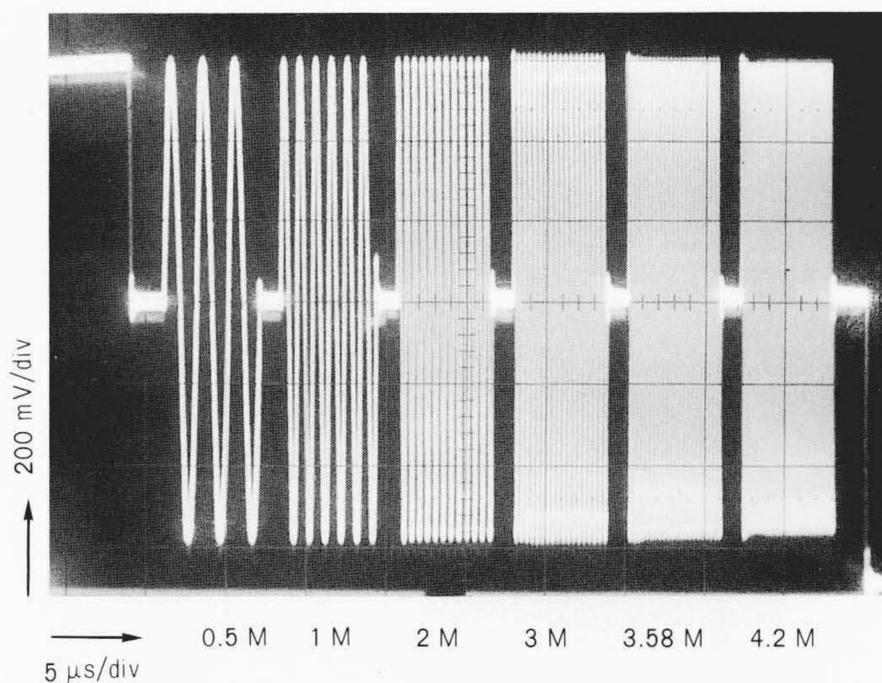
ビデオ用CMOSアナログを内蔵したOSD LSI(HD49740)のチップ写真を図9に示す。

#### 4 オーディオ用CMOSアナログを内蔵したCD-DAT用LSI<sup>(6)~(9)</sup>

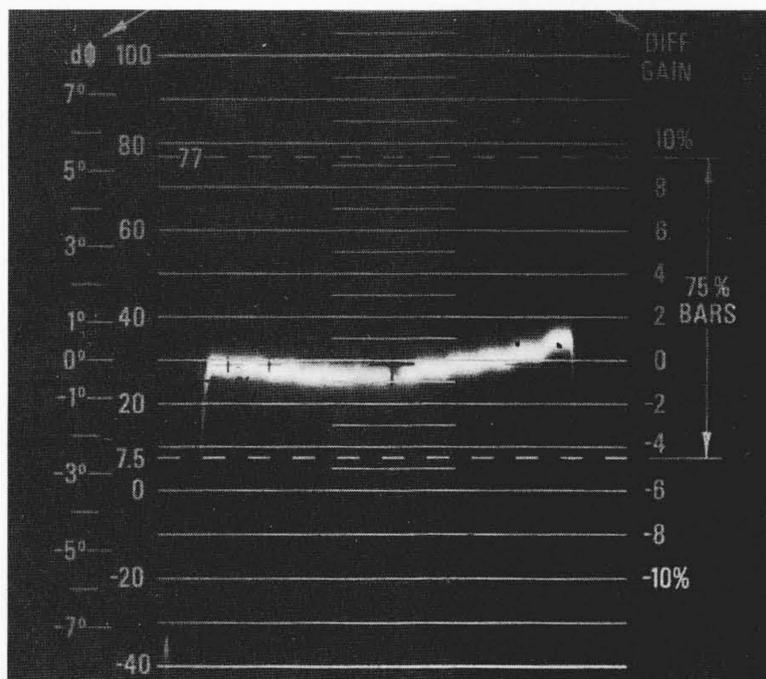
##### 4.1 デジタルオーディオで求められるCMOSアナログ部の特性

デジタルオーディオ機器のブロック構成を図10に示す。

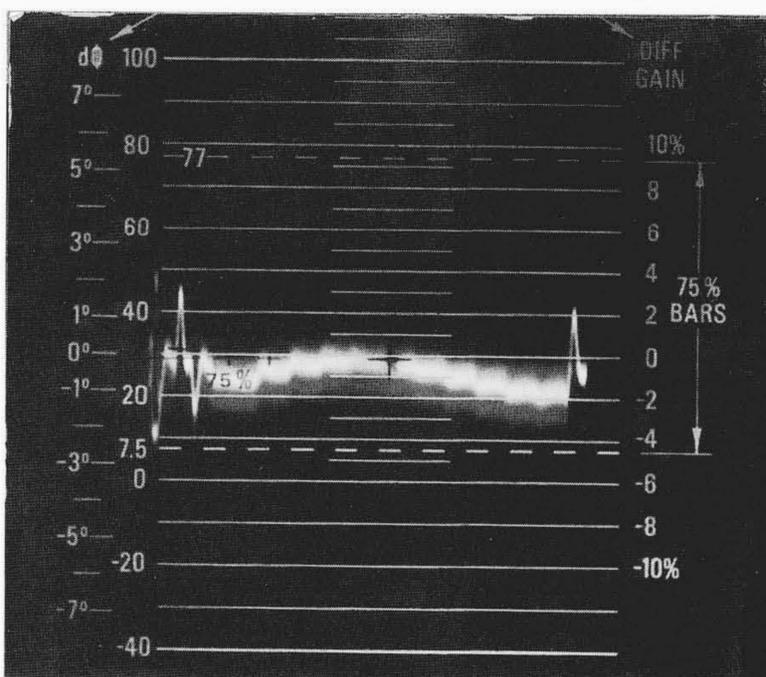
デジタルオーディオでアナログ処理が必要とされる部分は、大別して以下の三つの部分に分けることができる。



(a) マルチバースト波形



(b) DG (微分利得)写真



(c) DP (微分位相)写真

注：略語説明 DG (Differential Gain), DP (Differential Phase)

図8 アナログ信号特性 DGは2%以内に、またDPは1 deg以内に収まっており、いずれも良好である。

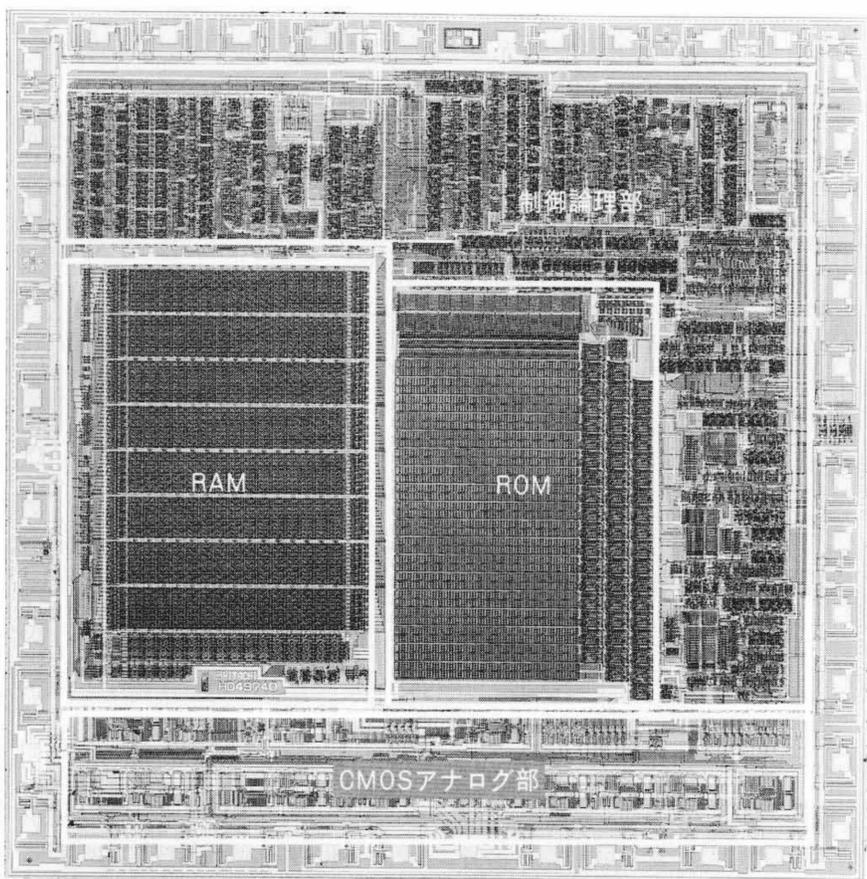


図9 ビデオ用CMOSアナログを内蔵したOSD LSI(HD49740)のチップ写真 HD49740は、RAM、ROM、論理回路、ビデオ帯アナログ回路をオンチップした高機能CMOSアナログ・デジタル混在LSIである。

- (1) 光ディスク、磁気テープなどと信号をやりとりする伝送系
- (2) CD(Compact Disk)でのピックアップ制御、DAT(Digital Audio Tape)でのATF(Automatic Track Finding)制御などのサーボ系
- (3) 最終的にセットの性能を決定するA-Dコンバータ、D-Aコンバータなどのオーディオ系

伝送系は、エラーレートを下げるため、特に再生系で高性能が要求される。主な項目としては、入力換算雑音  $1 \text{ nVrms}/\sqrt{\text{Hz}}$  以下ゲイン60 dB以上のプリアンプ、群遅延が平坦で自由なフィルタ特性を実現できる波形等価回路、 $\pm 10\%$ 以上のキャプチャレンジ(引込み範囲)を持つクロック再生回路などがあげられる。また、扱う信号帯域はCDでは4.3 MHz、DATでは9.4 MHzとなっている。これらの項目のうち、低雑音プリアンプを除けばCMOS技術で十分カバーが可能になっ

てきている。

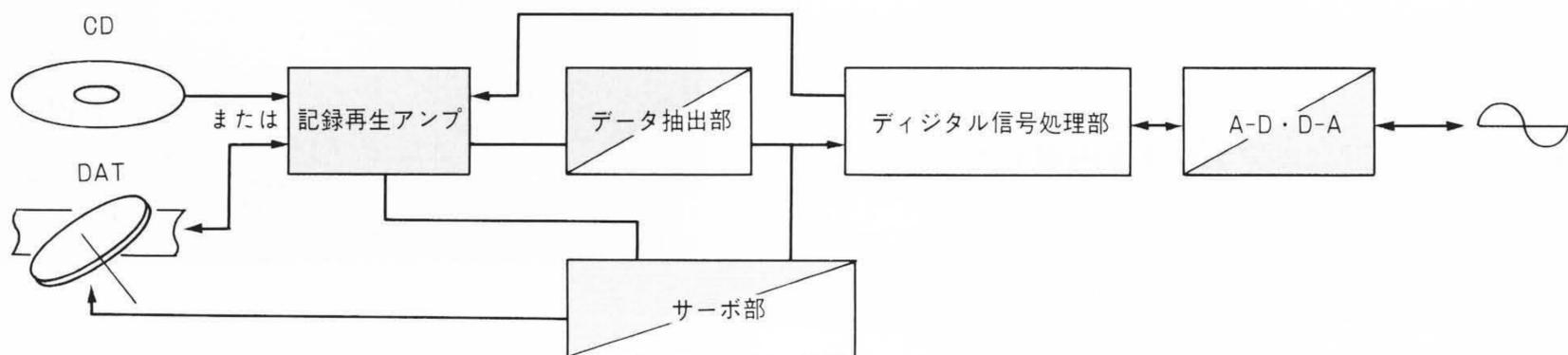
サーボ系では、再生信号からエラー信号を抽出して、アクチュエータあるいは電動機にフィードバックするための信号処理が行われるが、CDでは帯域720 kHzでのアナログ処理、DATでは帯域130 kHzでのアナログ処理と帯域780 kHzでの同期信号検出処理などが必要とされる。その他、外乱の状態によって制御モードを切り換えるなどの論理制御機能も要求される。このような仕様から、サーボ系はCMOSアナログ・デジタル混在LSI化が最適である。

オーディオ系、特にA-Dコンバータ、D-Aコンバータでは、従来は抵抗ラダー方式や電流積分方式を、バイポーラ技術で実現するのが主流となっていたが、最近、セットの小形化、無調整化の要求が強まるにつれ、CMOS技術による $\Delta-\Sigma$ 方式A-Dコンバータ、D-Aコンバータと、それを内蔵した1チップLSIへの期待が高まっている。

#### 4.2 CMOSアナログ技術によるDATのATF制御

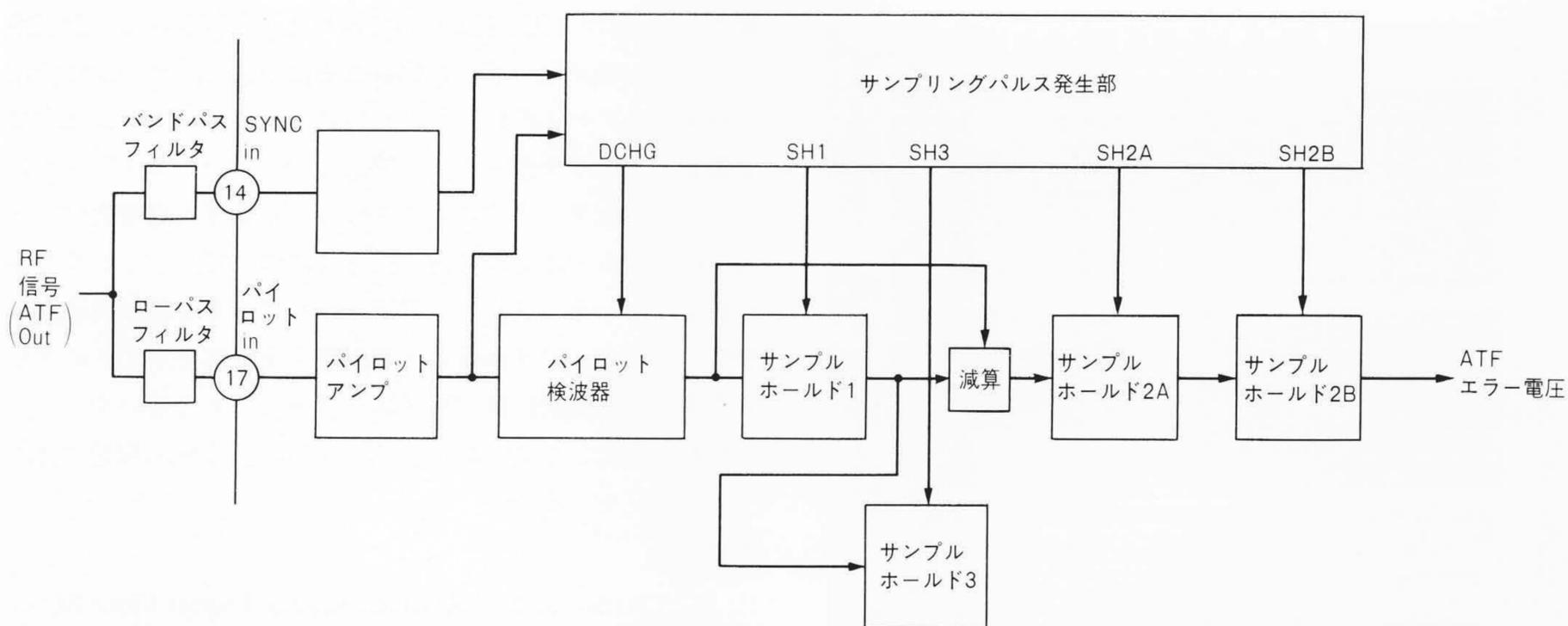
CMOSアナログ技術の特長を生かした例として、DATサーボLSI、HD49212でのATFサーボ技術について以下に述べる。ATF制御部のブロック図を図11に、また信号処理タイミングを図12に示す。ATF制御は大別して、二つの処理に分けることができる。一つは隣接トラックのパイロット信号をサンプリングするためのSYNC(同期)信号の抽出と、誤検出保護およびサンプリングパルスの成生であり、もう一つは隣接トラックから検出されるパイロット信号そのものの処理と、トラックエラーの抽出である。

SYNC信号の検出は、400 kHzから4 MHzに帯域制限された信号を、SYNCアンプで増幅し、さらにSYNCコンパレータで波形整形し、デジタル部に渡している。ここで、SYNCアンプは4 MHz程度の広帯域を必要とするため、インバータアンプを使用した。デジタル部ではSYNC誤検出防止のため、各種保護処理を行った後、サンプリングパルスを生成する。このようにSYNC処理部では、784 kHzというMOSアナログで扱うにはやや高めの周波数の信号を、なるべく早くデジタルに変換し、後の処理をCMOSが得意とするデジタル



注：□ アナログ処理を必要とする部分を示す。略語説明 CD (Compact Disk), DAT (Digital Audio Tape)

図10 デジタルオーディオシステムのブロック図 デジタルオーディオシステムでは、記録再生アンプ、データ抽出部、サーボ部およびA-D・D-A部でアナログ処理が必要とされる。



注：略語説明 SYNC (同期), DCHG (Discharge), SH (Sample and Hold), ATF (Automatic Track Finding)

図11 DAT ATF制御部ブロック図 ATF制御部ではSYNC信号処理とパイロット信号処理の二つのアナログ信号処理を行う。

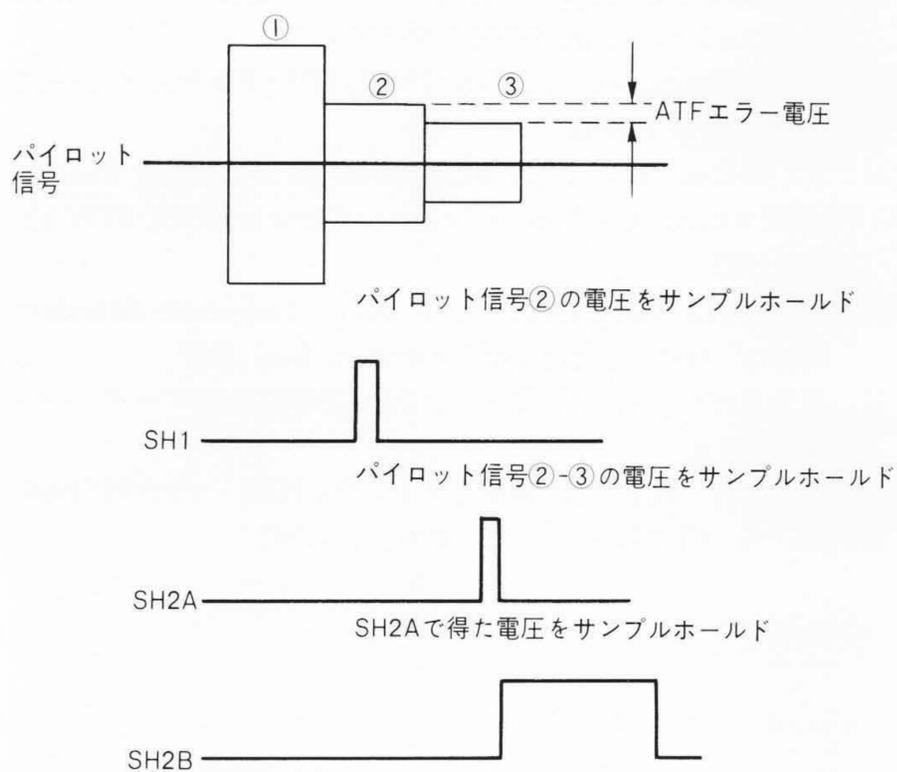


図12 DAT ATF信号処理波形 DATのATF処理では、隣接トラックからのパイロット信号の漏れ②、③の差分がゼロになるように制御が行われる。

ル処理に持ち込み、きめの細かいSYNC保護機能を実現するようにした。

パイロット信号の処理は、その周波数が130.67 kHzと低い  
ため、MOSアナログの特長を生かした処理を行った。200 kHz  
以下に帯域制限したパイロット信号は、両波整流とピークホ  
ールド回路を通すことによってエンベロープ(包絡線)抽出を  
行い、それをSYNC処理系で生成したサンプリングパルスで  
サンプリングすることにより、エラー信号の検出を行った。  
サンプルアンドホールド回路には、MOSアナログスイッチと  
次段の受けにCMOSアンプを使用することにより、サンプリ  
ング電圧の誤差がなく、かつリークのない理想的な特性を実

現することができた。ただし、MOSトランジスタだけで構成  
したサンプルアンドホールド回路であっても、図13に示すよ  
うに、対  $V_{DD}$ , GND間にPNジャンクションがある。このLSI  
では、これらPNジャンクションのリーク・ $I_{L1}$ ,  $I_{L2}$ ,  $I_{L3}$ を、  
ジャンクション面積の調整によってキャンセルしてゼロに近  
づけた。これにより、数フレームにもわたり、ATF信号がと  
れないような悪条件でもリークによるトラッキングエラーが  
生じないようにくふうした。

このように、ATF制御部のアナログ処理を、CMOS化する  
ことにより、ドラムサーボなどの他のサーボブロックとの

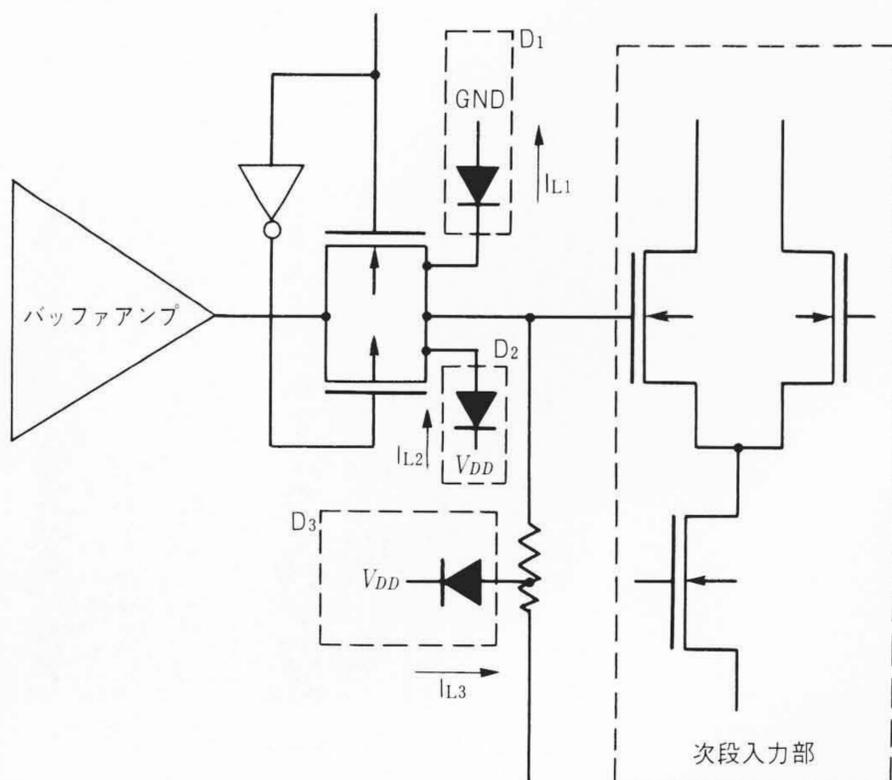


図13 サンプルアンドホールド回路のリーク電流補償 サンプル  
アンドホールド回路には、 $D_1$ ,  $D_2$ ,  $D_3$ に示すような寄生ダイオードが存  
在し、これらのジャンクションリークを補償する必要がある。

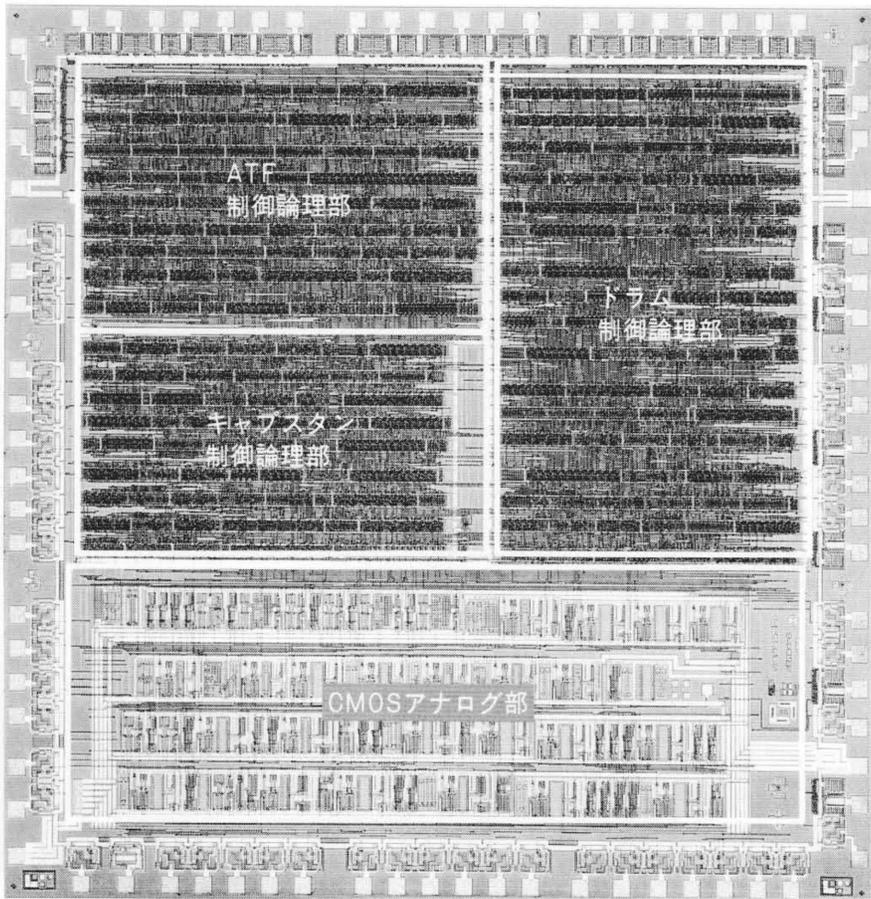


図14 DATサーボLSI(HD49212)チップ写真 CMOS 2 $\mu$ mプロセスを採用し、7.16 mm $\times$ 7.30 mmのチップサイズ上にデジタル6,000ゲート、アナログ600素子を集積している。

1チップ化を実現するとともに、デジタル部との一体化によってきめの細かいサーボ制御を可能にすることができた。HD49212のチップ写真を図14に示す。

## 5 結 言

CMOS・アナログ・デジタル混在LSI技術を駆使した3種

類のAV機器用専用LSIについて述べた。今後さらに、CMOSプロセスが微細化、高集積化されるにつれて、この論文で述べたようなアナログ・デジタル混在LSIのニーズが、ますます強まることが予想される。特にA-Dコンバータ、D-Aコンバータのオンチップ化のニーズは、より高速・高精度化の方向へ移向するのは必須である。それにつれて、デジタル雑音対策がいつそうクローズアップされてくると思われる。今後は、このデジタル雑音の悪影響を受けにくいアナログ基本要素回路の開発に注力し、ユーザーにとって使いやすく、より高集積化したアナログ・デジタル混在LSIの開発に努めていく考えである。

## 参考文献

- 1) Y. Okada, et al. : A Mixed Analog/Digital Video Signal Processing LSI with on-chip AD and DA Converter, Proc. of IEEE 1989 CICC, 24.1
- 2) K. Maio, et al. : A Highly Efficient Design System for Mixed Analog/Digital LSIs, ESSCIRC '89(1989-9)
- 3) T. Komatsu, et al. : CMOS High Speed Digital Data Strobe Processor. IEEE 1989 CICC, 11-1
- 4) T. Tsukada, et al. : CMOS 8b 25 MHz Flash ADC ISSCC 85 WAM 2.7 1985
- 5) T. Sekino, et al. : A Monolithic 8b Two-step Parallel ADC without DAC and Subtractor Circuits ISSCC 82 WAM 3.6 1982
- 6) The DAT Conference : The DAT Conference Standard Digital Audio Taperecorder system June 1987
- 7) 日立製作所 半導体事業部 : 日立DAT用IC/LSIデータシート集(1988-8)
- 8) 真利, 外 : 最新のAV機器とデジタル技術, コロナ社(1986)
- 9) 林, 外 : CDプレーヤ入門, コロナ社(1983)