

# 産業用パワーMOS FET D IIIシリーズ, D IVシリーズの開発

## Development of D III, D IV Series Power MOS FET

パワーMOS FETにおいて、オン抵抗、破壊耐量を中心に性能向上を図ったD III, D IVシリーズを開発した。低耐圧素子の低オン抵抗化では、MOS LSIの微細化プロセス技術の進歩に伴いユニットセルの大きさを縮小し、耐圧60 Vクラスで単位面積当たりのオン抵抗 $220 \text{ m}\Omega \cdot \text{mm}^2$ を達成した。破壊耐量の向上については、ゲート保護ダイオードや保護抵抗を内蔵し、静電破壊耐量を確保した。さらにMOS部のユニットセルに寄生的に構成されるバイポーラトランジスタの動作を抑制し、L負荷アバランシェ耐量、内蔵ダイオードの破壊耐量を従来品の2倍以上向上した。一方、ライフタイムコントロールプロセスを導入し、内蔵ダイオードの逆回復時間を120 nsと高速化した。また、低オン抵抗Pチャネル素子の適用により、低損失で使い勝手の良い特性を持つ、D III-Pチャネルシリーズの製品系列を拡充した。

飯島哲郎\* *Tetsuo Iijima*  
大高成雄\* *Shigeo Ootaka*  
高川恭一\* *Kyōichi Takagawa*  
森川正敏\*\* *Masatoshi Morikawa*

### 1 緒言

近年、各種電源分野や電動機制御分野では、高効率・小形化・低騒音化のために、機器の高周波化を進めており、このニーズに合ったパワー素子としてパワーMOS FET(MOS Field Effect Transistor: 電界効果トランジスタ)が注目され、その性能向上が求められている<sup>1)</sup>。

パワーMOS FETはMOS FETの持つ高速性と破壊に強いという特徴により、約10年前からスイッチング素子として注目され、さらに最近のMOS LSIのプロセス技術の進歩により、素子の微細化が可能となった。これと同時にデバイスシミュレータ<sup>\*)</sup>の活用により、構造の最適化が能率よく行われ、オン抵抗を飛躍的に小さくできるようになった<sup>2)</sup>。

一方、高性能化という点ではオン抵抗の低減だけでなく、高速動作時に回路のインダクタンスから発生するサージ電圧に対して壊れないための破壊耐量をはじめ、ゲートに入る静電サージに対しての破壊耐量も必要となる。

さらにパワーMOS FETに内蔵される高速ダイオードを積極的に使用する場合、このダイオードの高速性、高破壊耐量

が重要な特性になる。

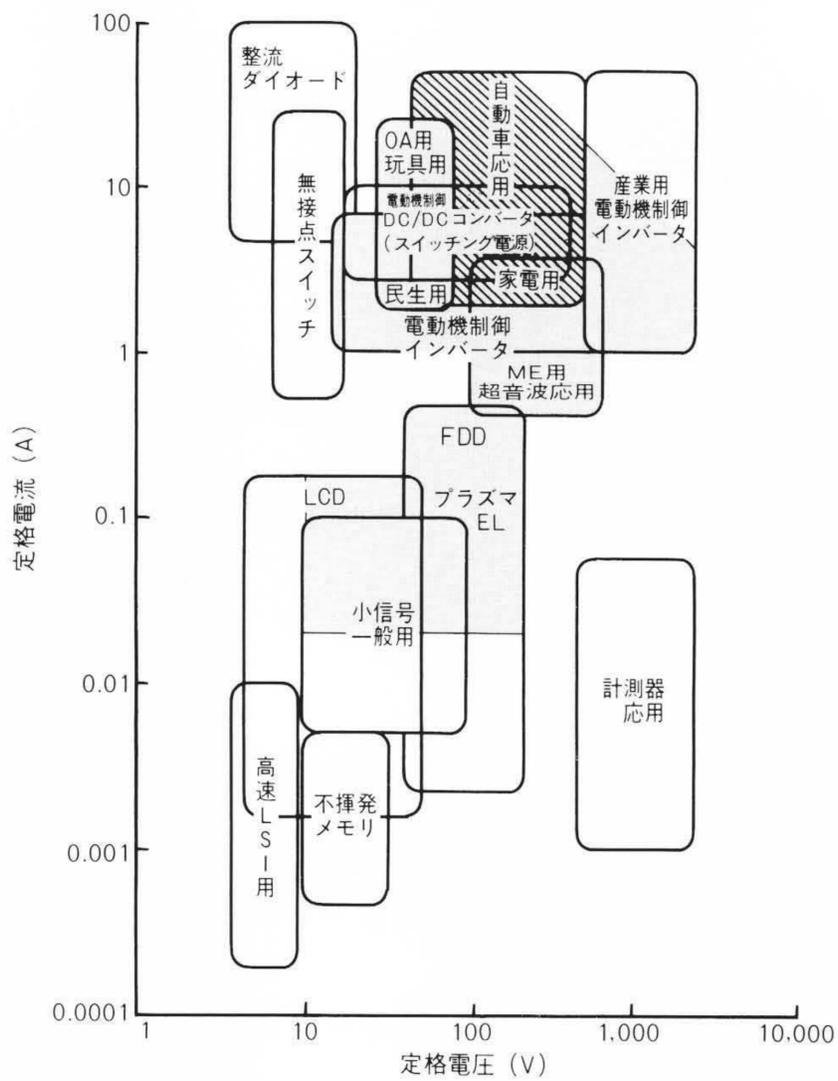
本稿ではこれらさまざまな要求特性に対し、最近開発したD III, D IVシリーズパワーMOS FETにおける性能向上の技術について説明する。

### 2 応用分野と技術課題

パワーMOS FETの応用分野としては主にスイッチングレギュレータ、DC/DCコンバータをはじめとした電源分野を中心に、各種電動機駆動用素子や、自動車、OA機器などに使用されるスイッチ素子などがあげられる。さらに照明機器などのインバータ回路や、医療機器で使用される超音波発振回路、モニタの水平出力回路などさまざまな分野に需要が広がっている。

これらの需要に応じた素子の最大定格電圧と電流の関係を図1に示す。最大定格電圧は12 Vから1,500 Vまでに、また最大定格電流は20 mAから50 Aまでをカバーしている。同図中の各分野での機器動向として、高効率化、小形化、高信頼性が共通してあげられ、表1に示すように主な応用分野ではさらに特有な素子への要求特性が求められている。そこでこれら要求特性を満足するために、低オン抵抗化、高破壊耐量などの素子の高性能化が必要となる。

※ 1) 三次元数値解析により、素子の構造、プロセスから、特性、電界分布を計算するプログラムである。



注：略語説明 ME (Medical Equipment), FDD (Floppy Disc Drive)  
LCD (Liquid Cristal Device), EL (Electronic Luminescence)

図1 MOS FETの応用分野 一般的に消費電力1W以上をパワー素子と呼ぶが、パワーMOS FETの応用分野(図中■部)としては小信号素子(1W以下)の範囲まで、用途は拡大している。

### 3 高性能パワーMOS FET

#### 3.1 低オン抵抗素子

低オン抵抗化は熱損失の低減だけでなく、チップ面積の縮小、すなわちコスト低減に結び付くため最も重要な要求特性になる。図2に示すように、耐圧60Vクラスを中心とした低耐圧素子では、1個1個のMOS FETを構成するユニットセルを微細化プロセスの適用により、小さくすることで低オン抵抗化が図れる。日立製作所ではレイアウトルールを5 $\mu\text{m}$ のDIIシリーズから3 $\mu\text{m}$ のDIIIシリーズ、さらに2 $\mu\text{m}$ のDIVシリーズと微細化を進め、図3のようにチップ面積に対するオン抵抗の関係を改善し、DIVシリーズで耐圧60Vクラスで単位面積当たりのオン抵抗220 $\text{m}\Omega\cdot\text{mm}^2$ まで低減した。

一方、このオン抵抗はMOS FETを駆動する回路によって影響を受ける。最近ではOA分野、自動車分野などでパワーMOS FETをCMOSロジックやTTL(Transistor Transistor Logic)から直接駆動するため、ゲート電圧が4Vでも十分オン抵抗が下がっていなければならない。さらに、今後はハイサイドスイッチ回路\*2)で、電源電圧に電池(3V)を使用する場合、ゲート

\*2) MOS FETが負荷を介して接地されている回路で、OA機器や自動車によく使用される。

表1 パワーMOS FETの応用分野の要求仕様 応用機器はその分野での代表例であり、その他にも多くの応用機器が存在する。特に自動車分野は、今後カーエレクトロニクスの需要に引かれ応用機器も増加していく。

応用分野	応用機器	商品, 技術動向	デバイス要求仕様						
			電気的特性				破壊耐量		
			低オン抵抗	低電圧4V駆動	低入力容量	高速ダイオード	L負荷アバランシェ	内蔵ダイオード	静電破壊
スイッチング電源	照明インバータ	ちらつき低減 高照度, 高効率 低価格化 → インバータ化 保護回路削除	◎	—	○	—	◎	◎	○
	ノートブックパソコン	小形・軽量化 電池駆動 → 低損失化 低電圧駆動	◎	◎	—	—	○	—	○
	VTR, ACアダプタ	小形・軽量化 低価格化 → 高周波化 スナバレス化	◎	—	◎	—	◎	—	○
電動機制御	インバータロボット	低雑音化 制御精度向上 → 高周波化 $f=1\text{k}\rightarrow 20\text{k}$	◎	—	—	◎	◎	◎	○
	OA機器, 小形電動機	小形・軽量化 制御精度向上 → 回路簡素化 高周波化	◎	◎	—	○	◎	◎	○
自動車	アクチュエータ, リレー代替	電子化 (Bip→MOS) 小形化 → マイコン駆動 低損失化	◎	◎	—	—	◎	—	◎

注：略語説明ほか パソコン(パーソナルコンピュータ), マイコン(マイクロコンピュータ), Bip(バイポーラ) ◎:(重要), ○(要)

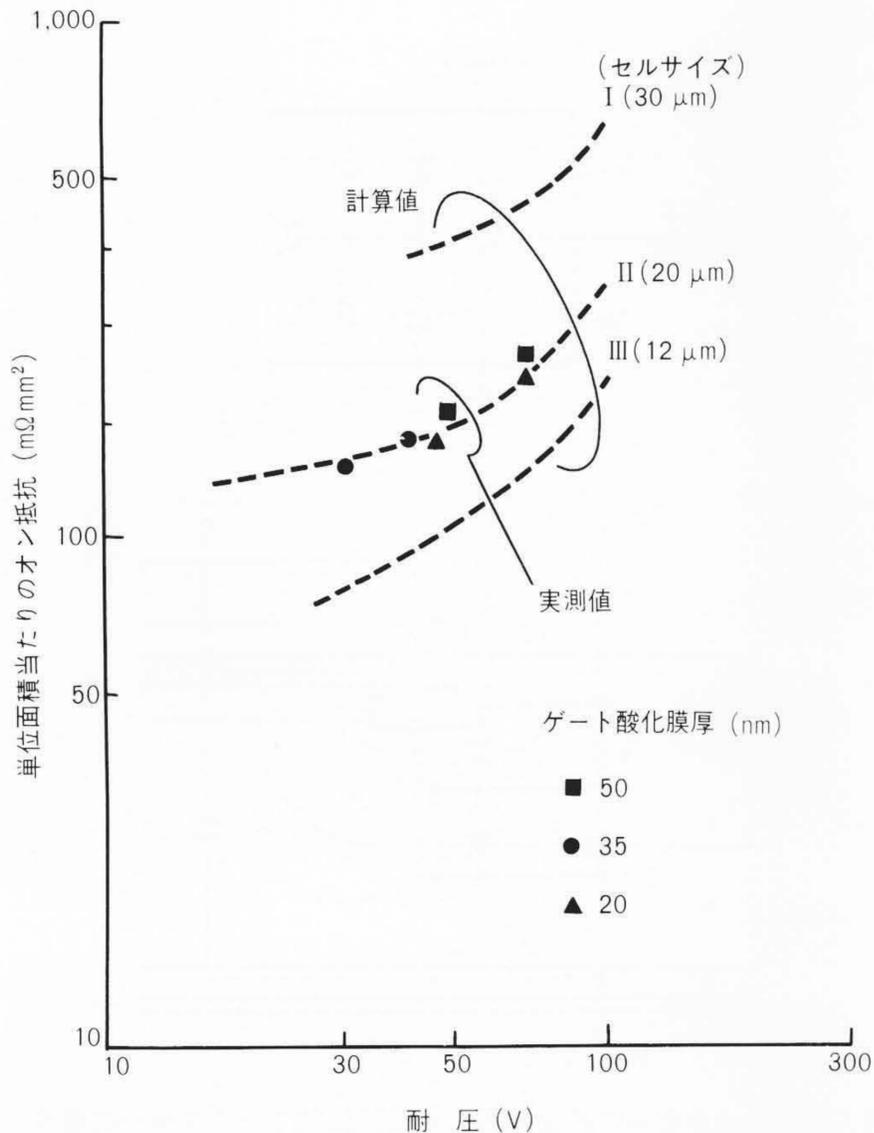


図2 単位面積当たりのオン抵抗と耐圧の関係 低耐圧素子ではセルサイズを小さくしていくと、オン抵抗を低減することができる。しかし、300 V以上の高耐圧素子ではこの関係は明確に現れない。

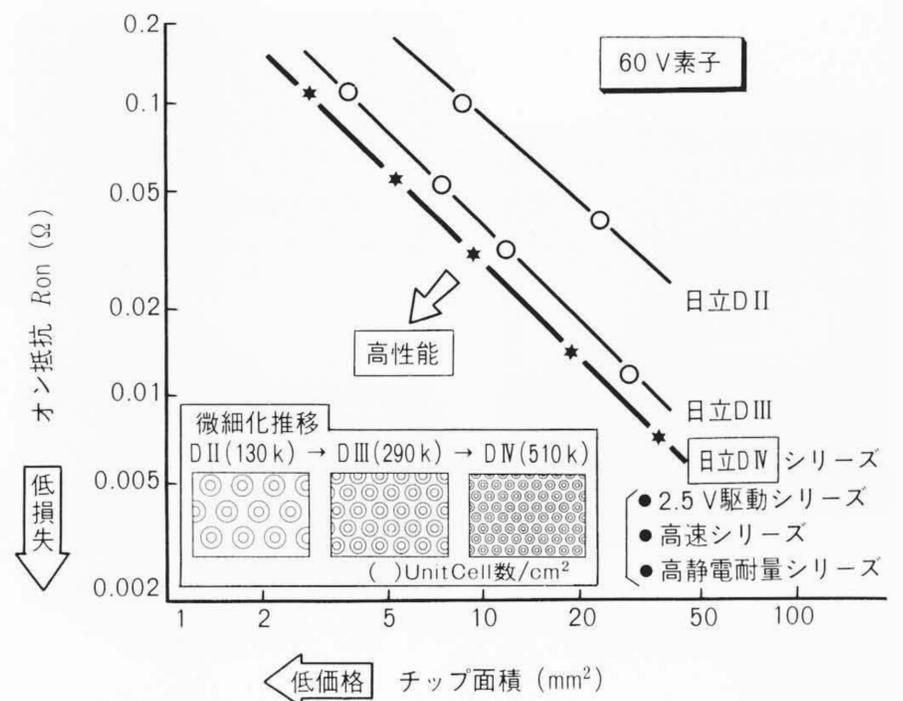
電圧が2.5 Vで十分動作することが必要になる。そこでパワーMOS FETのしきい値電圧<sup>※3)</sup>を下げるためにゲート酸化膜の薄膜化や、チャネル部の濃度、チャネル長を制御する。図4はD IIIシリーズでの耐圧12 VクラスのPNコンプリメンタリ素子2SK1579, 2SJ244のオン抵抗とゲート電圧の関係である。ゲート電圧2.5 Vでも十分オン抵抗が下がっており電池駆動回路に十分適応できる。

### 3.2 破壊耐量の向上

#### (1) 静電破壊耐量の向上

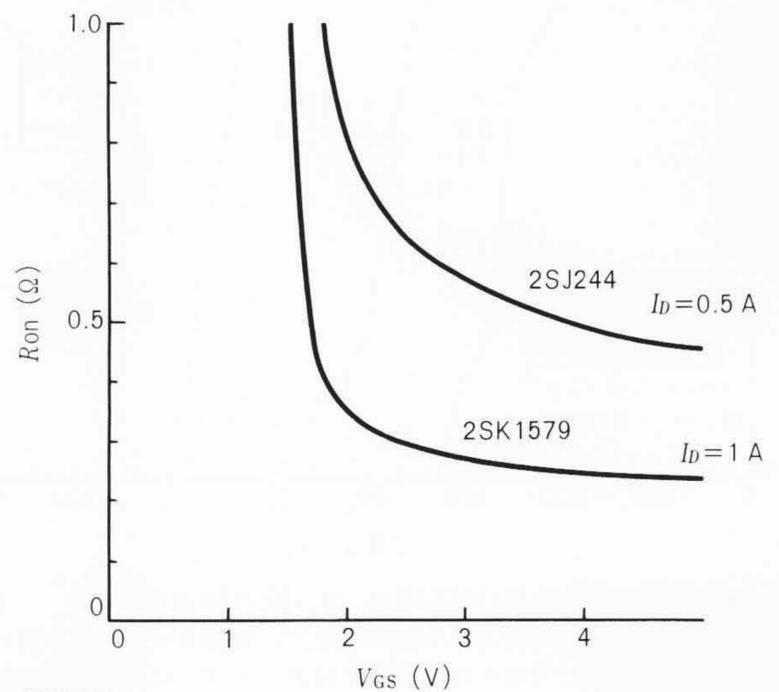
パワー素子といってもMOS構造である限り、静電サージがゲート電極に印加され酸化膜が壊れると素子は永久破壊する。その対策として、ゲート～ソース間に保護ダイオードを内蔵した。これはゲート電極と同じ多結晶シリコン中にPN接合のダイオードを厚い酸化膜上に形成している。そのため基板と電氣的に分離することができ、寄生効果によるサイリスタ動作が抑制できる。また、ゲート保護抵抗を挿入した場合、スイッチング特性が低下するが、抵抗値を適当に選定すること

※3) ドレイン電流が流れ始めるときのゲート電圧( $V_{thc}$ )である。Nチャネル素子では0 V以上の $V_{th}$ をエンハンスメント形, 0 V以下をデプレッション形で区別する。便宜的に $V_{GS(off)}$ で表される。



注: 略語説明 Ron (オン抵抗)

図3 低耐圧パワーMOS FETの性能比較 パワーMOS FETはMOS FETの小さなセルが並列に接続されているため、チップ面積を広くするとオン抵抗が小さくなる。したがって、いかに小さい面積で低いオン抵抗を得るかが、性能向上の鍵(かぎ)となる。



注: 略語説明

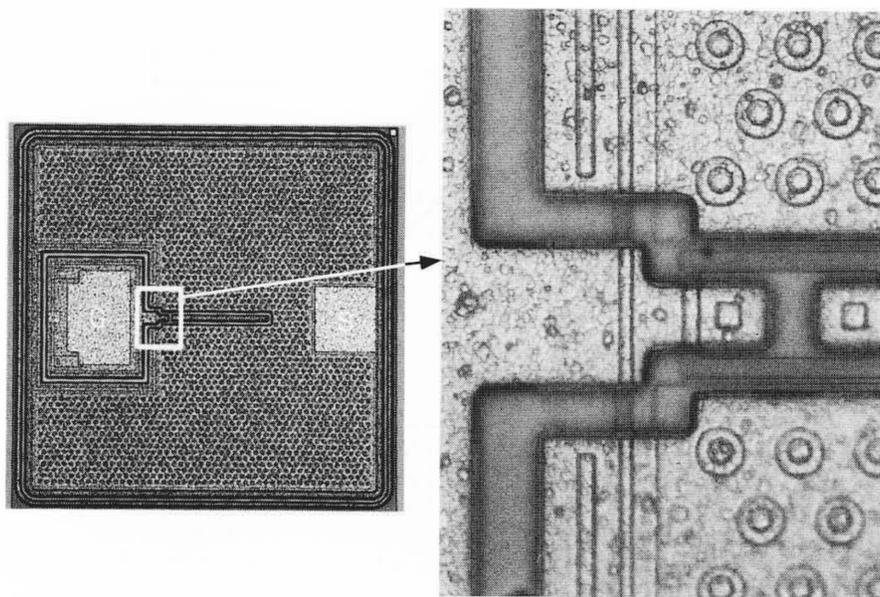
$I_D$  (ドレイン電流)

$V_{GS}$  (ゲート電圧: Pチャネル素子の場合, 負バイアスとなる。)

図4 2.5 V駆動素子のオン抵抗とゲート電圧の関係 ゲート電圧が低下すると、チャネル部の抵抗が急激に増大するため、オン抵抗が大きくなる。2SK1579, 2SJ244はしきい値電圧を小さくし、ゲート電圧2.5 Vでも低オン抵抗を維持している。

により応用上問題ないものにすることができ、さらに、図5に示すようにゲート配線上に挿入することで静電破壊耐量が向上する。図6はD IVシリーズでの保護ダイオードおよび保

※4) パワーMOS FETは負荷にL成分を持つ回路で使用される場合が多く、Lから発生する誘導起電力によって素子がアバランシェ降伏し破壊するため、アバランシェ破壊とも言う。



(a) チップ外観

(b) ゲート保護抵抗部

注：略語説明

G (ゲートボンディングパッド), S (ソースボンディングパッド)

図5 ゲート保護抵抗挿入部 ゲートボンディングパッドからソースボンディングパッドに向かって延びるゲート配線上に抵抗を挿入し, Alパターンでこれを接続する。

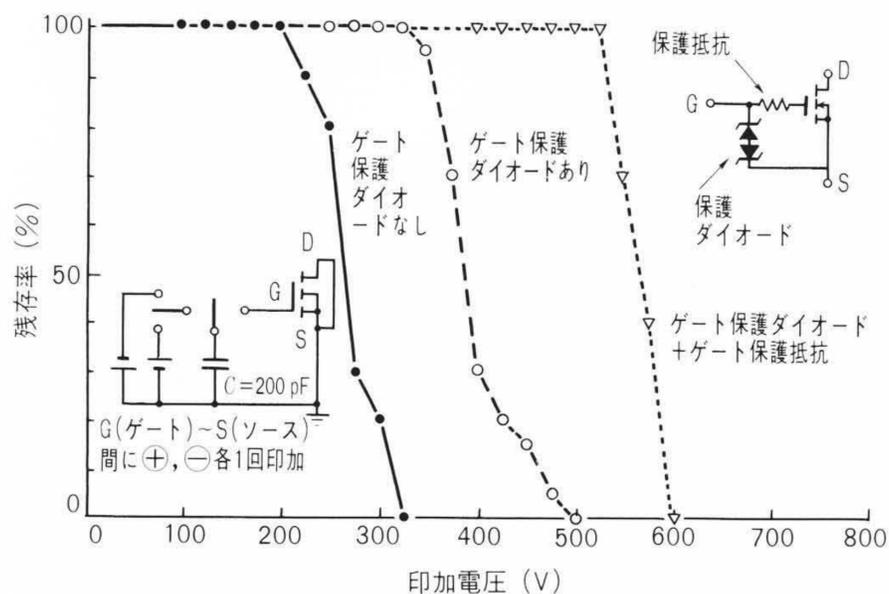


図6 静電破壊試験結果(耐压60 V, オン抵抗50 mΩ素子) 素子のゲート酸化膜の破壊電圧よりも低い電圧で, 保護ダイオードが降伏するため, 酸化膜自体に印加される電圧が軽減し, さらに保護抵抗の挿入により, MOS部の電圧上昇はほとんどなくなる。

保護抵抗を内蔵した素子の破壊耐量の向上の様子を示したものである。

(2) L負荷破壊耐量<sup>\*4)</sup>の向上

回路自体のインダクタンスや, 浮遊インダクタンスから発生するサージ電圧により, パワーMOS FETが破壊する場合があります。これはユニットセル中に寄生的にバイポーラトランジスタ(ソース層がエミッタ, チャンネル層がベース, ドレイン基板がコレクタに相当)が図7のように形成されているため, サージ電圧によってこれが動作し一部のセルに電流集中が起こる。この対策として, ベース領域の一部を深くしベース幅を広げる構造に加え, ソース直下のベース層に高濃度層を形成した構造により, 寄生バイポーラトランジスタの $h_{FE}$ とベ-

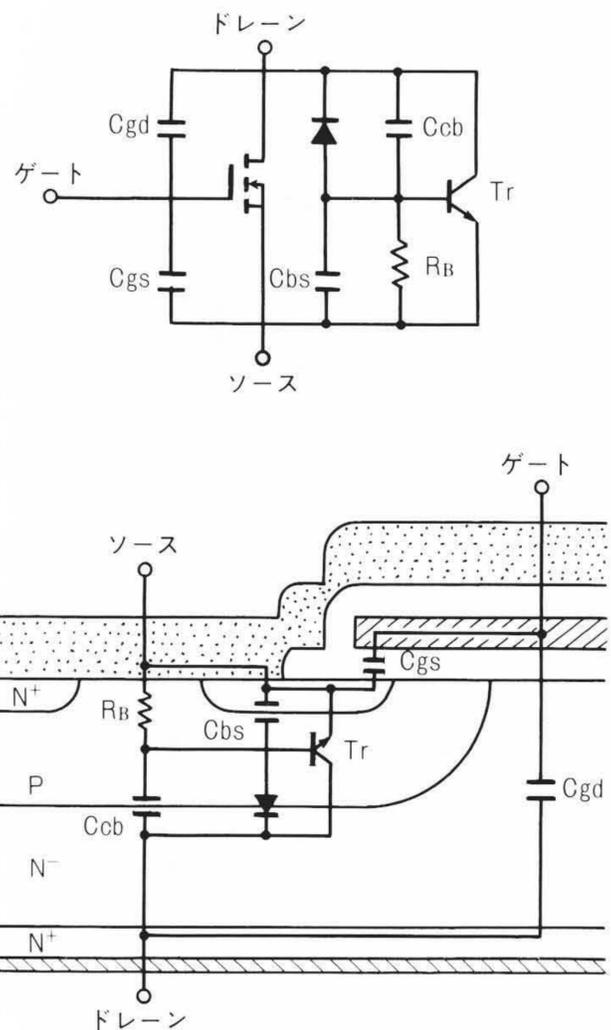


図7 ユニットセルの断面構造と等価回路(Nチャンネル素子の場合) パワーMOS FETのユニットセル部では, チャンネル形成時に寄生的にバイポーラトランジスタがMOS部と並列に形成されるため, これが動作するとゲート電圧では制御できなくなり破壊に至る。

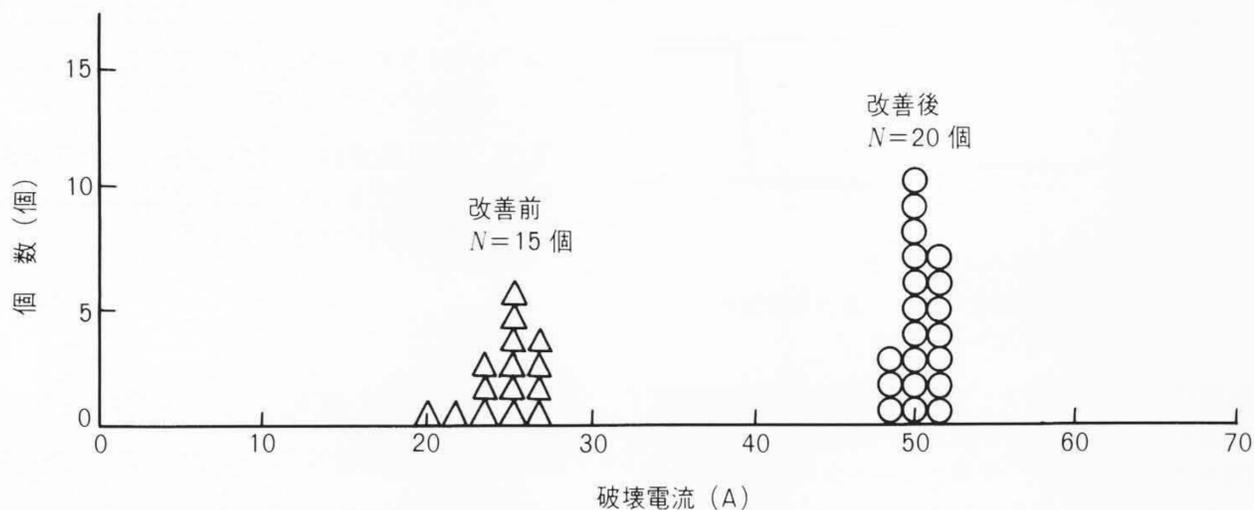
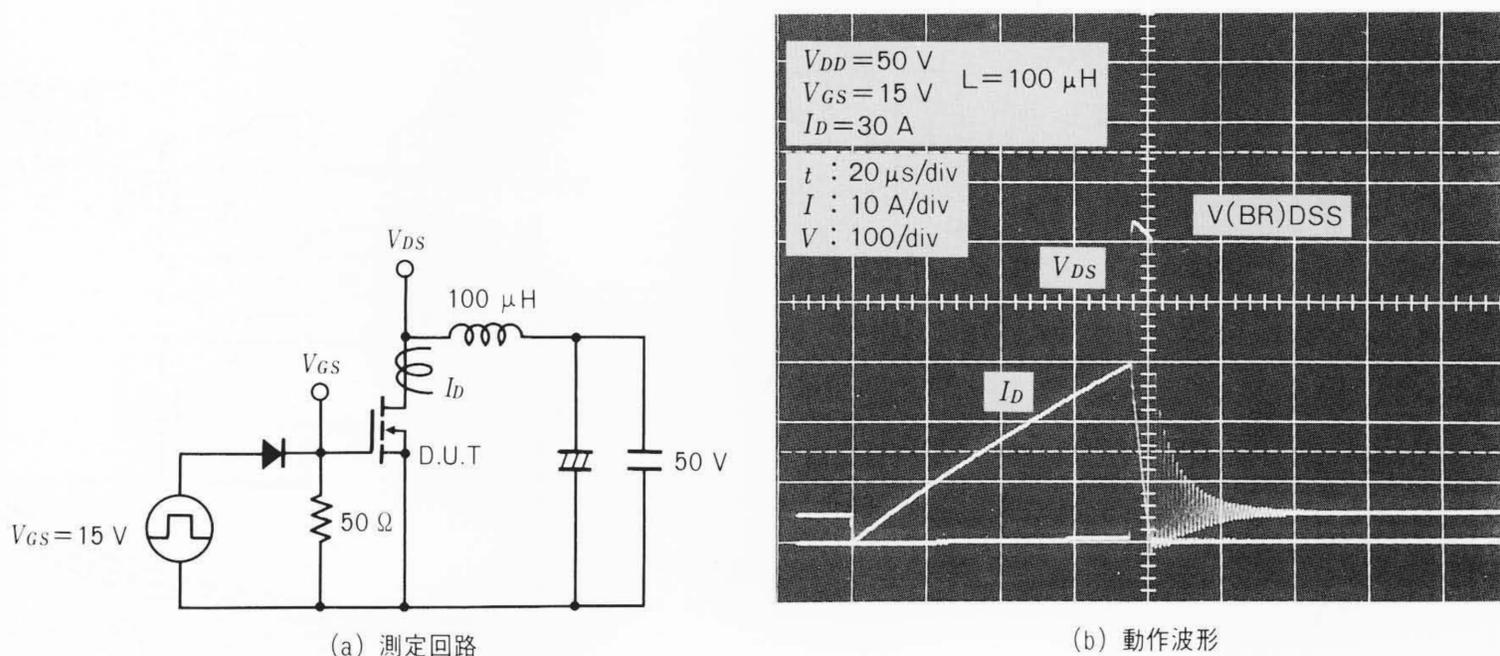
ス抵抗を下げ, 図8に示すように耐压500 Vクラスの素子でL負荷耐量を2倍以上に改善した。

(3) 内蔵ダイオード破壊耐量の向上

電動機制御回路やインバータ回路のように, ソース〜ドレイン間に等価的に形成された内蔵ダイオードを, 回生電流の引き抜きダイオード(転流ダイオード)として使用する場合があります。図9は照明機器のインバータ回路にパワーMOS FETを使用した例である。動作波形でみると, 内蔵ダイオードに過渡的に電流が流れている様子が見える。このとき, ダイオードの順方向電流によりドレイン基板中に多数のキャリアが蓄積される。これがダイオードの回復時に1個1個のユニットセルに注入される際, 1か所に集中すると寄生バイポーラトランジスタが動作し破壊に至る。これを防止するため, セル構造を改良しキャリアの注入をより均一化した。この結果, 改良前後では図10に示すとおり, ダイオードのスイッチングスピードを上げてても十分大きな順方向電流を流すことができる。

3.3 内蔵ダイオードの高速化

前述の内蔵ダイオードは, 機器の高速化に伴いスイッチングスピードを向上する必要がある。特に騒音対策から, 動作周波数は可聴周波数を超える20 kHz以上になるため, ダイオード部の損失が全体の機器の損失に大きな影響を与える。図11



注：略語説明ほか DUT (Device Under Test), ○ (飽和による非破壊), △ (破壊)

図8 L負荷アバランシェ破壊耐量 ドレイン電流 $I_D$ を流した状態で、これを急にオフすると100  $\mu$ Hのインダクタンスにより、誘導起電力 $L \times \frac{di}{dt}$ が発生し素子に印加される。印加時間は短いが印加電圧が大きいいため素子は降伏現象を起こし、この状態で寄生バイポーラトランジスタが動作しやすくなる。

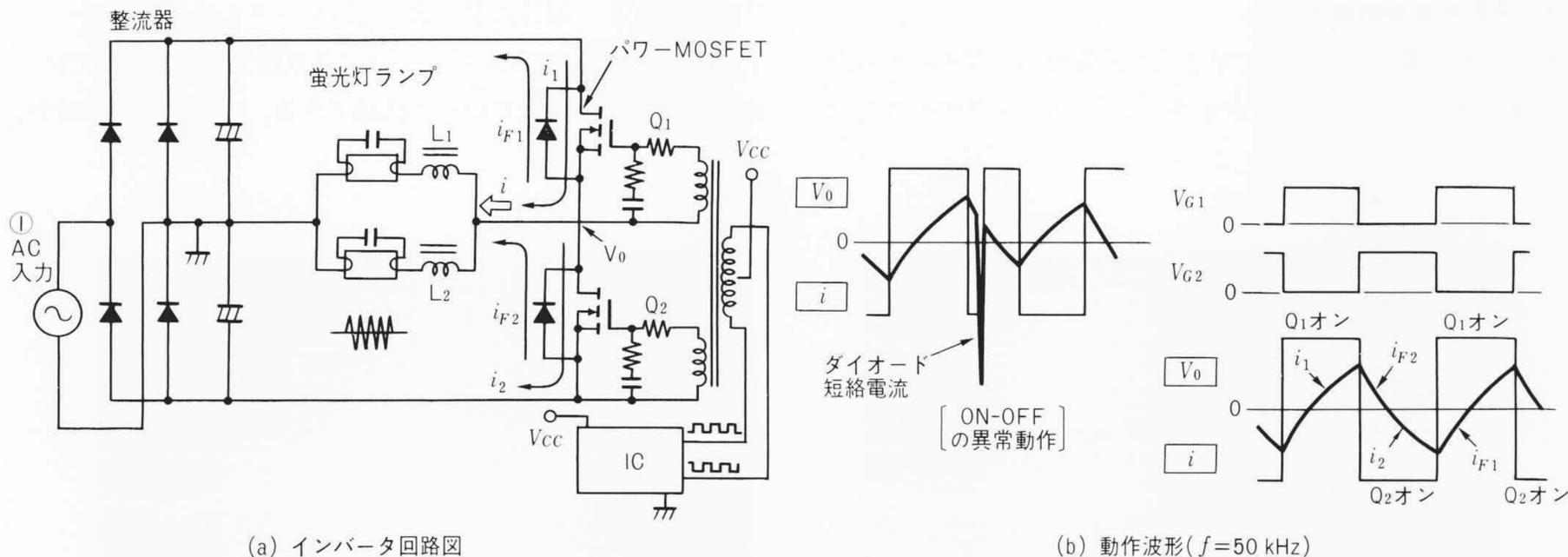
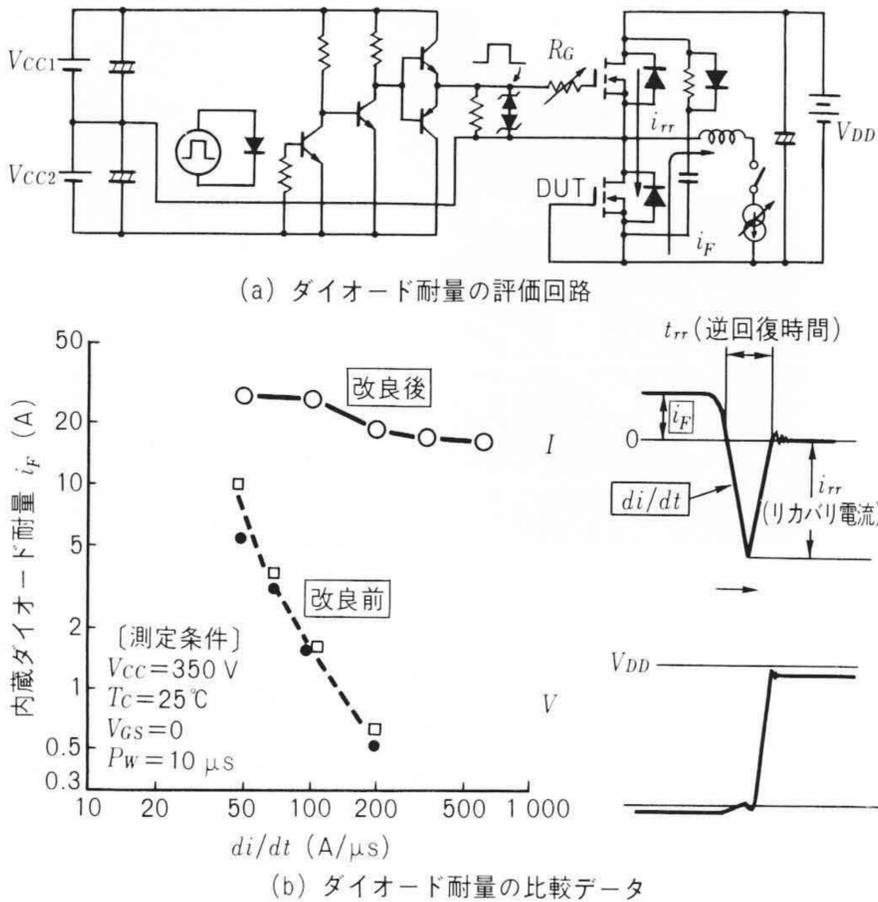


図9 80 W蛍光灯照明インバータ回路と動作  $Q_1$ と $Q_2$ のパワーMOS FETが交互に動作し、内蔵ダイオードにも順方向電流が交互に流れるとき、過渡的に異常動作が発生しダイオードに短絡電流が流れる。

は電動機制御回路にパワーMOS FETを応用した場合の損失と動作周波数の関係を示したものであり、20 kHz以上ではダイオードの逆回復時間 $t_{rr}$ による損失(同図中Ⓐ部)が支配的になる<sup>3)</sup>。

この $t_{rr}$ を短くするための手段として、ドレイン基板へのライフタイムコントロールを行った。図12はライフタイムコントロールを導入したDIII-HFシリーズ2SK1518と、これを実施していない同一定格の従来品2SK1170の $t_{rr}$ 波形を示したもので



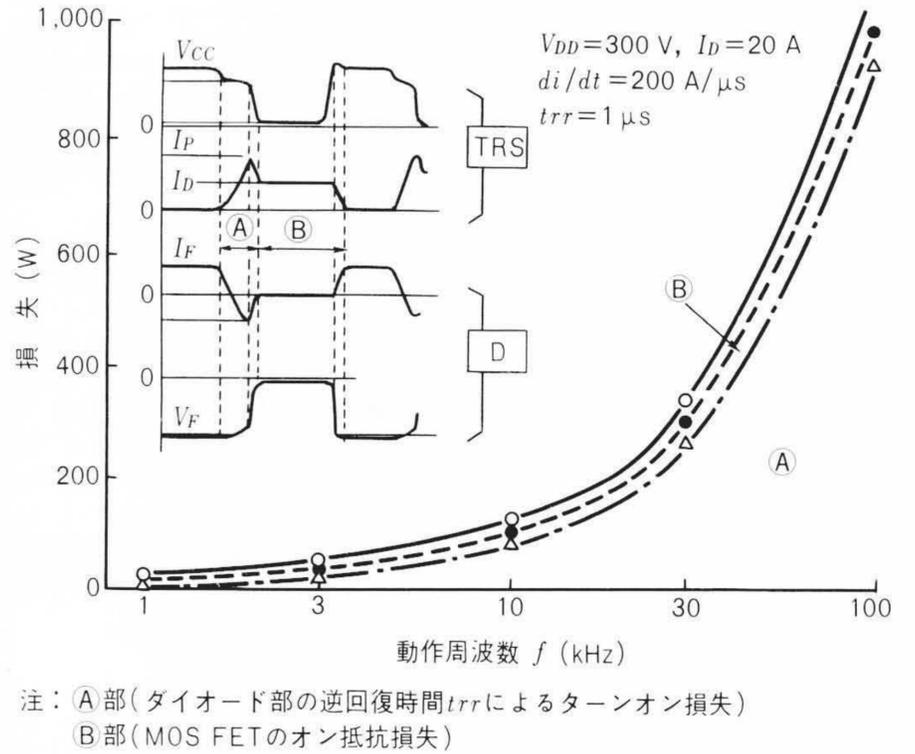
注：略語説明  $di/dt$  (ダイオード順方向電流をOFFし、逆方向電流が流れるときの切換スピードである。)

図10 ダイオード耐量の比較データ テスト用デバイスの内蔵ダイオードに順方向電流を流し、上段のMOS FETの立ち上りスピードを調整しながら、順方向電流をオフするとき、切換スピード $di/dt$ を速くしていくと、リカバリ電流が増大し破壊しやすくなる。

ある。これにより、従来品では500 nsの $t_{rr}$ を120 nsに低減でき、ダイオードのスイッチング損失を十分小さくした。

### 3.4 Pチャンネルの高性能化

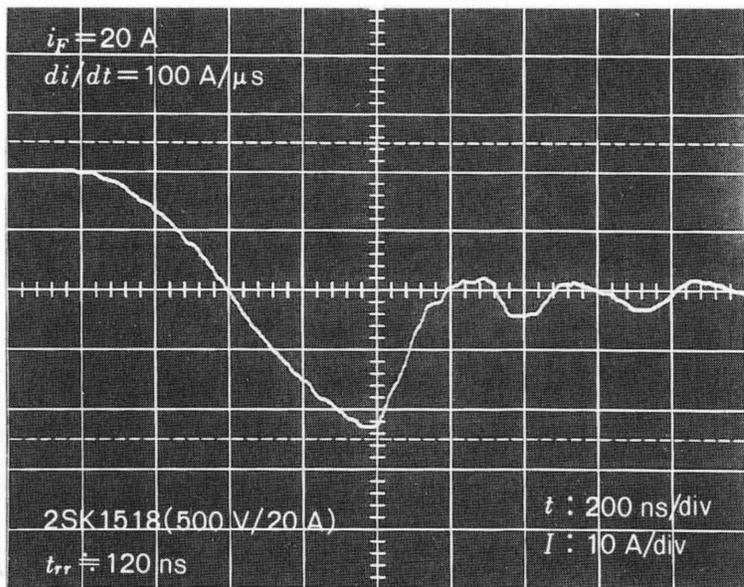
Pチャンネル素子はキャリアが正孔であるため、Nチャンネル素子に比べキャリアの移動度が小さく、同一チップサイズでは



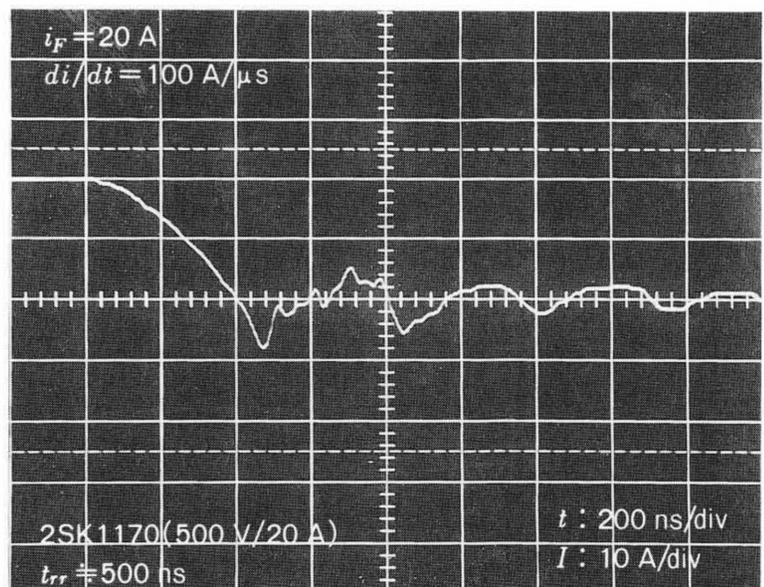
注：(A)部(ダイオード部の逆回復時間 $t_{rr}$ によるターンオン損失)  
(B)部(MOS FETのオン抵抗損失)  
図11 動作周波数と損失配分 周波数が低い領域ではオン抵抗ロス(B)が支配的であるが、20 kHz以上になると明らかに $t_{rr}$ の影響によるターンオン損失(A)が支配的になる。

約2.5倍のオン抵抗となる。すなわち、同一オン抵抗とするには、チップ面積をNチャンネル素子の2.5倍にする必要がある。このため、コストアップや小形パッケージでの低オン抵抗化が困難といった理由からその用途は限られていた。

しかし、近年Nチャンネル素子同様、微細化技術の進歩により、低耐圧素子を中心に大幅にオン抵抗を低減することができ、応用範囲も拡大された。主な用途としてはモータドライブ回路であり、図13に示すようにNチャンネル素子と相補(コンプリメンタリー)で使用することによりNチャンネル素子だけの回路に比べ部品点数で約 $\frac{3}{4}$ に低減できる。また、自動車分野、



(a) DIII-HFシリーズ (2SK1518)



(b) DIII-Hシリーズ (2SK1170)

注：DIII-HFシリーズは、従来品(DIII-Hシリーズ)に対し内蔵ダイオードをライフタイムコントロールによって高速化した製品である。

図12 内蔵ダイオードの逆回復時間  $t_{rr}$  HFシリーズはFRD(Fast Recovery Diode)として使用可能な内蔵ダイオードを持っており、高速スイッチングでもダイオードのスイッチングロスを十分小さくできる。

OA機器などハイサイドスイッチとして使用する回路でも、ドライブ回路が大幅に簡素化できる。

Pチャンネル素子は寄生バイポーラトランジスタがPNP形で構成されるため $h_{FE}$ が低く、同一構造のNチャンネル素子に比べ破壊耐量大きい。したがって、Nチャンネル素子のように破壊耐量の制約を受けず、低オン抵抗化が可能となる。特にDIII-Pチャンネルシリーズでは低電圧駆動に対応するため、しきい値電圧を精度よく下げ、 $V_{GS(off)}$ <sup>※5)</sup>を $-1.0\text{ V}$ から $-2.0\text{ V}$ の間とした。DIII-Pチャンネルシリーズのラインアップを表2に示す。今後、Pチャンネル素子は駆動回路の点から使い勝手の良い素子としてさらに製品系が拡充され、性能も向上していくと考えられる。

#### 4 パッケージの多様化

パワーMOS FETも電子機器の小形化、薄形化の要求を背景としたパワートランジスタ全体のパッケージ動向の中で、表面実装化、マルチチップ搭載による複合化といったパッケージの多様化が進んでいる。

表面実装外形は、小信号トランジスタですでにユーザーに浸透しているが、パワー素子でもDPAK外形、LDPAK外形<sup>※6)</sup>といった70 WクラスのTO-220外形相当までを製品化している。一方、複合化としては単一チップやP/Nコンプリメンタリーとして2種類のチップを搭載した多ピン外形のアレーを製品化した。表2はDIIIシリーズでの面付けパッケージとアレーのラインアップを示すものである。

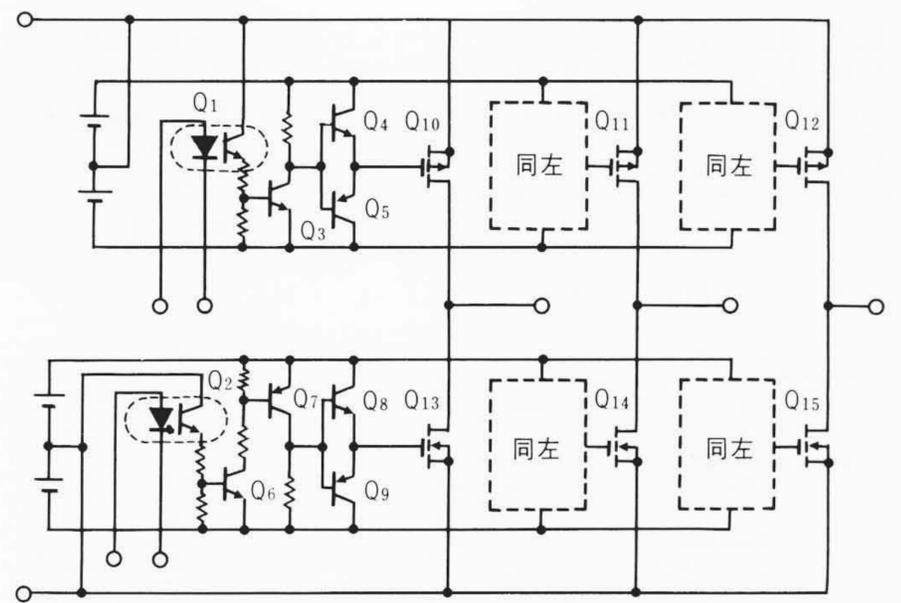
#### 5 将来の動向

パワーMOS FETの高性能化は、微細化プロセス技術、CAD技術の進歩により大きく前進してきたが、ユーザーからの多様なニーズにけん引されている面も大きく、表3に示すように各分野に特有の性能向上が必要になる。

特に低耐圧素子では微細化の効果が大きいことからLSIのメモリセル技術を利用し、サイドウォールスペーサ<sup>※7)</sup>やU溝構造を採用した実験が報告され、単位面積当たりのオン抵抗を耐圧60 Vクラスで $156\text{ m}\Omega\cdot\text{mm}^2$ まで小さくしている<sup>4)</sup>。一方、高耐圧素子ではMOS FETの電圧駆動とバイポーラトランジスタの大電流特性を兼ね備えたIGBT (Insulated Gate Bipolar Transistor) が電動機制御やインバータの分野で注目されており、ここでもサイドウォール構造を利用した完全自己整合構

※5) ゲートカットオフ電圧：ドレーン電流を下げていくとき、ある任意の電流になったときのゲート電圧を便宜上カットオフ電圧と呼ぶ。

※6) DPAKは5~20 Wクラスまで出力がとれるレジンモールド外形として、またLDPAKは、さらに75 Wまで出力がとれるレジンモールド外形として製品化されている。



注：略語説明 Q1, Q2 (ホトカブラ), Q10~Q12 (PチャンネルパワーMOS FET) Q3~Q9 (ドライブ用トランジスタ), Q13~Q15 (NチャンネルパワーMOS FET)

項目	P/Nチャンネル コンプリメンタリー構成		全Nチャンネル構成使用	
	上アーム	下アーム	上アーム	下アーム
トランジスタ	9	12	12	12
抵抗	9	15	15	15
ホトカブラ	3	3	3	3
駆動電源部	5	5	15	5
合計	26	35	45	35
	61		80	

注：単位(個数)

図13 Pチャンネル—NチャンネルパワーMOS FET使用時の駆動回路構成 インバータの上アームにPチャンネルを、下アームにNチャンネルを使用すれば駆動電源としては上・下アーム1個ずつでよいことになり、主要部品点数をNチャンネル素子だけの回路構成と比較すると約24%減となる。

造による高性能化が図られている<sup>5),6)</sup>。このように今後も低オン抵抗に対しては、破壊耐量を維持して、かついっそう微細化プロセスによるユニットセルの縮小が進むと考えられる。

また、機器の動作周波数が電源分野を中心に高まる中で、MOS容量の低減を目的とした構造が幾つか提案されている<sup>7)</sup>。これらの構造はチャンネル部以外のゲート電極部を除いたり、またこの酸化膜を厚くしたりするほか、N形ドレーン基板の表面に浅いP形領域を形成するため、よりいっそうの微細化プロセス技術が必要となる。

さらに、今後大きな市場になる自動車分野ではますます高信頼性が要求され、特にエンジンルーム内での実装を考慮した場合、 $T_{MAX}$  (最大接合温度)の保証を現在の $150\text{ }^{\circ}\text{C}$ から $175\text{ }^{\circ}\text{C}$ へ上げる必要がある。このため、これに対応した熱ストレス試験が実施されることから、チップ構造だけでなくパッケージ全体も含めた信頼度設計が重要になってくる。

※7) ゲート電極上に酸化膜を堆(たい)積した後、異方性エッチングによってゲート電極端の側面にだけ酸化膜を残し、これを層間膜の一部として利用する。

表2 DIIIシリーズの面付けパッケージとアレーパッケージのラインアップ 面付けパッケージはUPAK, DPAK, LDKPAKの3外形があり、50品種が製品化されている。また、アレー外形も3外形で揃え、14品種が製品化されている。

外形	外形図	品名	主要特性				
			$V_{DSS}$ (V)	$I_b$ (A)	Pch (W)	$R_{DS(on)}$ (10V)	
						typ	Max
UPAK		2SK1579	12	2	1	0.25**	0.35**
		2SJ224	-12	-2	1	0.8**	1.2**
		2SK1772	30	1	1	0.7*	0.9*
		2SK1697	60	0.5	1	1.8*	25*
DPAK		2SJ182	-60	-3	20	0.35*	0.50*
		2SK1299	100	3	20	0.3*	0.45*
		2SK1254	120	3	20	0.35*	0.55*
		2SJ234	-30	-2.5	10	0.5*	0.7*
		2SK1152	500	1.5	20	4.0	6.0
		2SK1838	250	0.5	10	5.5	8.0
LDPAK		2SJ242	-60	-30	75	0.07*	0.09*
		2SK1622	60	25	50	0.05*	0.06*
		2SK1623	100	20	50	0.085*	0.12*
		2SK1636	250	15	75	0.22	0.27
		2SK1316	500	8	60	0.6	0.8
		2SK1528	900	4	60	3.0	4.0
		SP-10		4AK17	60	10	28
4AK21	100			8	28	0.07	0.09
4AK22	120			3	28	0.3	0.4
4AM12	60 -60			8 -8	28	0.06 0.09	0.075 0.12
SP-12		6AM11	60 -60	5 -5	36	0.13 0.15	0.17 0.2
SP-12TA		6AM12	60 -60	7 -7	42	0.13 0.15	0.17 0.2
		6AM13	60 -60	10 -10	42	0.06 0.09	0.075 0.12

注：( ) 囲みは、開発中の品種を示す。  
 \* 測定条件... $V_{GS} = 4V, -4V$   
 \*\* 測定条件... $V_{GS} = 2.5V, -2.5V$

## 6 結 言

パワーMOS FETのオン抵抗、破壊耐量を中心とした電気的性能を大幅に向上したDIII, DIVシリーズを開発した。

特に低耐圧素子では微細化プロセス技術の進歩により、耐圧60Vクラスの素子で単位面積当たりのオン抵抗で $220\text{ m}\Omega \cdot \text{mm}^2$ を実現した。

また、破壊耐量の向上についても種々の改善が進められてきたが、これらの改善はオン抵抗を含めたパワーMOS FETの特性を維持したままで実現できた。しかし、今回述べた静

表3 今後の動向と素子の対応 個別半導体として低オン抵抗化の他に、高周波化、低電圧駆動化が今後の素子動向となるが、一方でTemp FETに代表される付加機能素子のような多機能化も注目すべき動向である。

応用分野	応用機器	今後の市場動向	素子の対応
スイッチング電源	ノートブックパソコン	低電圧化 5→3V	● 2.5V駆動
	OA・通信 DC/DCコンバータ	小形化 200kHz→1MHz	● ゲート抵抗Rg低減, 低容量
	AC入力 スwitchング電源	W/W AC入力対応 共振方式 (200kHz→2MHz)	● 高耐圧(900V)低容量
電動機制御	インバータ ロボット	低損失, 低雑音	● IGBT(モジュール)
	小形電動機 (OAラジコンほか)	小形化 回路簡素化	● パワーMOSアレー, モジュール ● 温度検知型(Temp FET)
自動車	アクチュエータ リレー代替 ランプドライバ エンジン制御 ABS	マイコン駆動 回路簡素化 Bip→MOS比率大	● ゲート抵抗Rg内蔵の高静電破壊耐量 ● 温度検知形(Temp FET) ● 過電流検知形(センスFET)

注：略語説明 ABS(Anti-Skid Brake System)  
 IGBT(Insulated Gate Bipolar Transistor)

電破壊をはじめとした素子破壊は、実装時のさまざまな破壊事例の一部であり、引き続き耐量向上への改善が必要である。一方、使い勝手の良い素子という点で、Pチャネル素子の高性能化やパッケージの多様化を進めてきた。特にPチャネル素子は駆動回路が簡素化されることから、今後ますます需要が伸びていくと予想される。

## 参考文献

- 1) 八尾, 外: パワーデバイスの最近の進歩, 日立評論, 70, 10, 1033~1040(昭63-10)
- 2) I. Yoshida, et al.: Low Onresistance and High Reliability Power MOS FET, In Rec. of IEEE-Power Electronics Specialist Conf. 674(1988-4)
- 3) 大高, 外: パワーMOS FETにおける特性改善, 1985年電気学会全国大会(昭60-1)
- 4) 森川, 外: 新構造パワーMOS FET・US-DMOSの提案, 1990年電子情報通信学会秋季全国大会(平2-10)
- 5) M. Mori, et al.: IEDM Tech. Dig., 813(1988)
- 6) 吉田, 森: 電源用半導体デバイスの最近動向, MECHATRONICS, 1989.12
- 7) T. Sakai, et al.: Low Reverse Transfer Capacitance VDMOS Transistor, PESC '88 RECORD(1988-4)