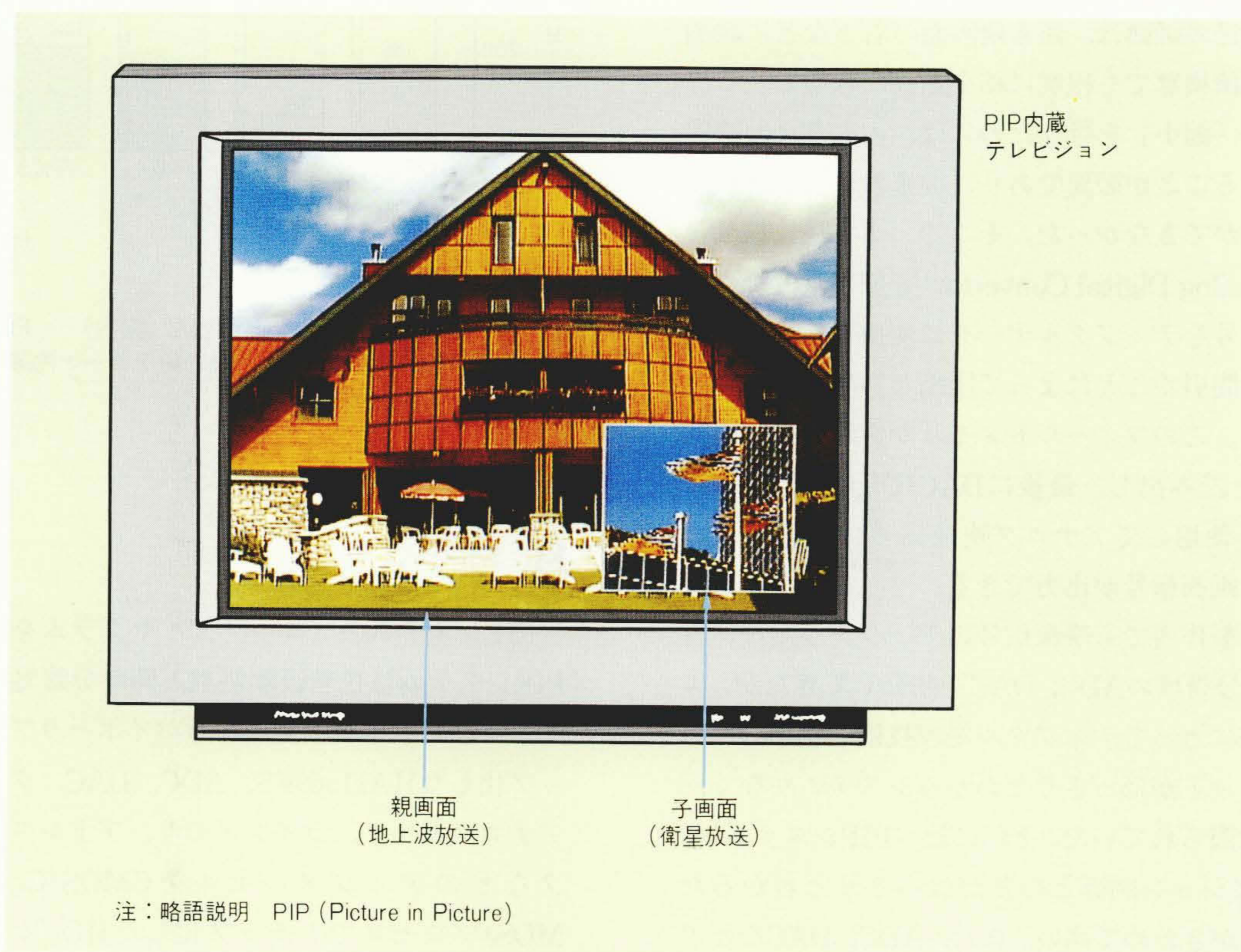


難しい親子画面の仲を取り持つPIP用 アナログ・デジタルIC

Analog, Digital LSI for PIP Application

下川龍志* Ryushi Shimokawa

西本 覚* Satoru Nishimoto



PIPシステムの映像 親画面は地上波放送をそのまま映し、子画面は衛星放送などのソフトを垂直、水平方向におのおの $\frac{1}{3}$ の大きさに縮小して映し出す。

近年、衛星放送やクリアビジョンなどの高画質番組の増加、VDP (Video Disc Player)、SVHS (Super Video Home System)、VTR (Video Tape Recorder) などの高画質ビデオ機器の浸透に伴い大画面テレビジョンの普及が顕著となっている。また、こうした映像ソースの多様化にこたえて、口絵に示すように一つのテレビジョン画面で二つの異なる映像を映すことができるPIP (Picture in Picture) システムも近年急激に普及している。

日立製作所でも昭和62年からPIP LSIキットの開

発に着手し、平成3年には3チップで全システムを構築できる第3世代PIP LSIキットを開発した。中でもメモリコントローラ用LSIであるHD49412FSは、CMOS (Complementary MOS) アナログデジタル混在技術を活用し、ADC (Analog Digital Converter)、DAC (Digital Analog Converter)、クランプなどのアナログセルと、ラインメモリ、コントロールロジックなどのデジタルセルを1チップに共存させ、PIPの高画質、多機能化とともにシステム構成部品の低減を実現した。

* 日立製作所 半導体設計開発センタ

1 はじめに

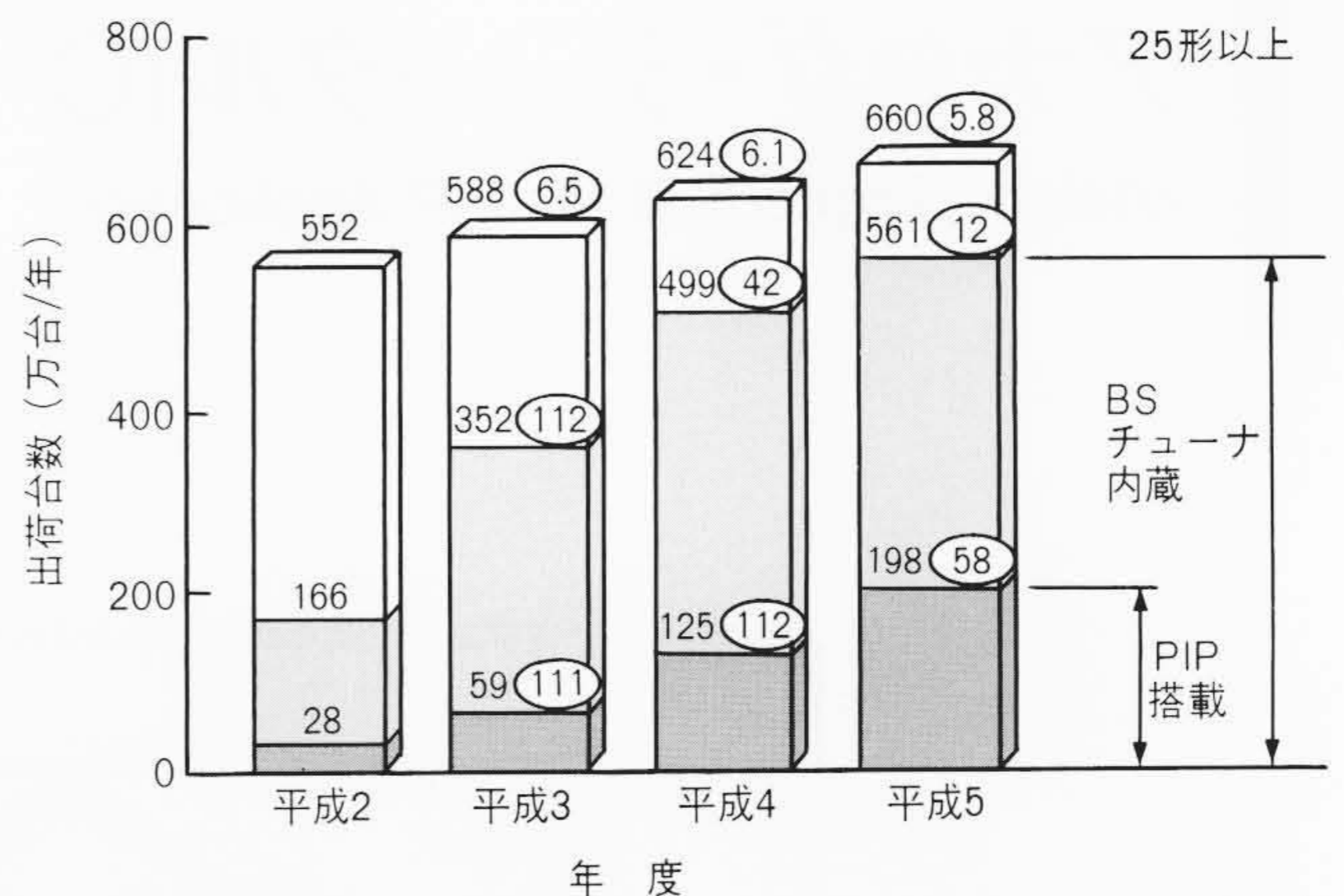
PIP (Picture in Picture) システムとは一つのテレビジョン画面に二つの映像信号を映し出す機能を持つシステムである。親画面と呼ぶ第一の画面は、従来の映像画面と同一のものであり、PIP特有の処理は特に行わない。子画面と呼ぶ第二の画面は、通常親画面の右下などに親画面に比べて面積換算で $\frac{1}{9}$ 程度に縮小された状態で映し出される。この「縮小」を行うためには、入力された映像信号を圧縮することが必要であり、従来のアナログ処理技術では対応ができなかった。そこで、まず映像信号帯域のADC (Analog Digital Converter) を使用し、一度アナログ映像信号をデジタルデータに変換する。その後 $\frac{1}{9}$ にデータを間引くことによって圧縮し、フィールドメモリに蓄える。このフィールドメモリから親信号に同期してデータを読み出し、最後にDAC (Digital Analog Converter) を使用してアナログ映像信号に変換することによって子画面信号が出力できる。

従来、日立製作所でも映像信号のデジタル処理に着目し、映像信号帯域のADC, DACを開発してきたが、エンドユーザーにとってデジタル処理技術を使用したことによるメリットがはっきりとわかるシステムがなく、その搭載数は限られていた。それに比べPIPシステムは、従来のテレビジョン画面との差がはっきりとわかるため、商品価値がきわめて高い。また、ADC, DACなどのアナログ・デジタル混在技術を使用することが必須(す)であり、初めて大量にテレビジョン機器に搭載されるアナログ・デジタル混在システムと言える。

ここでは今までのPIPシステムの来歴、第3世代PIPシステムLSIキットの特徴を中心に、アナログ・デジタル混在信号処理の難しさ、および今後の展開について述べる。

2 PIPシステム市場の動向

すでに述べたように、PIP市場は映像ソースの多様化に対応して広がってきている。25インチ以上の大画面テレビジョン出荷台数およびPIP搭載セット比率を図1に示す。PIP需要は衛星放送が本格的に普及した平成2年から伸び始め、これに呼応して大画面テレビジョンの需要も伸びている。今後も衛星放送局数の増加、HDTV (High Definition Television) 放送の本格化などによって高画質映像ソース数は増える方向であり、それに応じてPIP搭載率もますます伸びることが予想される。



(出典：日立製作所)

注：○ 伸び率%

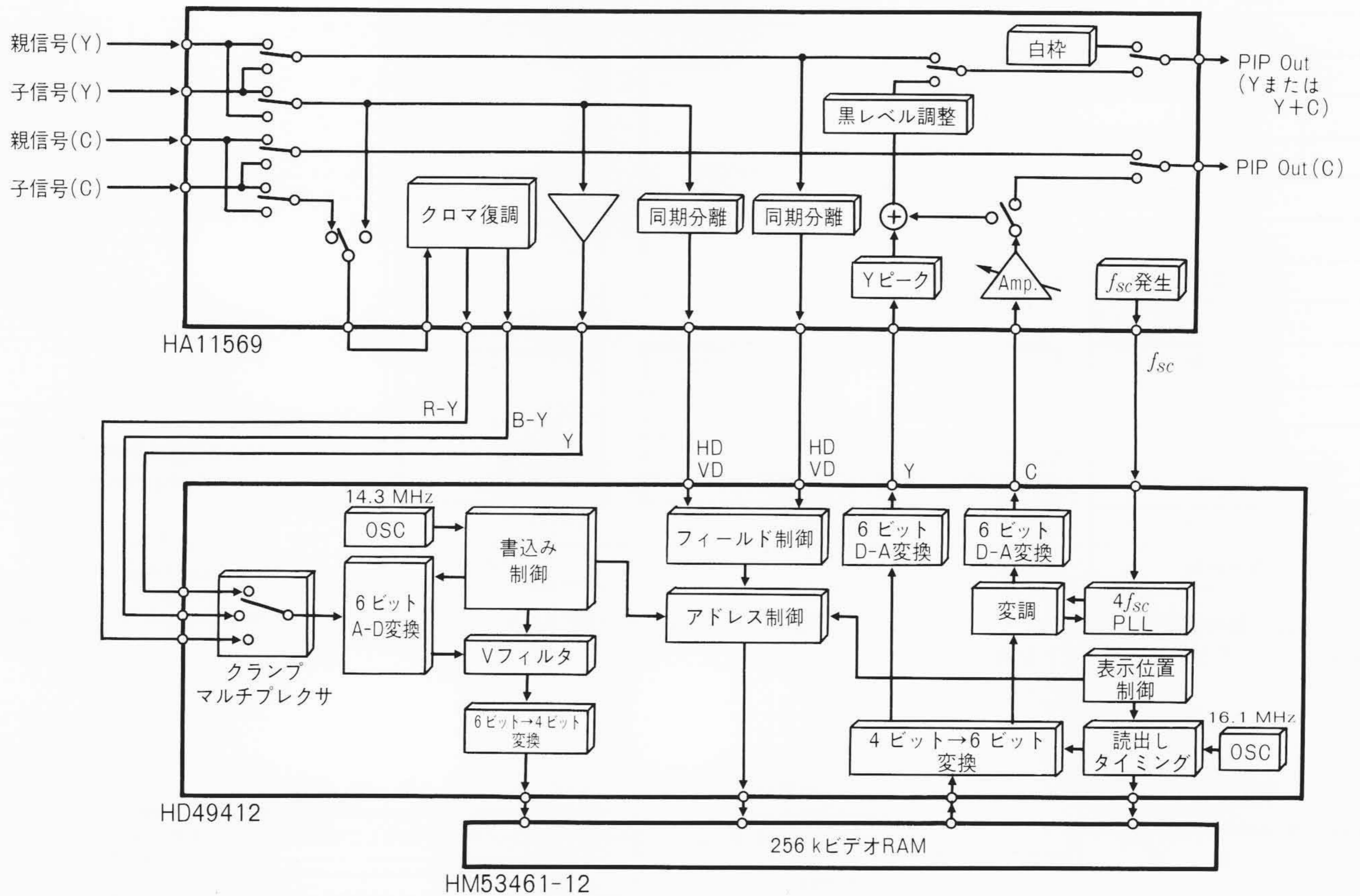
図1 大形テレビジョン出荷台数(国内) PIP(Picture in Picture)搭載率はBS(Broadcast Satellite)チューナ内蔵率に対応して増加していると言える。

3 PIPシステム

PIPシステムのブロックダイアグラムを図2に示す。PIPシステムは色差復調処理、同期分離処理、ビデオスイッチなどアナログ処理部をバイポーラプロセスで1チップ化したHA11569FS, ADC, DAC, クランプなどのアナログセルと、ラインメモリ、アドレス制御用ロジックなどのデジタルセルをCMOS (Complementary MOS) プロセスで1チップ化したHD49412FS, および256 kビットのフィールドメモリHM53461の3チップから構成される。

子画面信号はいったんビデオ信号からYおよびB-Y, R-Yの色差信号に変換され、子画面同期信号とともにHD49412FSへ入力される。その後、6ビットADCでデジタル信号に変換され、ライトコントロールロジックによって垂直、水平方向におのおの $\frac{1}{3}$ に圧縮される。この処理は水平信号(ライン)ごとに行われるため、一度外部フィールドメモリに蓄えることによってフィールド信号に変換する。その後、リードコントロールロジックによって親信号に同期して、1ラインごとにフィールドメモリから取り出し、B-Y信号, R-Y信号をデジタルクロマ変調した後に2チャンネル6ビットDACを使用してアナログ映像信号に戻す。この縮小した映像信号を再度HA11569FSのビデオスイッチによって親信号と合成し、PIP信号として出力する。

このようにPIPシステムは、そのビット数こそ6ビットと通常の映像信号8ビットよりも少ないが、同期処理、



注：略語説明 f_{sc} (Sub-Carrier Frequency), PLL (Phase Locked Loop), HD (Horizontal Drive), VD (Vertical Drive), OSC (Oscillator)

図2 PIPシステムブロックダイアグラム 現行PIPシステムは、HA11569FS, HD49412FSおよびHM53461-12の3ICだけで構成することができる。

クロマ信号の変復調，ラインメモリなどテレビジョン映像信号処理要素回路をすべて含んでおり，将来のデジタル映像信号処理システムの基本となるものと言える。

4 PIP ICキットの開発来歴

PIPシステムの主要ブロックと各世代ごとのチップ分割方式を図3に示す。第1世代は8チップで構成され，デジタル部はCMOS，アナログ部はバイポーラプロセスICで構成されており，集積度も低かった。このため，第1世代のキット構成では，チップ数，外付けとも多く，システムコストはやや高いものであった。しかし，第2世代ではADC，DACなどのアナログブロックをCMOSプロセスで実現し，コントローラとともに1チップ化することによって5チップで構成することを可能とした。今回の第3世代では，コントローラ部に画質改善のための垂直フィルタ用ラインメモリを集積するとともに，ビデオスイッチなどのアナログ部も従来の3チップを1チップに集積し，高画質PIPシステムを計3LSIで構築する

ことを可能とした。

5 第3世代PIP LSIキットの特徴

従来システムの問題点とその対策結果を図4に示す。特徴としては，垂直フィルタの追加と入力クランプ方式の改良によるADC入力レンジの拡大に伴う子画面の高画質化の実現，およびアナログ処理部1チップによるシステムコストの低減があげられる。このうちの高画質化技術については次節で述べる。

5.1 垂直フィルタ

垂直フィルタは図5に示すように，2本のディレイライン用ラインメモリと加算回路を使用して，子画面のちらつき現象を低減するものである。従来は走査線3本のうち2本を間引く方式を採用していたため，間引かれた2本分の信号が子画面から欠落してしまい，ちらつきの原因となっていた。この対策のために，今回はラインメモリによって3本分の信号の加重平均をとり，1本分の信号を作成することによって信号の欠落を防ぎ，ちらつ

| 機能ブロック | 第1世代 | 第2世代 | 第3世代 |
|-----------|-------------|-----------|-------------|
| V-RAM | HM53461 | HM53461 | HM53461 |
| コントローラ | HD49728 | HD49409FS | HD49412FS |
| クランプ | HA11544 | | |
| ADC | HA19216 | | |
| PLL | HA19507 | | |
| DAC (色系) | HA19507 | | |
| DAC (輝度系) | HA19508 | HA11569FS | |
| 垂直フィルタ | | | |
| 同期分離 | HA11532/525 | | HA11532/525 |
| ビデオSW | HA118088 | | HA118088 |
| 前処理 | HA11532 | | HA11532 |
| 後処理 | HA11525 | HA11525 | |
| BPF, LPF | | | |
| 量産時期 | 昭和63年6月 | 平成2年2月 | 平成3年2月 |

注：略語説明
 ADC (Analog Digital Converter)
 DAC (Digital Analog Converter)
 SW (Switch)
 BPF (Band Pass Filter)
 LPF (Low Pass Filter)

図3 日立製作所の各世代別PIP LSIキット構成 昭和63年から第1世代PIP LSIキットの量産を始め、現行第3世代キットでは、各機能の集積化によって3チップでキットを構成している。

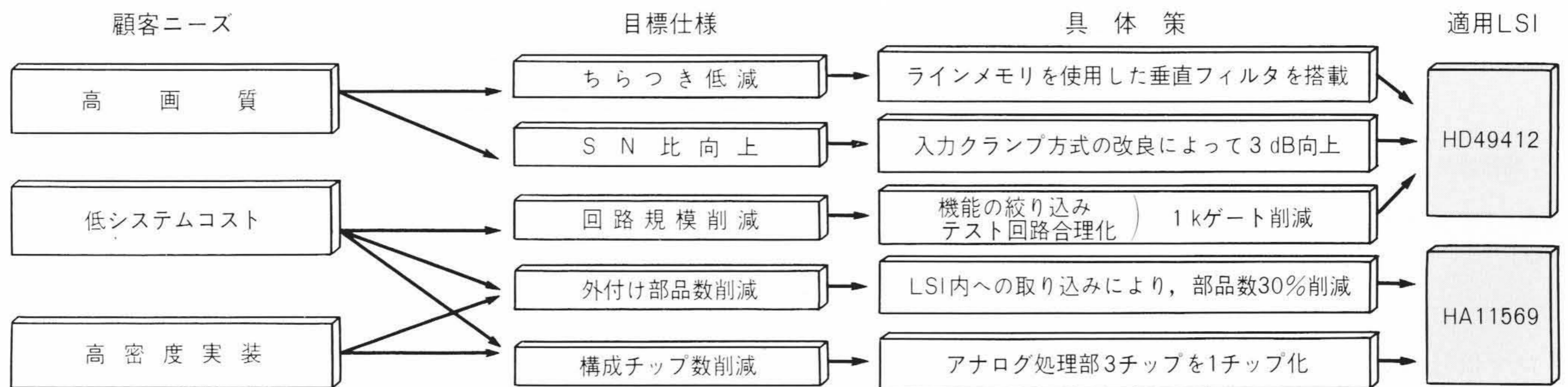
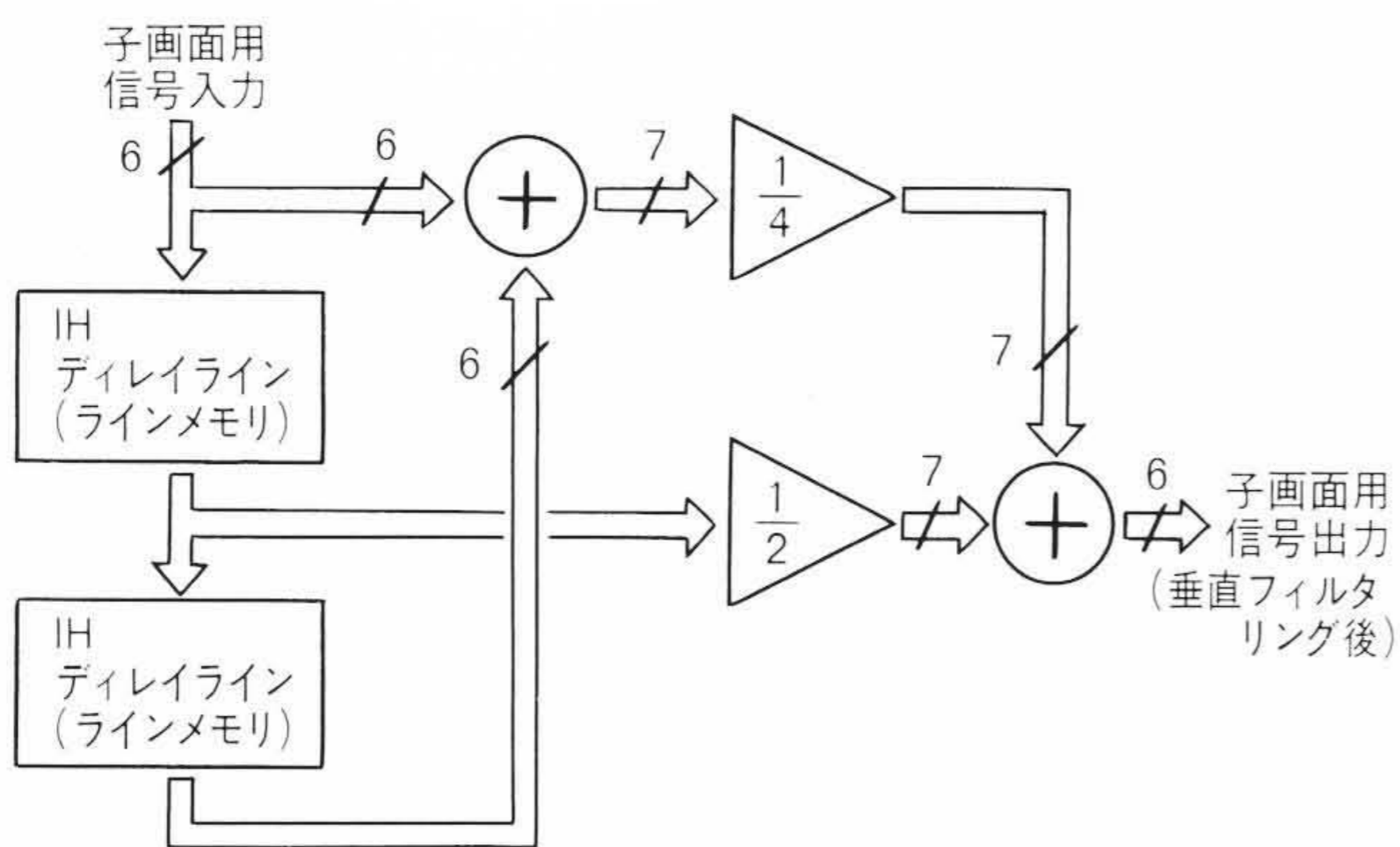


図4 従来システムの問題点とその対応策 高画質化、低システムコスト化、高密度実装化といった顧客ニーズに対し、構成回路の改良、高集積化によって二つのICで対応した。



注：→ 有効けた数

図5 垂直フィルタブロック図 2本の遅延作成用ラインメモリ、ビットシフト方式の掛け算回路およびフィルタ用加算回路によって構成する。

きの低減を可能とした。各ライン加重時の重みづけは画質のバランス、係数乗算器がビットシフトだけで実現できることを考え、 $\frac{1}{4}$ 、 $\frac{1}{2}$ 、 $\frac{1}{4}$ とした。

5.2 ADCの入カレンジの拡大

HA11569FSからのアナログ映像信号をA-D変換する際、ADCの分解能が高いほど高SN比信号を得ることができる。そこで今回、図6に示すような入力クランプ方式を改善することによって、入力レンジを実効3dB拡大し、より高SN比信号として子画面を表示することができた。

6 アナログ・デジタル混在技術

メモリコントローラHD49412FSは、図7に示すように

ADC, DACをはじめ各種のアナログセルがオンチップされている。このため部品の低減, 実装面積の低減を実現するとともに, 従来難しかったADC IC, DAC IC周辺の雑音対策設計をチップ内で行うことにより, 実装基板設計の難しさを大幅に低減した。

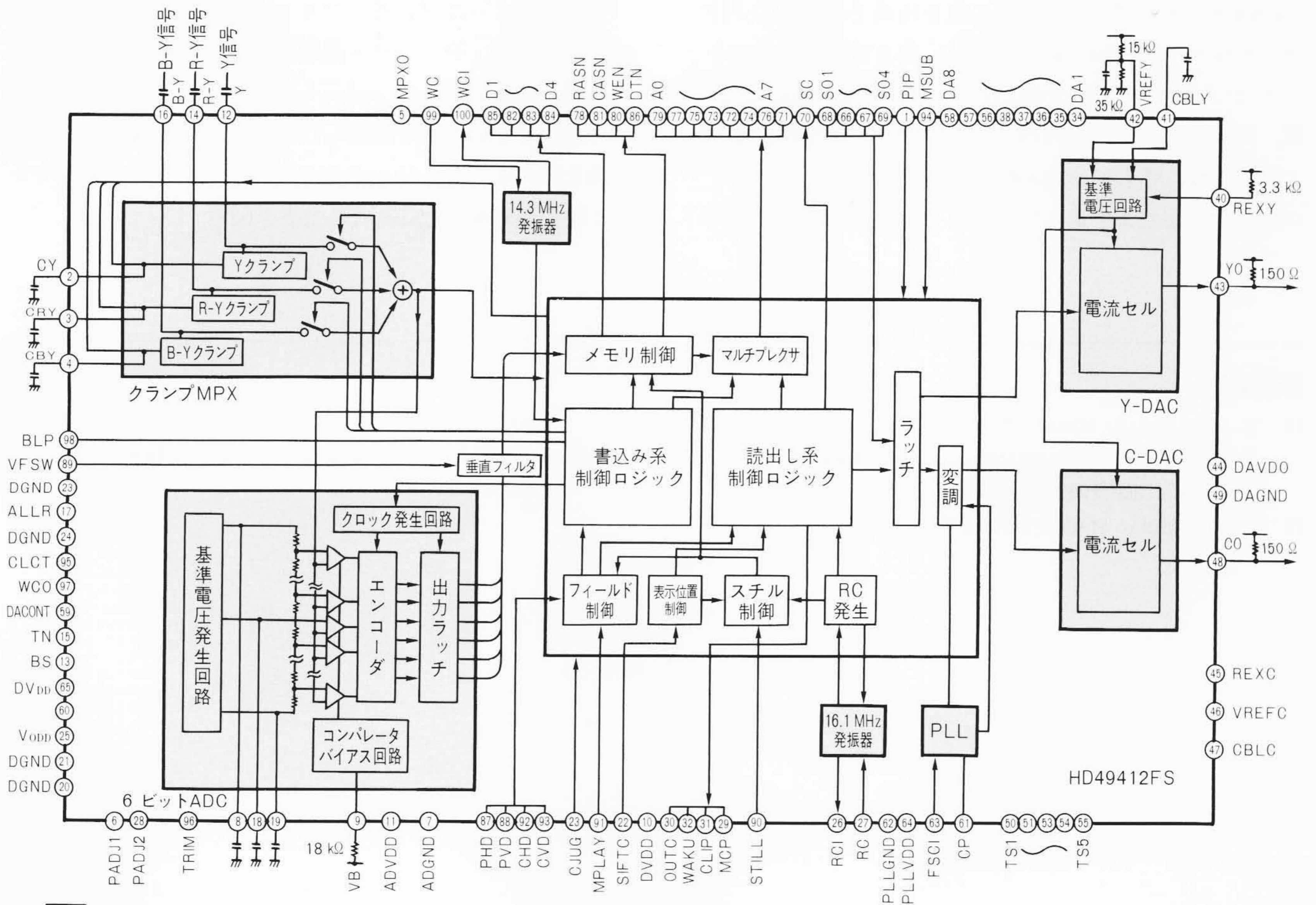
ADCとしては耐雑音特性などを考え, 表1に示すような差動チョッパ方式を採用した。またDACとしては, グリッジ信号を発生しにくい電流セルマトリックス方式を採用し, 電流セルをすべてNMOSトランジスタで構成することによってチップ面積を小さくするとともに, DACセル全体を一つのP形ウェル中に作り, ウェル電位を専用ピンでしっかりと固定することによって耐雑音特性を良好にした。

HD49412FSチップに集積されたアナログセルのようすを図8に示す。

| | 従来(HD49409FSほか) | HD49412FS |
|--------------------|--|---|
| クランプ方式 | シンクチップクランプ | ペDESTアルクランプ |
| A-D変換効率 | <p>映像信号 同期信号 VRT VRB 0.7 V 0.3 V ADC入力ダイナミックレンジ</p> <p>VRBと入力信号シンクチップレベルとが一致するように, クランプがかかる。本来不要な同期信号までA-D変換し, 効率は70%しかない。</p> | <p>映像信号 同期信号 VRT VRB 1.0 V 0.4 V ADC入力ダイナミックレンジ</p> <p>VRBと入力信号ペDESTアルレベルとが一致するように, クランプがかかる。映像信号だけA-D変換するため, 効率は100%となる。</p> |
| 輝度信号振幅 (映像信号+同期信号) | 1.0 Vp-p | 1.4 Vp-p |

注: 略語説明 VRT (Top Reference Voltage)
VRB (Bottom Reference Voltage)

図6 輝度信号入力クランプ方式の改善 クランプ方式を改良することによって, ADC入力レンジを40%拡大した。



注: (アナログセル)

図7 HD49412FSブロック図 オンチップされているアナログセルは, ADC, DACなど計7個あり, システムコストを大幅に改善することができる。

表1 A-D変換機用比較器方式 アナログ・デジタル混在
 というのを考えて、電源雑音が小さくADC分解能を確保できる差
 動チョッパ形を採用した。

| 項目 | チョッパ形 | 差動チョッパ形 | 差動形 |
|---------|-------|---------|-----|
| 回路構成 | | | |
| 動作速度 | ○ | ○ | ○ |
| PSRR | △ | ○ | ○ |
| オフセット電圧 | ○ | ○ | × |
| 素子数 | ○ | △ | ○ |
| 電源雑音 | × | ○ | ○ |
| 総合評価 | △ | ○ | × |

注：略語説明 PSRR (Power Supply Rejection Ratio：電源雑音除去比)

7 おわりに

CMOSアナログ・デジタル混在技術を駆使したPIP
 コントローラHD49412FSを中心に、第3世代PIP LSIキ
 ャットについて述べた。今後PIPシステムとしては、高画
 質、高機能、各種制御のバスコントロール化などが進む
 と予想され、さらに、他の映像信号処理システムのディ
 ジタル化もますます進んでいくと予想される。日立製作

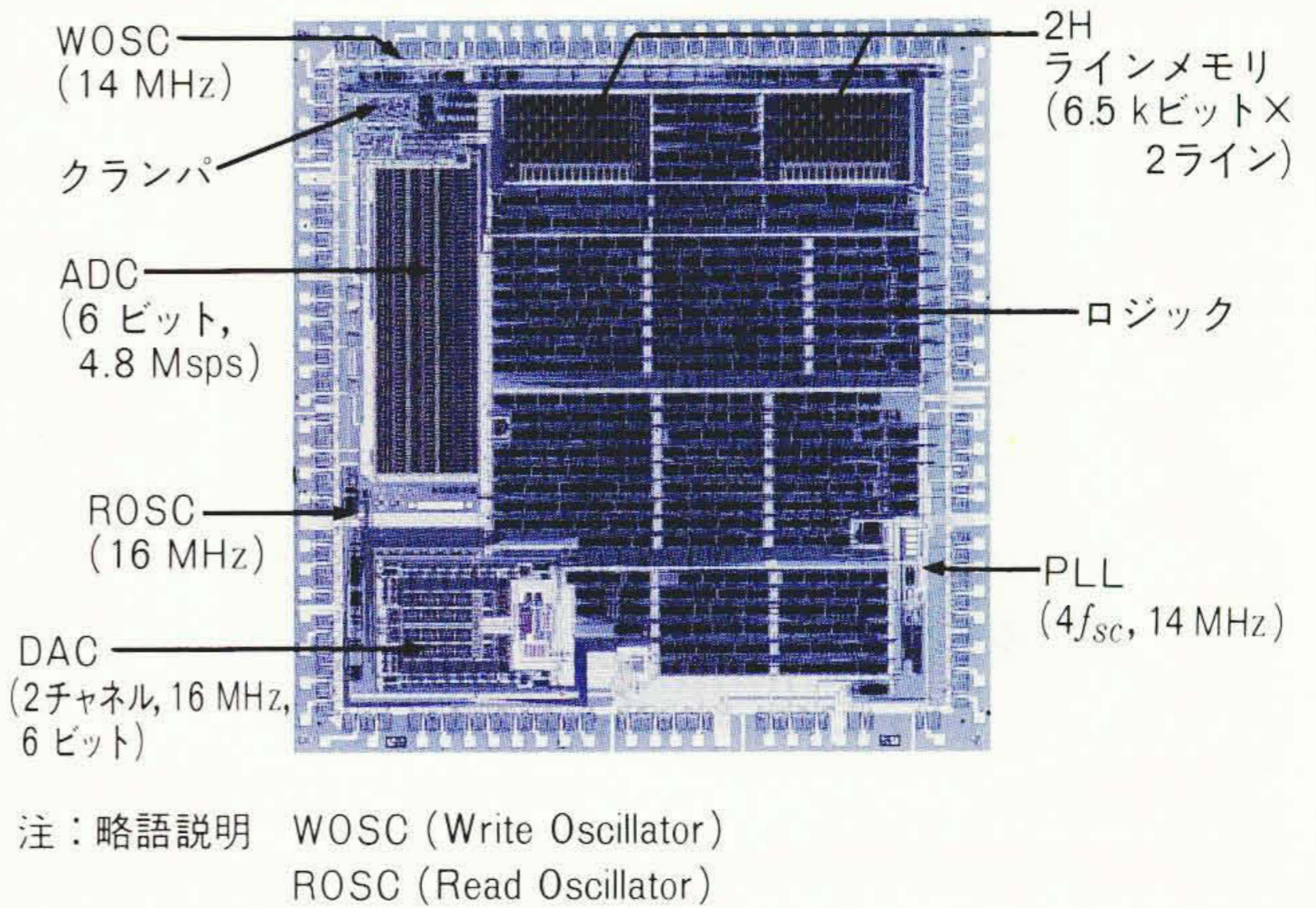


図8 HD49412FSチップとオンチップセル 各OSC, PLLの
 位置を極力離すなどレイアウト上のくふうも行い、クロストークの
 ない良質のPIP映像を実現した。

所では、ADCオンチップ技術、DACオンチップ技術など
 PIP LSI採用技術を基に、復調、同期処理回路のオンチッ
 プ化、フィールドメモリのオンチップ化など、より高度
 なアナログ・デジタル混在システムの検討を進めてい
 く考えである。

今後もこの技術を活用し、次世代PIP LSIキットの開
 発を進めるとともに、ますますデジタル化が進んでい
 く映像処理分野LSI系列の充実を図る。

参考文献

- 1) Y. Okada: A Mixed Analog/Digital Video Signal Processing LSI with on-chip AD and DA Converter, Proc. of IEEE 1989 CICC, 24. 1
- 2) T. Tsukada, et al.: CMOS 8 bit 25 MHz Flash ADC ISSCC 85 WAN 2.7, 1985
- 3) 真利, 外: 最新のAV機器とデジタル技術, コロナ社 (1986)