

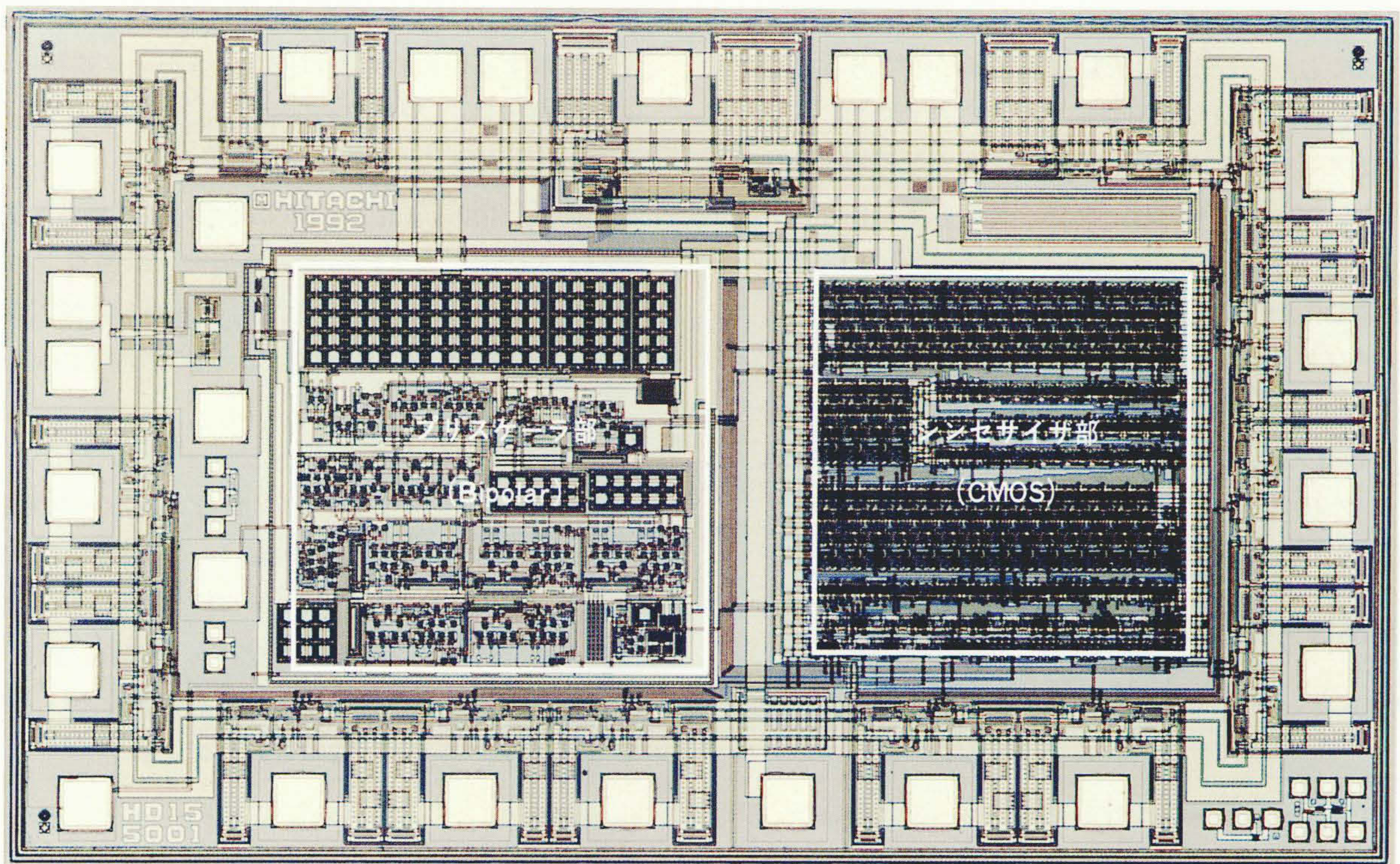
高周波対応BiCMOSプロセスと 周波数シンセサイザへの応用

BiCMOS Process for High Frequency Use and Its Application to Frequency Synthesizer

武井 宣幸* Nobuyuki Takei

小野沢和徳* Kazunori Onozawa

笠 信博* Nobuhiro Kasa



アナログセルラー用1チップ周波数シンセサイザ 今回開発したプリスケアラ内蔵PLLシンセサイザを示す。3.0 mm × 1.9 mmの中にプリスケアラなどのバイポーラトランジスタ回路とCMOSロジックを集積した。

最近、携帯電話や自動車電話に代表される移動通信は急速に普及している。これは高集積化・高速化・低消費電力化・低電圧駆動化を可能とする半導体技術の急速な進歩があって実現されたものである。

このような背景から、このたび高周波信号処理に適した0.7 μm BiCMOS (Bipolar Complementary MOS) プロセスを開発した。このプロセスを用いた

アナログセルラー用1チップPLL (Phase Locked Loop) シンセサイザLSIを開発するにあたり、デバイスとシステムの両面から高速化・低消費電力化についての種々の技術を駆使した。

今後も、これらの技術を駆使し、ユーザーの要求に合致したLSIの開発を進める。

* 日立製作所 半導体事業部

表1 0.7 μm BiCMOSのデバイス構造と特性 NPNトランジスタの r_{bb}' と C_{jc} , C_{ts} が小さく抑えられ、かつ f_T が高いことがわかる。

項	目	特性および構造	備 考
NPNトランジスタ	構 造	2層ポリシリコン電極構造	—
	エミッタサイズ(μm^2)	0.8×5.0	—
	h_{FE}	140	—
	f_T max (GHz)	12.6(14.6)	$V_{CE} = 2\text{ V}$
	r_{bb}' (Ω)	98(91)	$V_{CE} = 2\text{ V}$
	BV_{CEO} (V)	7.0(6.3)	—
	C_{jE} (fF)	35	$V_{BE} = 0\text{ V}$
	C_{jc} (fF)	18(20)	$V_{BC} = 0\text{ V}$
	C_{ts} (fF)	45	$V_{sub}, c = 0\text{ V}$
MOSトランジスタ (Nチャネル・Pチャネル)	ゲート長(μm)	0.7/0.7	マスク寸法
	ゲート酸化膜厚(nm)	16.5	—
	閾値電圧(V)	0.45/−0.45	—
	最大単位チャネルコンダクタンス定数($\mu\text{S/V}$)	92/36	—

注：()内の特性は、SICを用いた場合である。

- (1) r_{bb}' を最小にできる(従来の単層ポリシリコン構造と比べて80%減)。
- (2) エミッタ・ベースのマスク合わせ余裕が不要であり、活性領域のサイズを小さくできる。つまり寄生容量 $C_{jc} \cdot C_{ts}$ を低減できる。

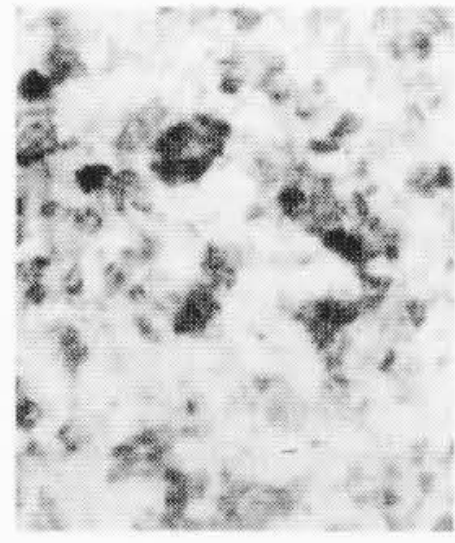
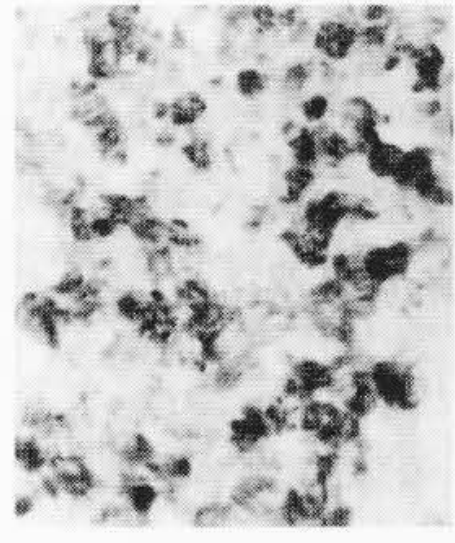
自己整合技術を用いるかぎりでは、ベース電極の低抵抗化がキーポイントであることは言うまでもない。しかし、プロセスマージンを確保するため、ポリシリコンの厚膜化やシリコンと他の金属との合金化(ポリサイド化)は極力避ける必要がある。0.7 μm BiCMOSプロセスでは、ベース電極形成プロセスを最適化してポリシリコンを大粒径化することにより、キャリアの粒界散乱を抑えて低抵抗化を実現した(表2参照)。

得られた高周波特性を図2(a)に示す。耐圧よりも高速性を重視する場合は、ベース電極をマスクにしてドナーを深くイオン打ち込みし、SIC(Selective Ion Implanted Collector:自己整合イオン打ち込みコレクタ)を形成する。自己整合技術を用いるのは f_{max} の低下を防ぐためであり、 $r_{bb}' \cdot C_{jc}$ の増加を最小限に抑えながら、大電流域で周波数特性が劣化する、いわゆるKirk効果を抑えるためである。その結果、最大遮断周波数14.6 GHzが得られる。

2.2 MOSトランジスタ

従来のBiCMOS技術では、NPNトランジスタの耐圧を確保しなければならず、Nウェル設計上の自由度が少ないため、PMOSの短チャネル化が顕著であった。0.7

表2 ベース電極(P+PolySi)の低抵抗化 プロセスの最適化により、粒径が大きくなっている。同時に低抵抗化されていることがわかる。

プ ロ セ ス		A	B
CVD- シリコン 酸化膜上	透過電子顕微鏡像 0.2 μm ↔		
	粒径(μm)	41	160
	ρ_s ($\Omega/\square$)	227	107
シリコン上	透過電子顕微鏡像 0.2 μm ↔		
	粒径(μm)	38	188
	ρ_s ($\Omega/\square$)	107	75

μm BiCMOSプロセスでは、新たに導入したパンチスルーストップパの最適化により、NPNトランジスタの耐圧をほとんど下げることなくPMOSの微細化を達成した。そのため、NMOS特性・PMOS特性とも0.7 μm 完全CMOSプロセスと同等である。

2.3 縦型PNPトランジスタ

縦型PNPトランジスタは、図1に示したように、P型基板から分離するためにN型埋め込み層内に形成しなければならず、かつNPNトランジスタの性能を確保するため、エピタキシャル成長膜^{※4)}を厚膜化せずにプロファイルを設定しなければならない。このような制約の下では、アーリ電圧^{※5)} V_A と f_T は強くトレードオフの関係にあるが、プロファイルを最適化した結果、図2(b)に示すように、 $V_A = 15\text{ V}$ で $f_T = 2.9\text{ GHz}$ が得られている。現在、HD155001Tの次期バージョンをピークルとして、0.7 μm BiCMOS用縦型PNPトランジスタの開発を進めている。

※4) エピタキシャル成長膜：基板上に成長させたシリコン単結晶膜を言う。

※5) アーリ電圧：ベース～エミッタ間電圧を一定にしたときの、コレクタ～エミッタ間電圧に対するコレクタ電流の変化率の目安であり、一般的に高いほど高性能である。

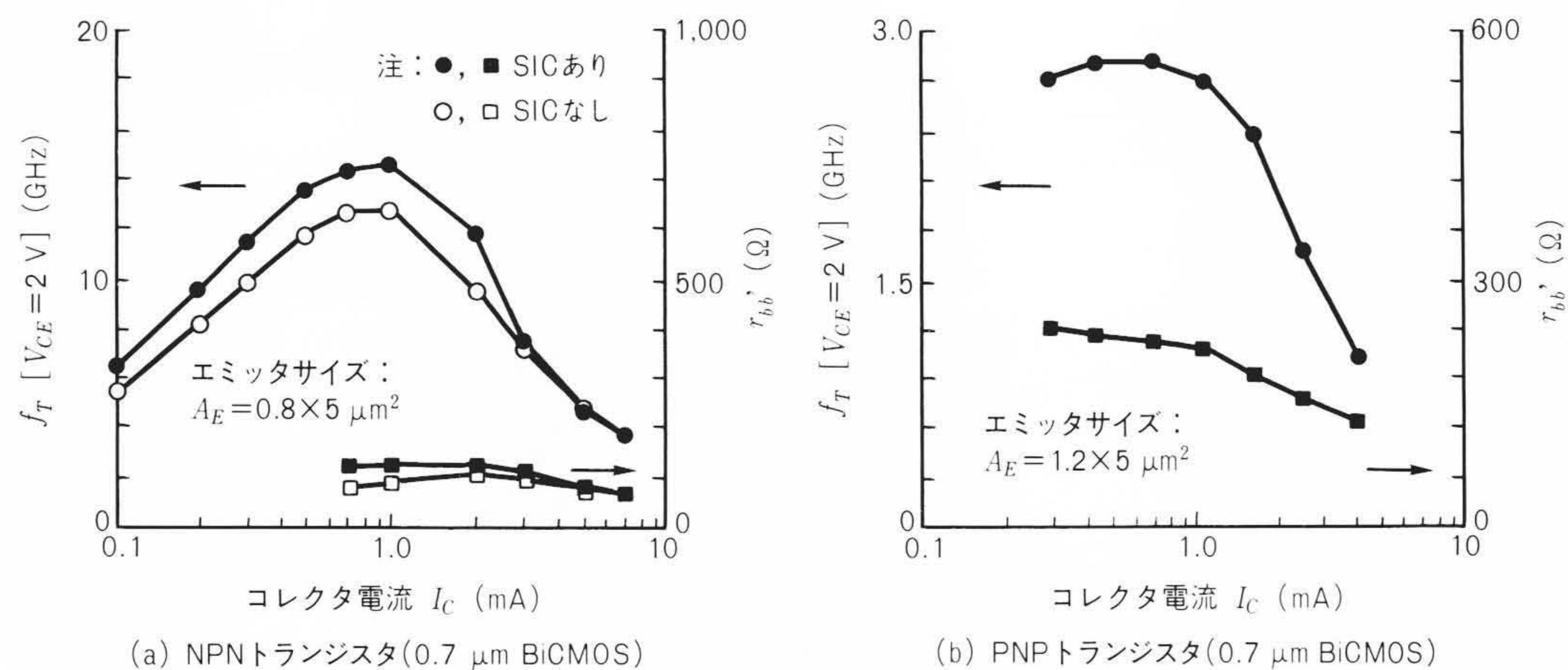


図2 バイポーラトランジスタの高周波特性 SICにより、NPNトランジスタの特性が改善されている。

3 高速プリスケラ内蔵PLLシンセサイザ

前章で述べたプロセスを使用して、アナログセルラ用プリスケラ内蔵PLLシンセサイザLSI (HD155001T)を開発した。チップ写真を33ページに示す。キーポイントとなるのは、1.1 GHzという高周波に対応した低消費電力のプリスケラである。ここでは、デバイス(レイアウト)での対応について述べる。

3.1 デバイスでの対応

プリスケラの基本回路であるECL (Emitter Coupled Logic)によるシフトレジスタを図3に示す。この回路での最高動作周波数と消費電力は、トレードオフの関係にある。すなわち、負荷となる抵抗とその寄生容量(C_{ts} と抵抗の寄生容量の和)によって遮断周波数が決定される。今回の0.7 μm BiCMOSプロセスでは、ポリシリコン抵抗PsiとP型拡散抵抗PRの2種類の抵抗がある。およそ6 kΩの抵抗値までは、Psi抵抗の寄生容量が小さい。それ以上では、PR抵抗の寄生容量が小さい。負荷抵抗にシート抵抗^{※6)}が小さく、寄生容量も小さいPsi抵抗を使用した場合、負荷抵抗が小さくなると出力振幅も小さくなるため、電流源の値を上げる必要があり消費電力的には不利である。負荷抵抗にシート抵抗が大きく、寄生容量も大きいPR抵抗を使用した場合、高速動作には不利となる。分周動作を行う場合、各段の動作周波数が異なってくるため、最高動作周波数もそれに応じて変える必要がある。高速動作を必要とする最初の数段はPsi抵抗を使用し、以降は消費電力的に優れるPR抵抗を使用することとした。

前記のシフトレジスタでの最高動作周波数は、入力される信号の周波数が同じでもデューティが50%から大き

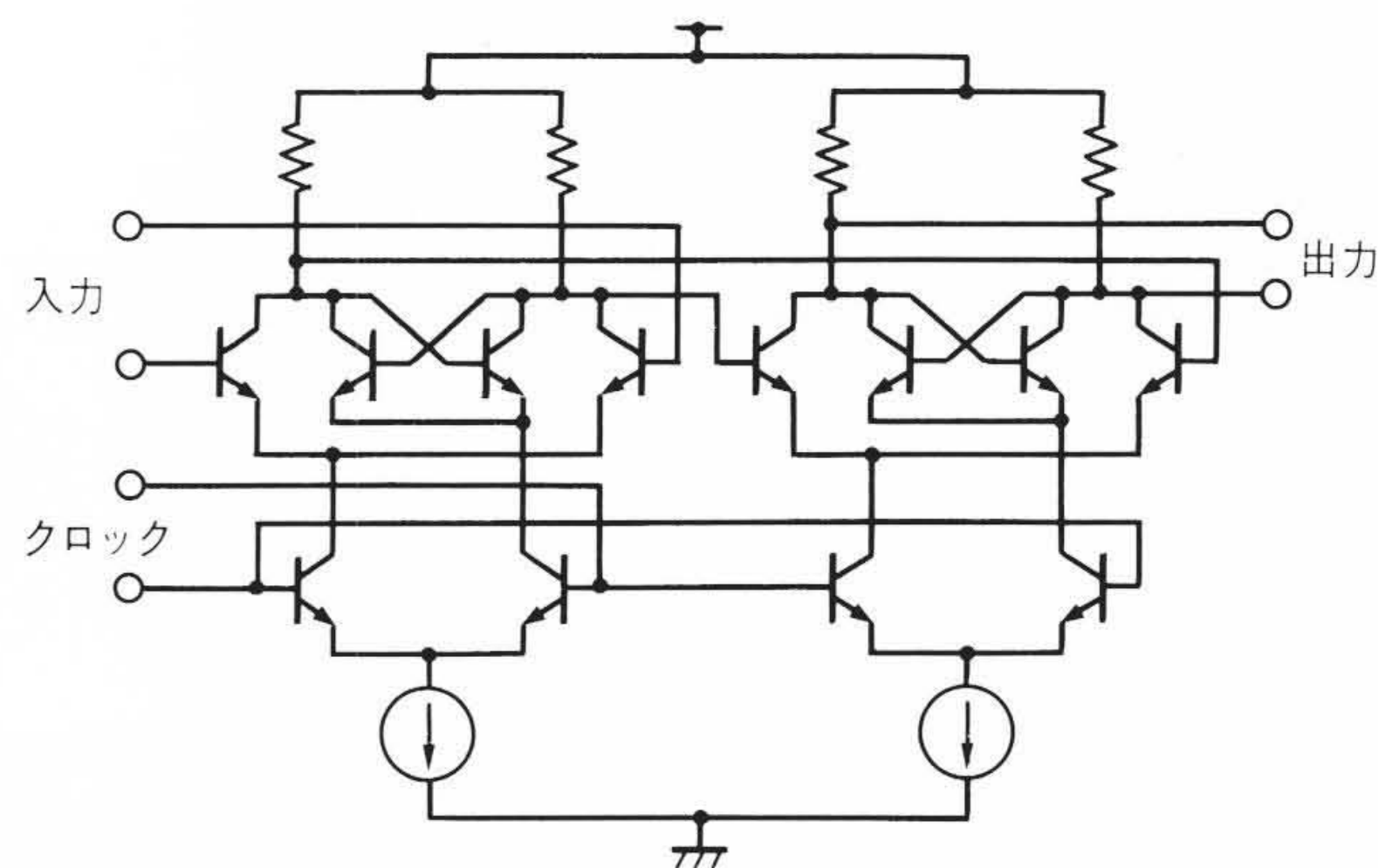


図3 ECL構成によるシフトレジスタ ECLの基本構成はアナログ乗算器である。周波数特性は負荷抵抗とその寄生容量に依存し、消費電力は出力振幅(電流源の値と負荷抵抗の積)に相関がある。

表3 HD155001Tの主な特性 低電力化と高速化が図られている。

項 目	特 性
V_{co} 入力最大動作周波数	1.1 GHz min.
基準信号最大動作周波数	20 MHz min.
消費電流	7.5 mA typ.

く外れると、その分最高動作周波数が上昇したと等価である。入力プリアンプを含めて、シフトレジスタのオフセットを最小とする完全対称レイアウトを行い、実効的な周波数が上昇しないようレイアウトした。

4 おわりに

以上述べたプロセス、レイアウトを適用し設計したPLLシンセサイザLSI HD155001Tの主な特性を表3に示す。これらの技術を生かし、今後ともいっそうの高速・低消費電力LSIの開発に傾注していきたい。

※6) シート抵抗：単位面積当たりの抵抗値を言う。