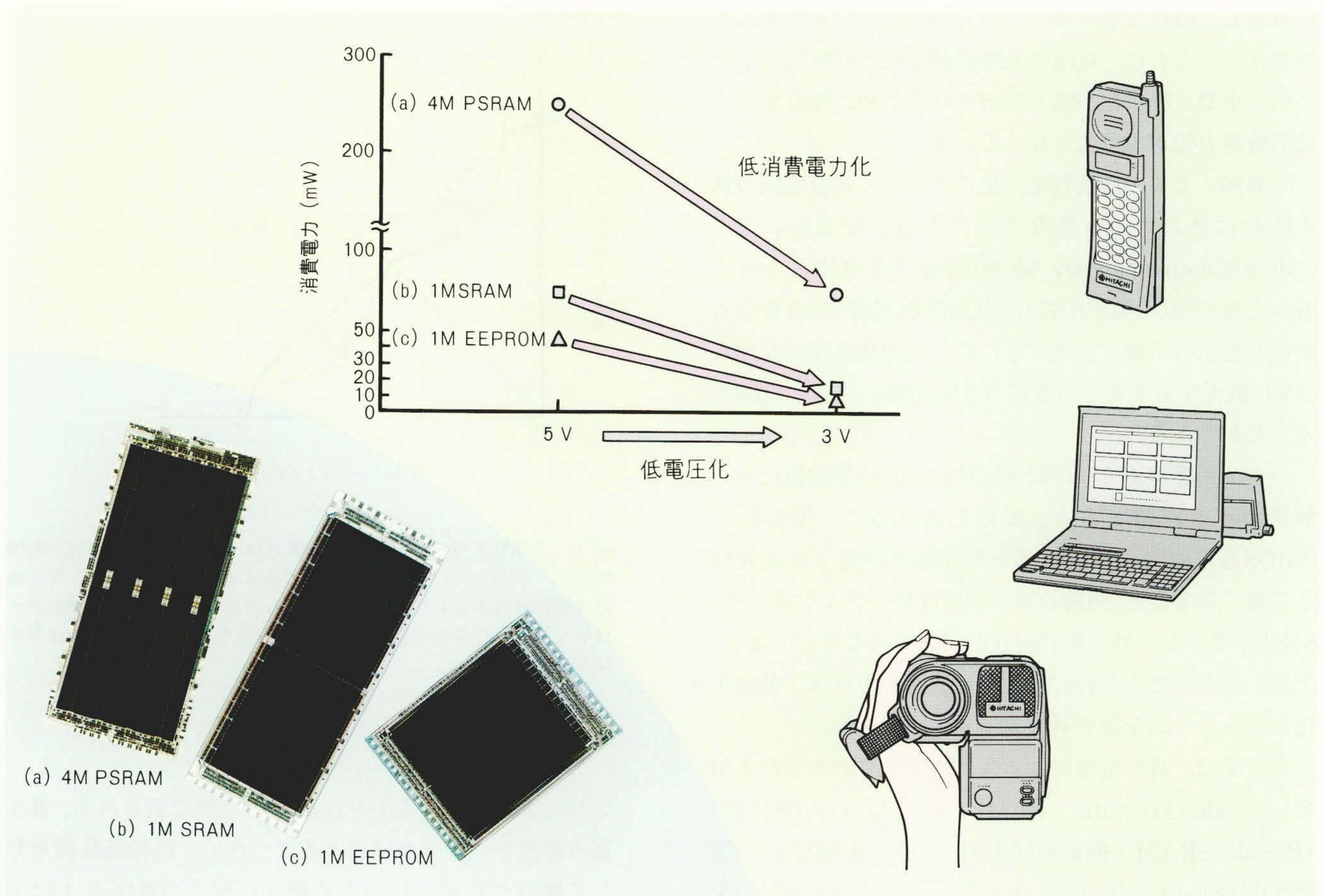


携帯用機器に適した低電圧・低消費電力メモリ

Low-Voltage, Low-Power Memories for Portable Electronics

湊 修* Osamu Minato

古沢和則** Kazunori Furusawa



注：略語説明 SRAM (Static RAM), PSRAM (Pseudo SRAM ; 擬似SRAM), EEPROM (Electrically Erasable Programmable ROM)

携帯用電子機器を支える低電圧・低消費電力メモリ 携帯電話やノートブック型・パームトップ型パソコン、一体型ビデオムービーなど、個人用の携帯用電子機器の小型・軽量化と低消費電力化に最適な3V動作メモリ製品である。

最近、生活様式の高度化に伴ってわれわれの身の周りに多くの携帯用電子機器が使われるようになってきた。携帯電話やパーソナルコンピュータ、ワードプロセッサ、ハンディターミナル、一体型ビデオムービー、ハンディセラー電話機など多種多様である。

これらの機器は、携帯性が最重視されるため、電池の長時間動作化、小型・軽量化に向けて機器全体

の低消費電力を小さくすることが不可欠である。そのため、従来の5V動作メモリに低電圧動作化の手法を取り入れ、電池による3V動作が可能な1MビットスタティックRAMほか2種類のメモリを製品化した。2.7Vから5.5Vの広い電源動作範囲と従来5V品の $\frac{1}{2}$ 程度の低消費電力性能は、携帯用電子機器に最適なメモリと考える。

* 日立製作所 半導体事業部 工学博士 ** 日立製作所 半導体事業部

1 はじめに

最近、携帯電話やノートブック型パーソナルコンピュータ(以下、パソコンと略す)・パームトップ型パソコン、一体型ビデオムービーなど個人用の携帯機器の需要が飛躍的に増加している。これらの機器は携帯性が最重視されるとともに、電池の長時間動作化と同時に電池を含めた小型・軽量化が強く要求されるため、機器全体の低消費電力化が不可欠となっている。

半導体メモリの低消費電力化にとって、電源電圧の低電圧化はきわめて有効な手段である。理論的には、CMOS(Complementary MOS)構造の半導体メモリで基本となるMOS論理回路(CMOS論理回路)の消費電力が電源電圧の二乗に比例するため、電源電圧を5Vから3Vに低くすることで消費電力を0.36倍、約 $\frac{1}{2.7}$ に低減することができる。

一方、半導体メモリの低電圧化には、技術的観点から解決すべき課題がある。項目をあげると、原理的にCMOS論理回路の動作速度が電源電圧の低下に逆比例して遅くなること、回路の雑音余裕度が小さくなること、SN比が低下して外部雑音耐性が劣化すること、である。上述した課題のうち特に雑音耐性関連の項目は、低電圧化したシステム全体で対処すべき課題である。

ここでは、特に電池による3V動作を可能とした1MビットSRAM(Static RAM)、4MビットPSRAM(Pseudo SRAM: 擬似SRAM)、および1MビットEEPROM(Electrically Erasable Programmable ROM)を例に、低電圧化手法と製品の特長について述べる。

2 3V動作1MビットSRAM “HM62V8128”

SRAMの低電圧化に際して最も重要な技術は、基本的にはメモリセルの雑音余裕度を確保しながら動作電圧を下げる技術である。また、一般の半導体メモリと同様、低電圧化に伴う動作速度の低下を克服する高速化技術も重要な課題である。SRAMは伝統的に4個のNMOS(NチャネルMOS)トランジスタと2個の高抵抗で構成される高抵抗負荷型のメモリセルを用いてきた。メモリセルの回路構成を図1(a)に、メモリセルの伝達特性を図1(b)に示す。通常、SRAMの回路動作でメモリセルが安定に動作するためには、高電位側ノードN1の電圧V1がワースト動作条件でも十分に高くなければならない。V1の電圧が最も低くなるのは、メモリセルに情報を書き込んだ直後であり、この電圧は電源電圧の値から転送トランジスタのしきい電圧 V_{thTr} を引いた値で表される。書き込み直後から時間が経過するにつれて、高抵抗負荷を介して電流が供給されるため徐々にN1の電圧V1は上昇するが、高抵抗負荷の抵抗値が $10^{12}\Omega$ 程度と高いため通常の100nsオーダの動作時間内では上記の電圧上昇は効果がない。同図(b)は、フリップフロップ型メモリセルの二つのノード端子での入力・出力の伝達特性を重ね合わせて示したものであり、二つの曲線の重なる部分が雑音余裕度を示す。雑音余裕度は製造ばらつきの影響を受けやすく、ノード電圧の低下に伴って小さくなるので、最終的には安定動作点なくなる。メモリセル雑音余裕度の電源電圧依存性を図2に示し、転送トランジスタのしきい電圧 V_{thTr} をパラメータに示す。 V_{thTr} を小さくするにつれて情報を書き込んだときのノード電圧が高くなる結果、雑音余裕度は大きくなり電源電圧の低下に対しても大きな雑音余裕度を確保できる。メモリの安定動作を確保するには、製造ばらつきを考慮して200mV以上の雑音余裕度を確保することが望ましい。1MビットSRAMでの最小動作電圧 $V_{cc\ min}$ の転送トランジスタし

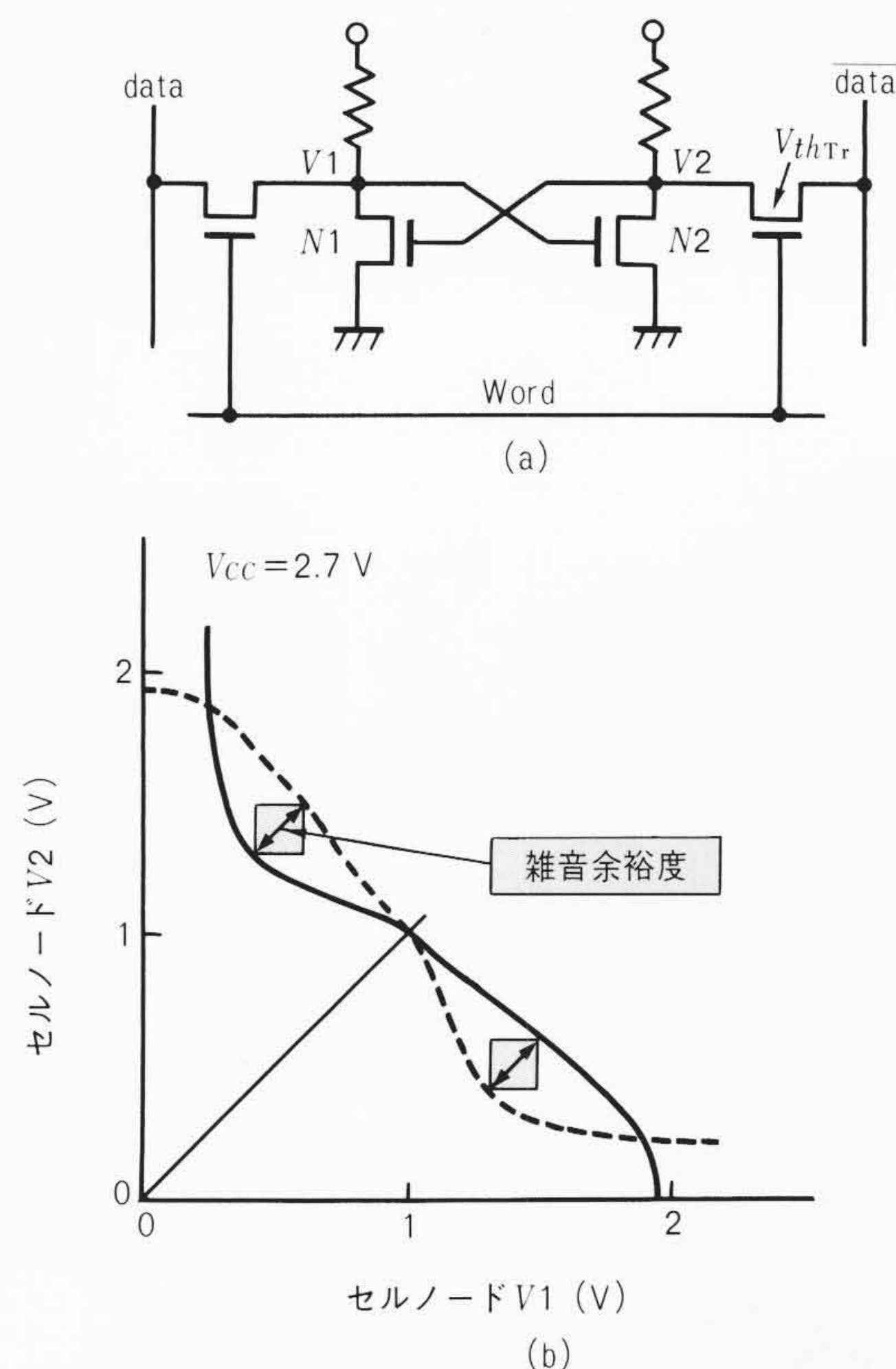
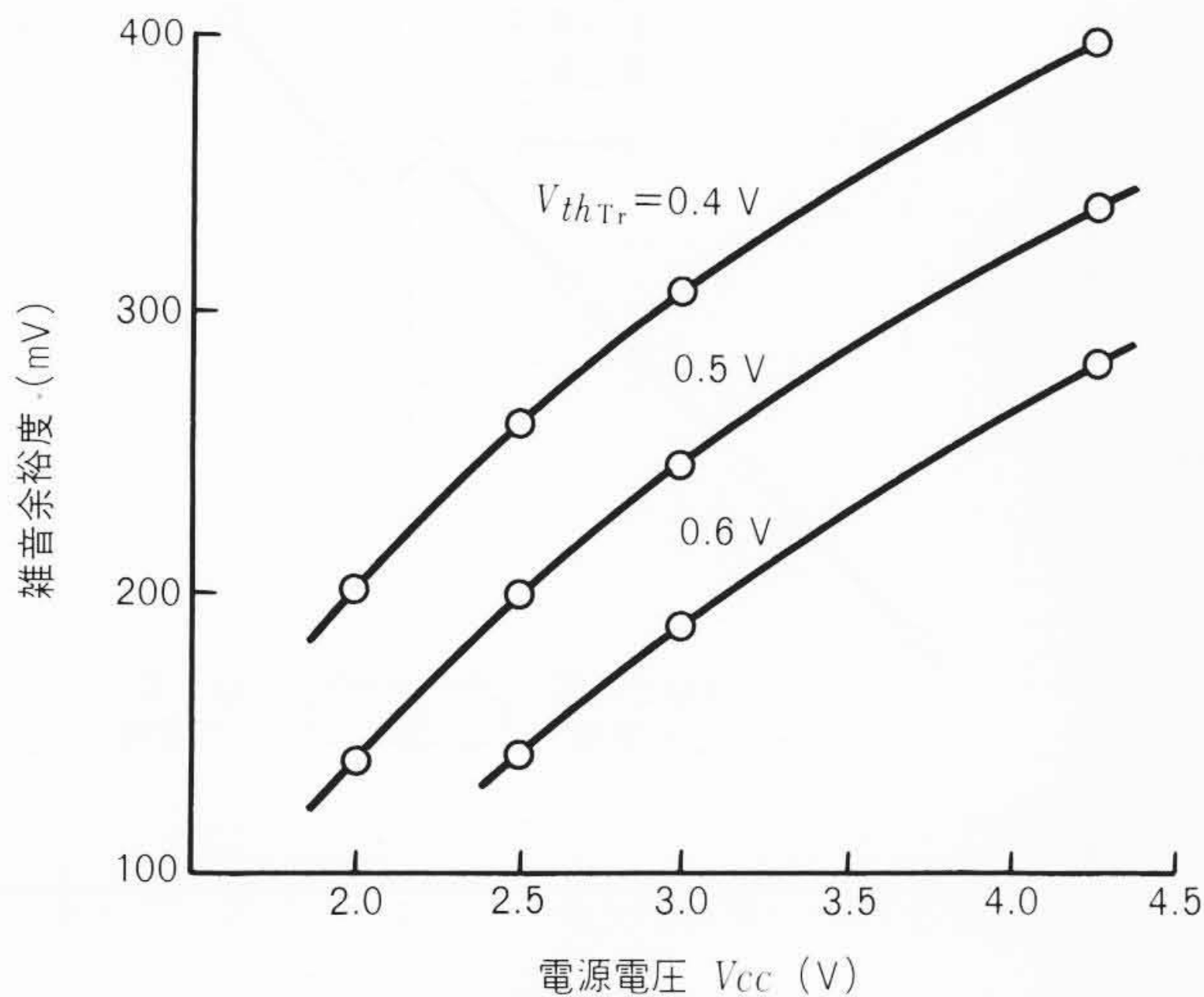


図1 SRAMメモリセルの回路構成(a)とメモリセルの伝達特性(b) フリップフロップ型メモリセルのノード端子での入・出力の伝達特性を重ね合わせて示したものを(b)に示す。2曲線のオーバーラップ部分が雑音余裕度で、これがなくなると安定動作点はない。

ンジスタのしきい電圧 V_{thTr} を引いた値で表される。書き込み直後から時間が経過するにつれて、高抵抗負荷を介して電流が供給されるため徐々にN1の電圧V1は上昇するが、高抵抗負荷の抵抗値が $10^{12}\Omega$ 程度と高いため通常の100nsオーダの動作時間内では上記の電圧上昇は効果がない。同図(b)は、フリップフロップ型メモリセルの二つのノード端子での入力・出力の伝達特性を重ね合わせて示したものであり、二つの曲線の重なる部分が雑音余裕度を示す。雑音余裕度は製造ばらつきの影響を受けやすく、ノード電圧の低下に伴って小さくなるので、最終的には安定動作点なくなる。メモリセル雑音余裕度の電源電圧依存性を図2に示し、転送トランジスタのしきい電圧 V_{thTr} をパラメータに示す。 V_{thTr} を小さくするにつれて情報を書き込んだときのノード電圧が高くなる結果、雑音余裕度は大きくなり電源電圧の低下に対しても大きな雑音余裕度を確保できる。メモリの安定動作を確保するには、製造ばらつきを考慮して200mV以上の雑音余裕度を確保することが望ましい。1MビットSRAMでの最小動作電圧 $V_{cc\ min}$ の転送トランジスタし



注：記号説明 V_{thTr} (メモリセル転送トランジスタのしきい電圧)

図2 メモリセル雑音余裕度の電源電圧依存性 雑音余裕度は電源電圧を低くすると小さくなるが、転送トランジスタの V_{thTr} を小さくすることで大きくすることができる。メモリの安定動作には、200 mV以上の雑音余裕度が望まれる。

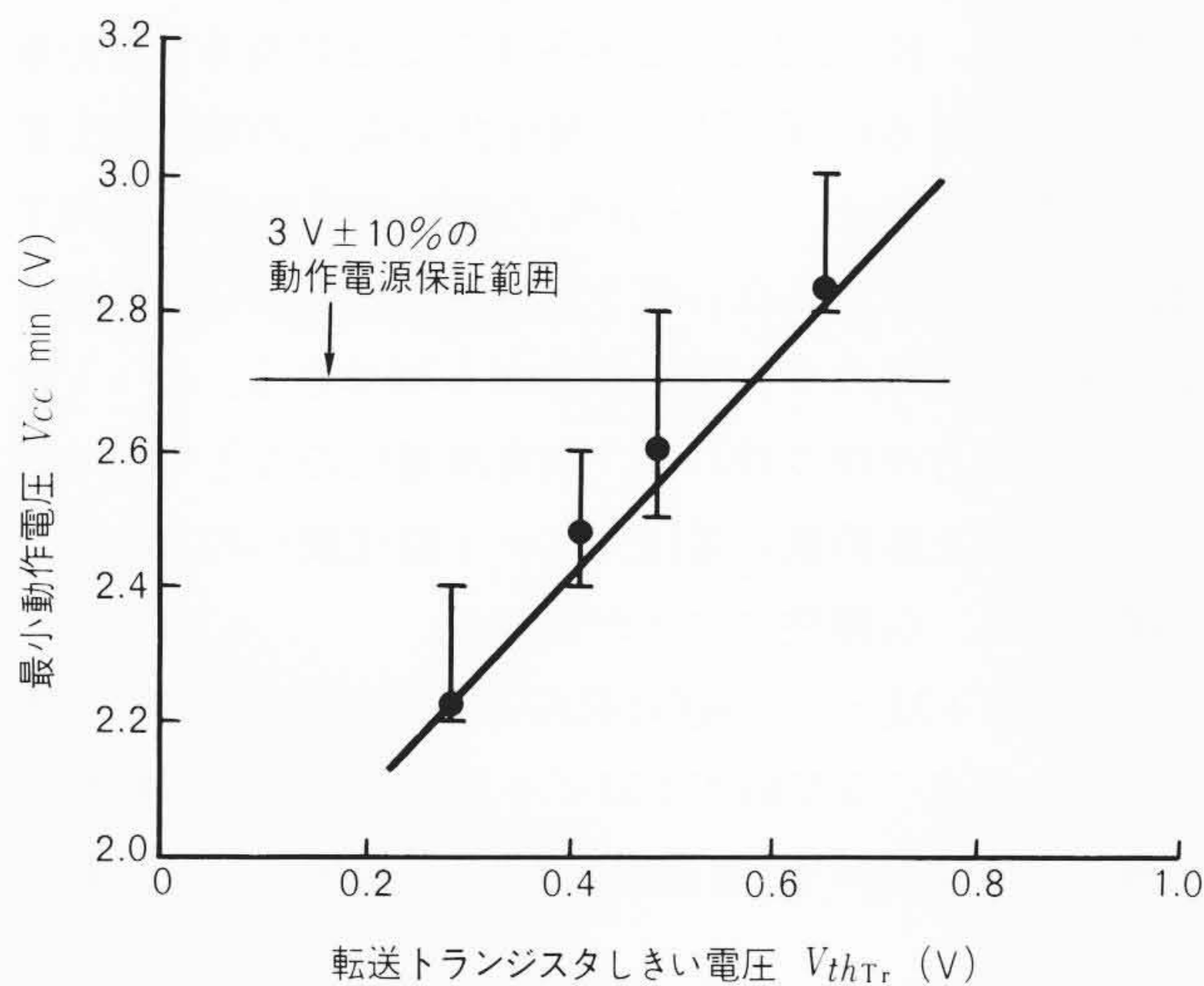


図3 最小動作電圧 $V_{cc\ min}$ の転送トランジスタしきい電圧依存性 転送トランジスタしきい電圧を小さくするにつれて最小動作電圧も低くなり、3 V $\pm$ 10%の動作電源保証範囲を十分に満足できるようになる。

しきい電圧 V_{thTr} 依存性を図3に示す。 V_{thTr} を小さくすると、雑音余裕度が大きくなる結果、最小動作電圧も低くなって3 V $\pm$ 10%の動作電源保証範囲を十分に満足する動作余裕度が確保できる。 V_{thTr} が0.4 V以下では、転送トランジスタのテーリング電流が大きくなり、データ線から転送トランジスタを介して駆動トランジスタに高抵抗負荷に流れる電流以上の大きな電流が流れるようにな

表1 HM62V8128の仕様概要 3 V動作品は、動作電源電圧範囲が2.7~5.5 Vと広く、従来の5 Vシステムでも共用できる。

項目	3 V動作 1 MビットSRAM HM62V8128	5 V動作 1 MビットSRAM HM628128
メモリ構成	128 kワード $\times$ 8ビット	左に同じ
動作電源電圧	2.7~5.5 V	5 V $\pm$ 10%
アクセス時間	150 ns最大*	70・85・100 ns最大
動作時消費電流	30 mA最大*(3.3 V)	70 mA最大
データ保持電流	15 μ A最大	左に同じ
パッケージ	600 mil 32ピンDIP 525 mil 32ピンSOP 8 mm $\times$ 20 mm 32ピンTSOP	左に同じ

注：* 3 V $\pm$ 10%での仕様

略語説明 DIP(Dual In Plastic)
SOP(Small Outline Plastic)
TSOP(Thin SOP)

り、結果として待機時あるいはデータ保持時に電流の規格割れを引き起こす。現状のプロセスレベルでは2.4 Vが動作電圧の下限である。

低電圧化に伴う動作速度の劣化を克服する技術で、1 MビットSRAMでは、ワード線分割方式のくふうによる高速化と、Alの2層配線技術を用いた配線遅延時間の低減による高速化を実現した。同時にメモリセルの接地配線抵抗低減によって雑音余裕度を向上させ、メモリセル間の最低動作電圧のばらつきを低減させた。

3 V動作 1 MビットSRAM“HM62V8128”と5 V動作 1 MビットSRAMの主要特性比較を表1に示す(当社比)。HM62V8128の動作電源電圧は2.7~5.5 Vと広範囲で使いやすく、3 V $\pm$ 10%と5 V $\pm$ 10%の2電源システムで共用できる。アクセス時間、動作時消費電流は3 V $\pm$ 10%での仕様で、特に動作時と2 Vでのデータ保持時の低消費電流特性は、電池による長時間動作化が不可欠の携帯用機器に最適である。

3 3 V動作 4 Mビット擬似SRAM“HM65V8512”

PSRAMは、DRAMと同じトランジスタ1個とキャパシタ1個で構成するメモリセルを使用し、SRAM型のインタフェースを持ったメモリである。このため、従来のSRAMに比べてメモリセルの大きさが約 $\frac{1}{3}$ と小さく、チップ面積が低減できるので低価格のメモリが実現できる。また、セルフリフレッシュモードを使い、外部からの制御なしで電池によるデータの保持が可能である。

PSRAMの低電圧化では、低電圧化に伴うSN比の劣化と動作の不安定化を克服する技術が重要となる。低電圧のもとでも従来と同様の十分な信号電荷量を得て安定に

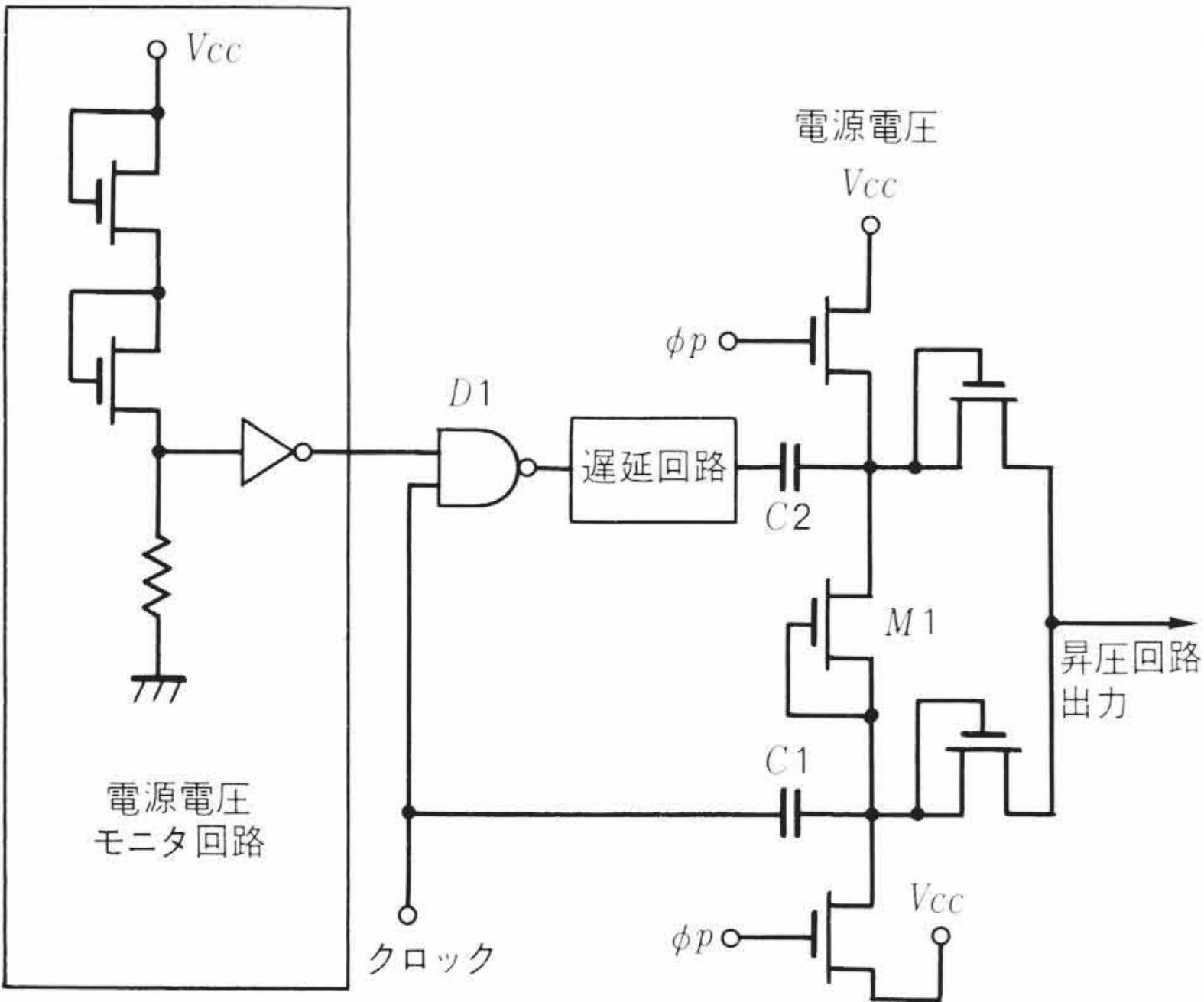


図4 昇圧能力切り替え可能なワード線電位昇圧回路方式
電源電圧モニタ回路で、低電圧側と高電圧側の昇圧動作を切り替える。

動作するためには、メモリセルに電源電圧と同じ振幅で信号を書き込む必要があるが、従来のワード線電位昇圧回路方式では低電圧側で十分な昇圧が得られないか、または絶対定格の高い電圧時に過電圧の発生でゲート酸化膜の信頼性に問題が生じる可能性がある。低電圧動作の昇圧能力が切り替え可能なワード線電位昇圧回路方式を図4に示す。電源電圧が低い場合には、電源電圧モニタ回路の出力が高レベルになり、NANDゲート回路をクロックCLKが通過し、遅延回路を介して容量C2に到達する。したがって、容量C1とC2の両方での昇圧が可能となり、出力電圧は3倍になる(2段昇圧)。一方、電源電圧が高い場合には電源電圧モニタ回路の出力が低レベル

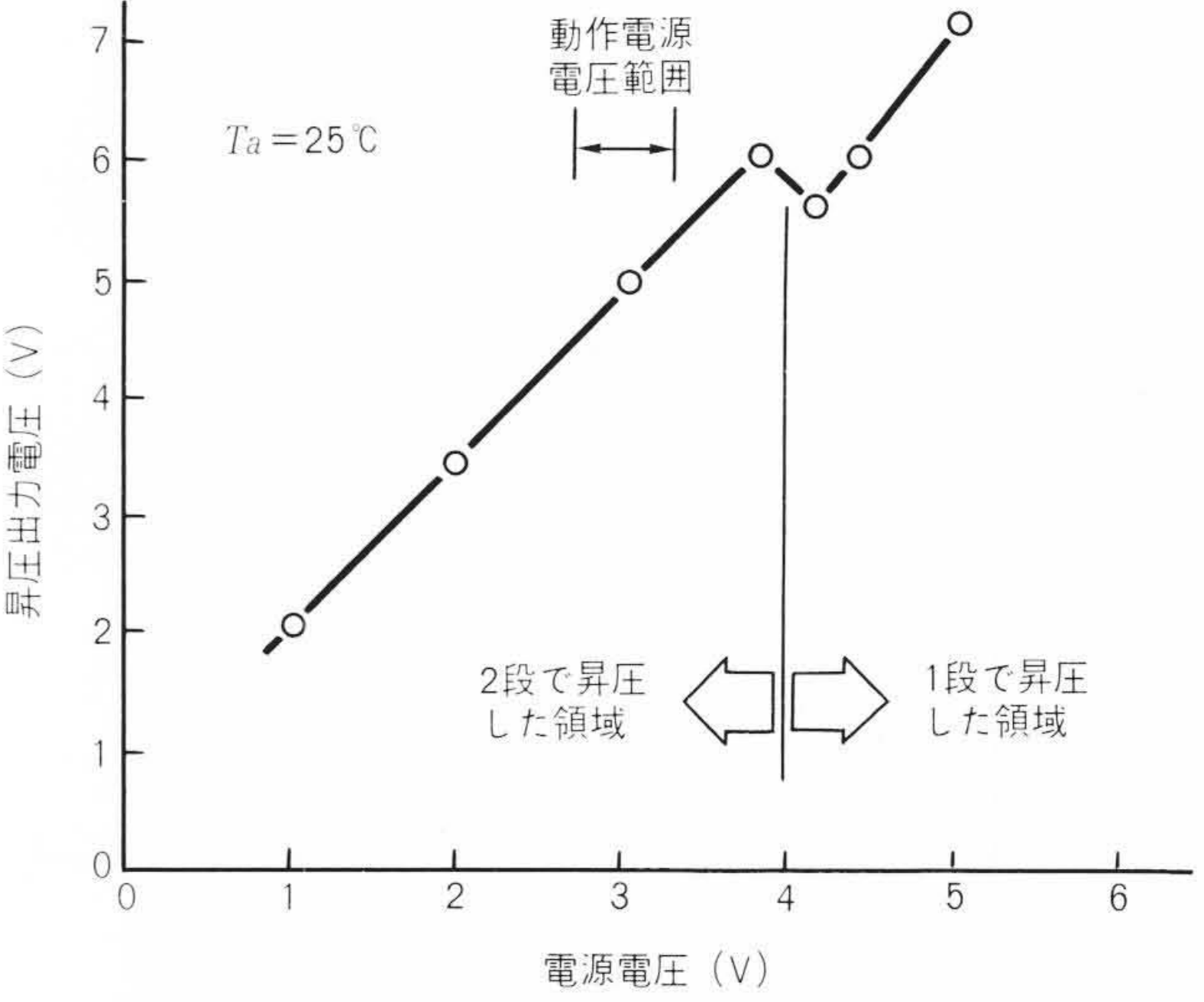


図5 昇圧レベルの電源電圧依存性 約4V付近で昇圧能力が切り替わる。

になり、NANDゲート回路はクロックCLKを通さない。結果として、容量C1だけで昇圧することになり、出力電圧は2倍となる(1段昇圧)。昇圧出力電圧の電源電圧依存性を図5に示す。3V±10%の動作電源電圧範囲内では、2段昇圧による高い書き込み電圧で十分な信号電荷量が確保できるので安定な動作が実現できる。約4V付近で昇圧能力が切り替わり、高電源電圧のもとでも1段昇圧だけの比較的低い電圧でゲート酸化膜へのストレスが緩和され、信頼性の向上が図れる。

3V動作4Mビット擬似SRAM“HM65V8512”の主要特性を、従来の5V動作4Mビット擬似SRAMの特性と比較して表2に示す(当社比)。低電源電圧化による動作

表2 HM65V8512の仕様概要 5V動作品に比べて消費電流の低減効果は大きい。さらに、2Vでのデータ保持機能を新たに追加した。

項 目		3V動作4Mビット擬似SRAM HM65V8512	5V動作4Mビット擬似SRAM HM658512
メモリ構成		512kワード×8ビット	512kワード×8ビット
電源電圧		3V±10%	5V±10%
入出力インタフェース		CMOS	TTL
CEアクセス時間 t_{CEA}		120・150 ns(Max.)	80・100・120 ns(Max.)
消費電流	動作時	40 mA(Max.)	75 mA(Max.)
	スタンバイ時	20 μ A(Max.)	100・200 μ A(Max.)
	セルフリフレッシュ時	40 μ A Max. (Lバージョン, 3.3V時) 25 μ A Max. (Lバージョン, 2V時)	200 μ A Max. (Lバージョン) 100 μ A Max. (LLバージョン)
リフレッシュモード		アドレス・オート・セルフリフレッシュ	アドレス・オート・セルフリフレッシュ
リフレッシュサイクル		2,048サイクル/32 ms	2,048サイクル/32 ms
パッケージ		525 mil 32ピンSOP 400 mil 32ピンTSOP	600 mil 32ピンDIP 525 mil 32ピンSOP 400 mil 32ピンTSOP

注：略語説明 TTL(Transistor Transistor Logic)

時および待機時(スタンバイ時)の消費電流の低減効果が著しいが、特に今回、一般のSRAMと同様の2 Vでのデータ保持を可能にし、25 μ Aの低消費電流特性を実現した(LVバージョン)。1 Mバイト以上のメモリカードあるいはRAMディスクなどの大容量メモリシステムでは、実装面積やコスト面で効果が大きいと思われ、電池による1年以上のデータ保持も可能となる。

4 3 V動作 1 MビットEEPROM “HN58V1001”

EEPROMは従来読み出しおよび書き替えが5 V単一電源でできるため、書き替えに12 Vの外部電源が必要なフラッシュメモリやEPROM(Electrically Programmable ROM)に比べて小型の携帯機器やシステムに適している。今後いっそうの小型・軽量化、低消費電力化のニーズに対処するためには、3 V単一電源で動作可能な1 MビットEEPROMの製品化が不可欠となっている。

EEPROMの低電圧化にとって重要な技術は、書き込み回路の電圧動作範囲の拡大にある。

従来EEPROMは、データ書き替え時にトンネル電流によって絶縁膜(ナイトライド膜)に電荷を注入させる必要があり、メモリセルのゲートと基板間に約12 Vの電圧が不可欠である。したがって、データ書き替え時の電源電圧動作範囲は、図6に示すチップ内蔵昇圧回路の特に低電源電圧での昇圧能力に依存している。昇圧回路はPMOSトランジスタの直列接続と容量で構成したチャージポンプ方式で、電源電圧3 V時に昇圧回路出力電圧 V_{pp} は約-9 Vとなり、電源電圧と昇圧回路出力電圧の和約12 Vがメモリセルに印加されて書き込みおよび消去が行われる。昇圧回路の可能な出力電圧は電源電圧と昇圧容量の数に比例し、昇圧容量数を増やすことと、直列接続されたPMOSトランジスタのしきい電圧を小さくすること

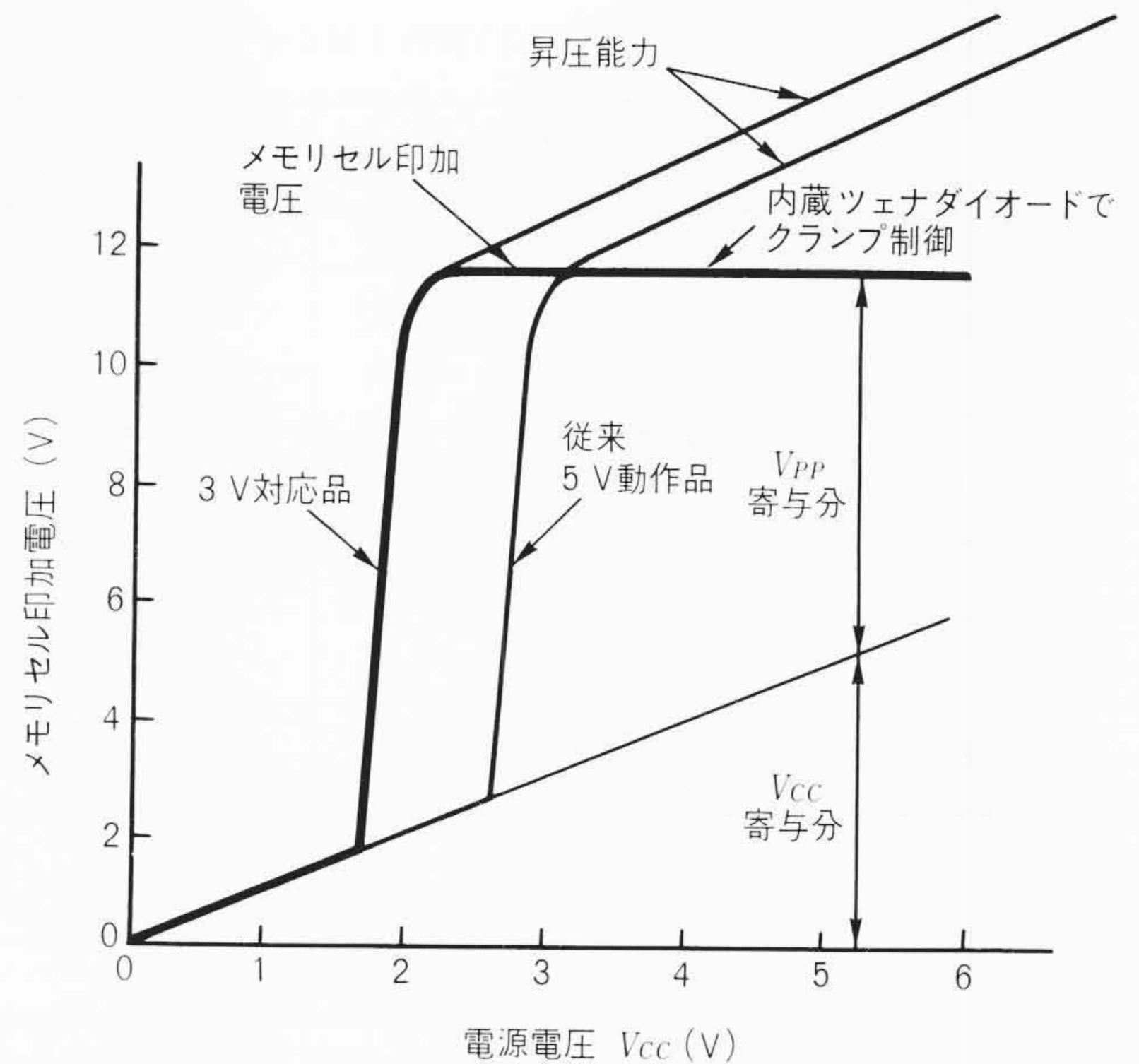
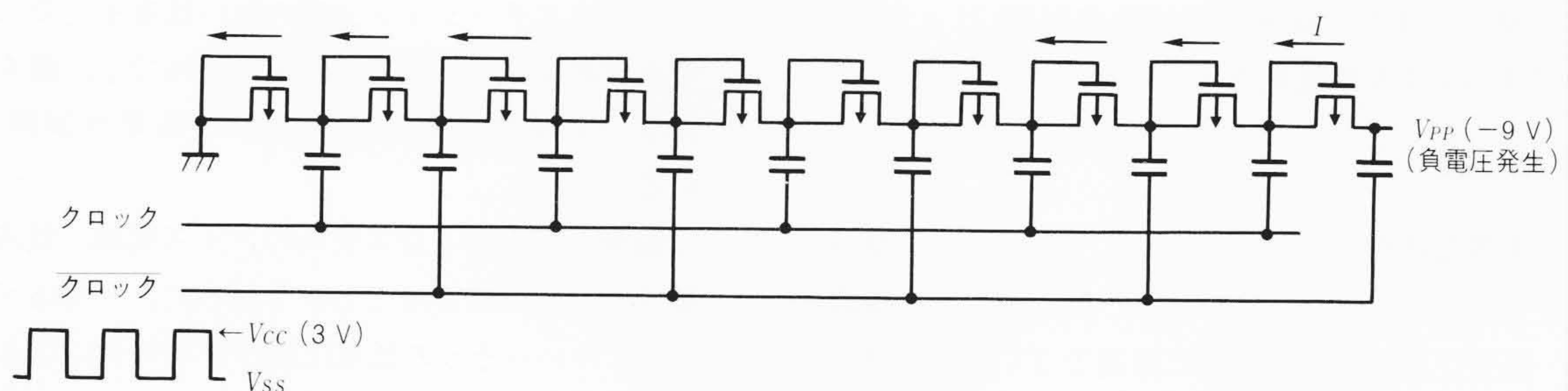


図7 メモリセル印加電圧の電源電圧依存性 V_{pp} と V_{cc} の和(約12 V)が書き替え時にメモリセルに印加される。またこの印加電圧は内蔵ツェナダイオードにより、12 Vにクランプ制御される。

で、低電圧側での昇圧特性を向上させることができる。メモリセル印加電圧の電源電圧依存性を図7に示す。3 V対応の1 MビットEEPROMでは昇圧容量数を16個とし、PMOSトランジスタのしきい電圧を-0.05 Vに設定することで、従来の5 V動作品に比べて約1 Vの電源電圧動作範囲拡大を図り、電源電圧約2.3 Vまで書き替え可能とすることができた。

3 V動作 1 MビットEEPROM“HN58V1001”の主要特性を、従来の5 V動作 1 MビットEEPROMの特性および256 kビット製品の特性と比較して表3に示す(当社比)。3 V動作品は、動作電源電圧範囲が2.7~5.5 Vと広範囲で、かつ動作消費電流が従来の5 V動作品の約 $\frac{1}{2}$ と優れ



注：記号説明 V_{pp} (昇圧回路出力電圧), V_{ss} (接地電圧)

図6 昇圧回路 EEPROMの書き替え電圧を発生するチップ内蔵昇圧回路を示す。図中の昇圧容量にクロック(振幅3 V)を入力し、矢印方向に電流(約100 μ A)を流し V_{pp} に負電圧(-9 V)を発生させる。

表3 HN58V100Iの仕様概要 3V動作1MビットEEPROMと5V対応品および256kビット品との機能・特性を比較して示す。

項 目	3V動作1Mビット EEPROM HN58V100I	5V動作1Mビット EEPROM HN58C100I	3V動作256kビット EEPROM HN58V257	5V動作256kビット EEPROM HN58C256
動作電源電圧	2.7~5.5V	5V±10%	2.7~5.5V	5V±10%
動作消費電流	15mA 最大(4MHz)	30mA 最大(4MHz)	15mA 最大(3MHz)	30mA 最大(3MHz)
アクセス時間	250ns 最大	150ns 最大	350ns 最大	200ns 最大
書き替え時間	15ms最大/ページ (64バイト/ページ)	10ms最大/ページ (左に同じ)	15ms最大/ページ (128バイト/ページ)	10ms最大/ページ (左に同じ)
パ ッ ケ ー ジ	8mm×14mm 32ピンTSOP 525mil 32ピンSOP 600mil 32ピンDIP	左に同じ 左に同じ 左に同じ	左に同じ ———— ————	左に同じ 450mil 28ピンSOP 600mil 28ピンDIP
データ保護機能	プログラムリセット ソフトウェアデータプロテクト	左に同じ	プログラムリセット	————

表4 低電圧動作メモリの製品系列展開 DRAMや高速SRAMなど、高級パソコン、ワークステーション用途の低電圧動作品も開発している。

	区 分	容量	構成	形 名	動作電圧範囲(V)				アクセスタイム	備 考
					2.7	3.0	3.3	3.6		
W シ リ ー ズ	DRAM	4M	×16	HM51W4260A					70・80・100ns	セルフリフレッシュ機能内蔵
			×8	HM51W4800A					70・80・100ns	
			×4	HM51W4400B*					70・80・100ns	
		16M	×4	HM51W16400A*					70・80ns	
	高速SRAM	1M	×8	HM62W8127H**					25・30・35ns	**の製品は2.0Vデータ保持機能版あり
			×9	HM62W9127H**					25・30・35ns	
			×16	HM62W1664H**					25・30・35ns	
				HM67W1664					10・12ns	
			×18	HM62W1864H**					25・30・35ns	
				HM67W1864					10・12ns	
	マスクROM	4M	×8・×16	HN62W415*					300ns	Vcc=5.5Vまで保証可能
			×8	HN62W315*					300ns	
		8M	×8・×16	HN62W428					300ns	
			×8	HN62W328					300ns	
		16M	×8・×16	HN62W4116					300ns	
V シ リ ー ズ	中速SARM	1M	×8	HM62V8128					150ns	一部の製品はVcc=5.5Vまで保証可能
		4M	×8	HM62V8512*					150ns	
	擬似SRAM	4M	×8	HM65V8512					120・150ns	
	EPROM	1M	×8	HN27V101A					250ns	
	EEPROM	256k	×8	HN58V257					350ns	
		1M	×8	HN58V100I					250ns	

注：□ 動作電圧保証値 Vシリーズ(2.7V min) * (開発中)
Wシリーズ(3.0V min)

た特性を持つ。また、従来の3V動作256kビットEEPROMに比べてより高速化されている。

5 おわりに

以上、携帯電話やノートブック型・パームトップ型パソコン、一体型ビデオムービーなど、個人用の携帯機器の小型・軽量化と低消費電力化に最適な3V動作1MビットSRAM、4MビットPSRAMおよび1MビットEEPROMの技術と特長について述べた。これらの分野は、今後いっそうの進展と展開が予想される。高級パソコン

やワークステーション分野の強い低電圧化要求への対応をも含めて、メモリの他の製品系列でも、表4にまとめたように低電圧動作メモリの製品系列展開を進めている。

将来、あらゆるシステムのノイズ低減、低消費電力化要求が一段と強まることが予想され、半導体メモリも2Vなどのいっそうの低電圧動作が不可欠になる可能性が高い。日立製作所は、今後もシステムに使いやすい低電圧動作メモリの開発に力を注いでいく考えである。