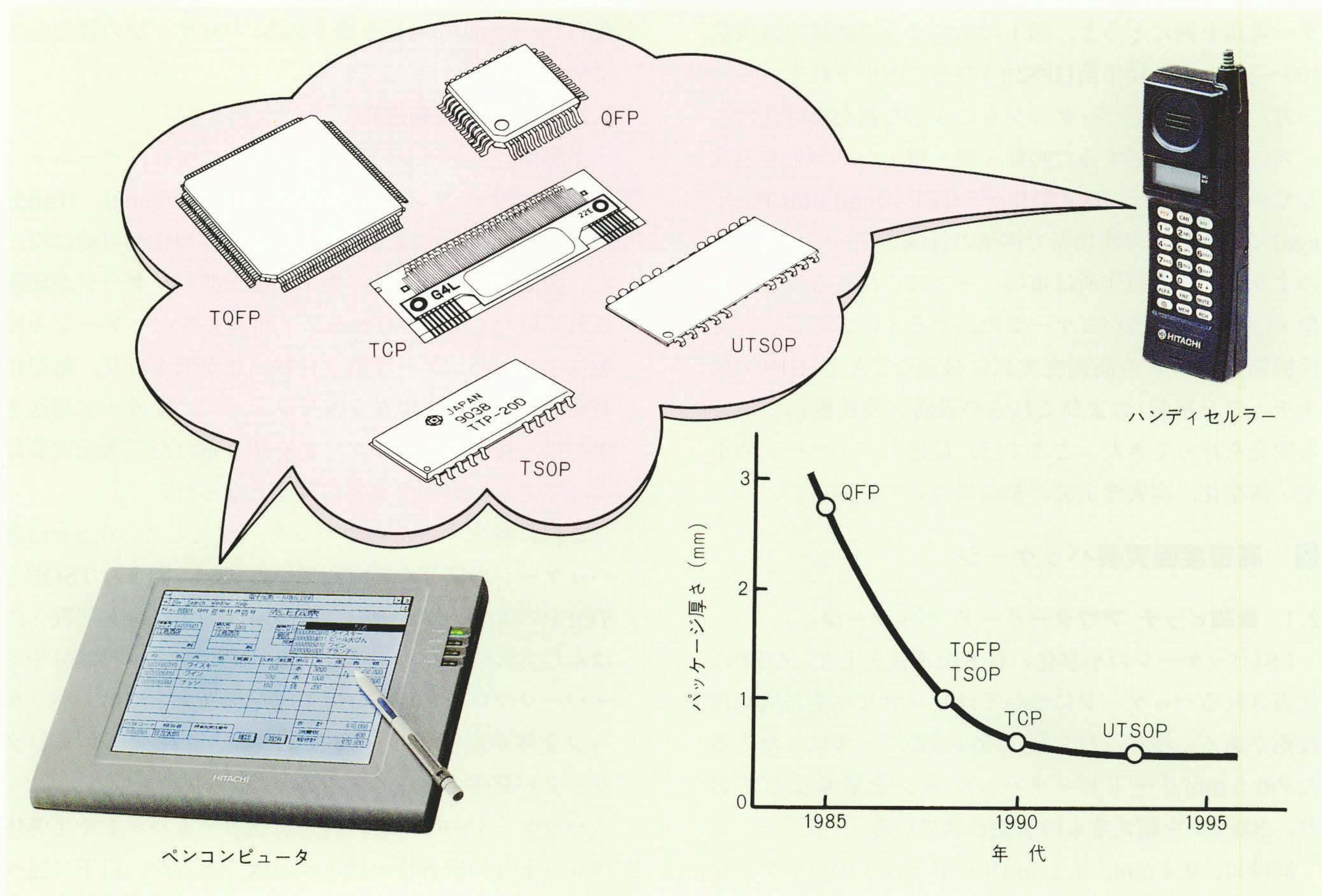


通信用携帯機器に適した高密度半導体パッケージ

High-Density IC/LSI Packages for Portable Communication Electronics

鈴木博通* Hiromichi Suzuki 増田正親* Masachika Masuda
大塚憲一* Ken'ichi Ôtsuka 遠藤恒雄* Tsuneo Endô



軽薄短小化が進むパッケージ パッケージを小型・薄型化することにより、電子機器の小型・軽量・高機能化のニーズにこたえている。

高度情報化社会を支える自動車電話・携帯電話、パーソナルコンピュータ、ファクシミリなど情報通信関連機器市場では、軽薄短小化が進んでいる。日立製作所は、このニーズにこたえるため、より小型で薄型のパッケージとしてTSOP (Thin Small Outline Package), SSOP (Shrink Small Outline Package), TQFP (Thin Quad Flat Package), FQFP (Fine Pitch-QFP) などの製品化を進めている。さらに、システムインテグレーション化の強力な武器になるものと期待されているマルチチップモジュールの一つとして、日立製作所はTA CHIP

(Technology Advanced Chipと呼称)の開発製品化も進めている。

耐熱性、耐湿性などパッケージ特性を満足させ、ICパッケージの小型・薄型化を可能にするため、新たな技術を開発した。またTA CHIPでも、配線基板の多層化(4～6層)や細線パターン化とともに、新規開発した裸のチップ両面搭載技術による高密度化を行っている。モノリシックICと同じ標準面実装パッケージであるため、自動装着やリフローはんだ付けも可能となっている。

* 日立製作所 半導体事業部

1 はじめに

電子機器の小型・軽量・高機能化が進む中で、移動通信の分野でもこの傾向は顕著である。カムコーダ、セルラー電話を例にとると、図1に示すように体積では現状100~200 cm³と10年前(1982年)の $\frac{1}{10}$ に縮小されている。一方、半導体用ICパッケージもこうした新たな時代のニーズに迅速に対応するため軽・薄・短・小への道を追求している。例えば、日立製作所のQFP(Quad Flat Package)でみると年率約10%で体積の低減を図っている。このように、日立製作所は市場ニーズにこたえるため、小型・薄型表面実装パッケージの品ぞろえ、さらには大規模回路システムの高密度実装に最適なTA CHIP(マルチチップを搭載)およびこれらの表面実装技術についても開発を行ってきた。ここでは、最近のパッケージの小型・薄型化、高密度実装の動向について述べる。

2 高密度面実装パッケージ

2.1 微細ピッチ アウターリード パッケージ

LSIパッケージの小型化の有力な手段として、QFPに代表されるパッケージについてはリードピッチの微細化技術がある。現在、日立製作所は市場ニーズにこたえるため0.5 mmリードピッチパッケージを量産化しており、200ピンを超えるものも使われている。

同時に、0.4 mm, 0.3 mmリードピッチのパッケージ開発と製品化(1993年/2Q)も進めている。ファインピッチパッケージでは、はんだ付け歩留りや接合信頼性に直

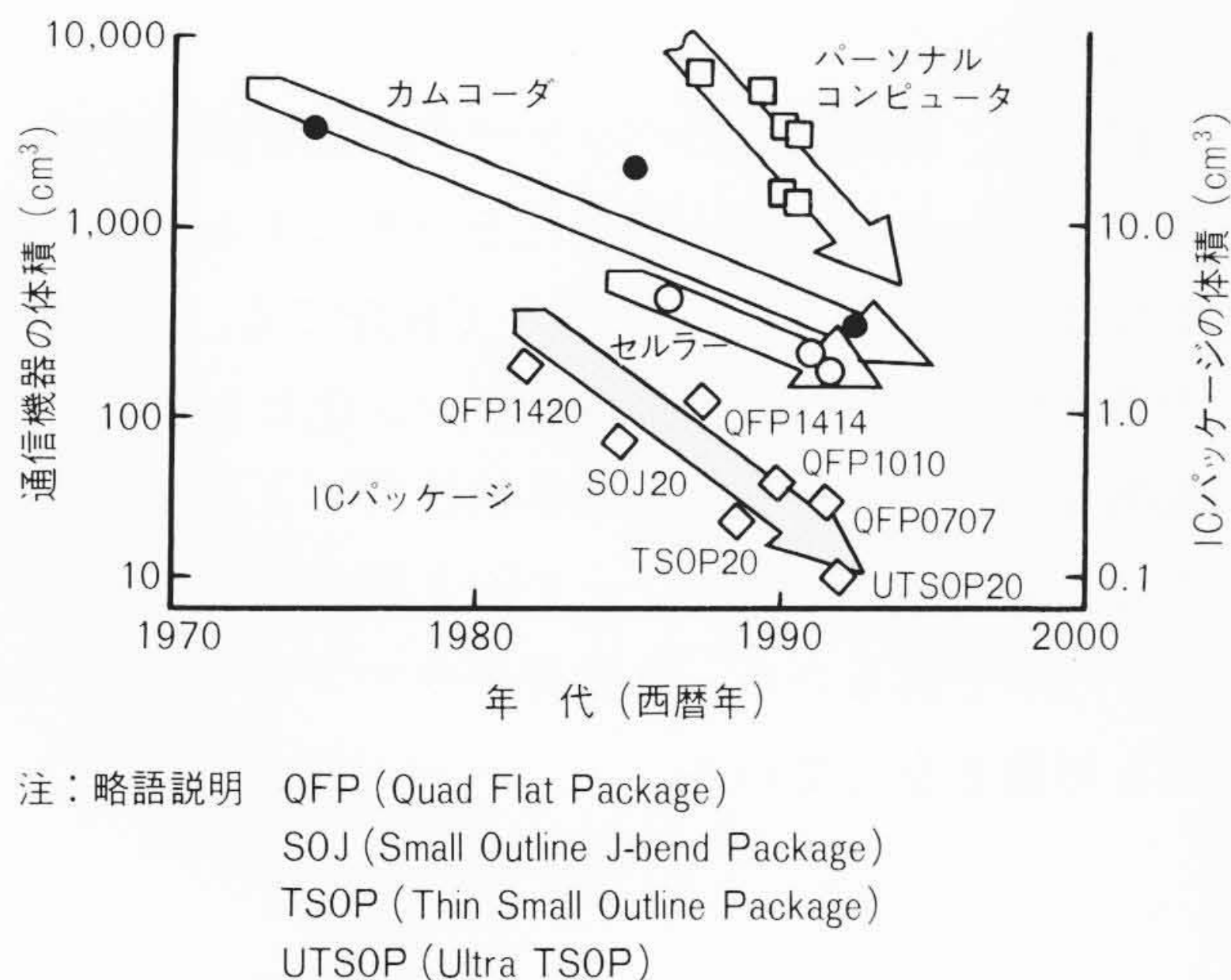


図1 通信機器およびLSIパッケージの体積変化 機器の小型化とともにICパッケージの体積も大幅に減少している。

接影響するリード設計が重要視されている。日立製作所は、リードの寸法・精度確保のために、(1)樹脂封止工程での切断不要な樹脂漏れ防止構造、リード切断・成形技術、(2)リードの材質・形状設計(薄板高強度材, 短リード化)ほか多面的な対策を盛り込み、パッケージの性能向上に努めている。

2.2 薄型・高信頼度化

半導体パッケージの薄型化が進むにつれ、パームトップパーソナルコンピュータやPHP(Personal Handy Phone)などの小型電子機器は、より薄型化が可能になった。図2に示すように、従来、挿入型パッケージが使用されていたものが、1 mm厚・面実装型パッケージの出現により、パッケージ取り付け高さが低くなり、薄型化が可能となった。現在ではモジュール、ICカード用途を中心に、複数のパッケージを積み重ねた三次元実装によってさらに高密度実装が可能となった。

これに対応するためのパッケージとして、0.5 mm厚パッケージの開発を検討している(表1, 図3)。TSOPやTQFPの薄型パッケージでの問題は、プリント基板へのはんだ実装時、パッケージが赤外線リフロー(加熱)やペーパーリフロー(気相加熱)工程を通過する際に、パッケージ全体が高温(200~260℃)に加熱されパッケージクラックが発生する点である。

パッケージの吸湿と、封止樹脂とダイパッドや半導体ペレットとの密着性の低下が原因であるが、以下に述べ

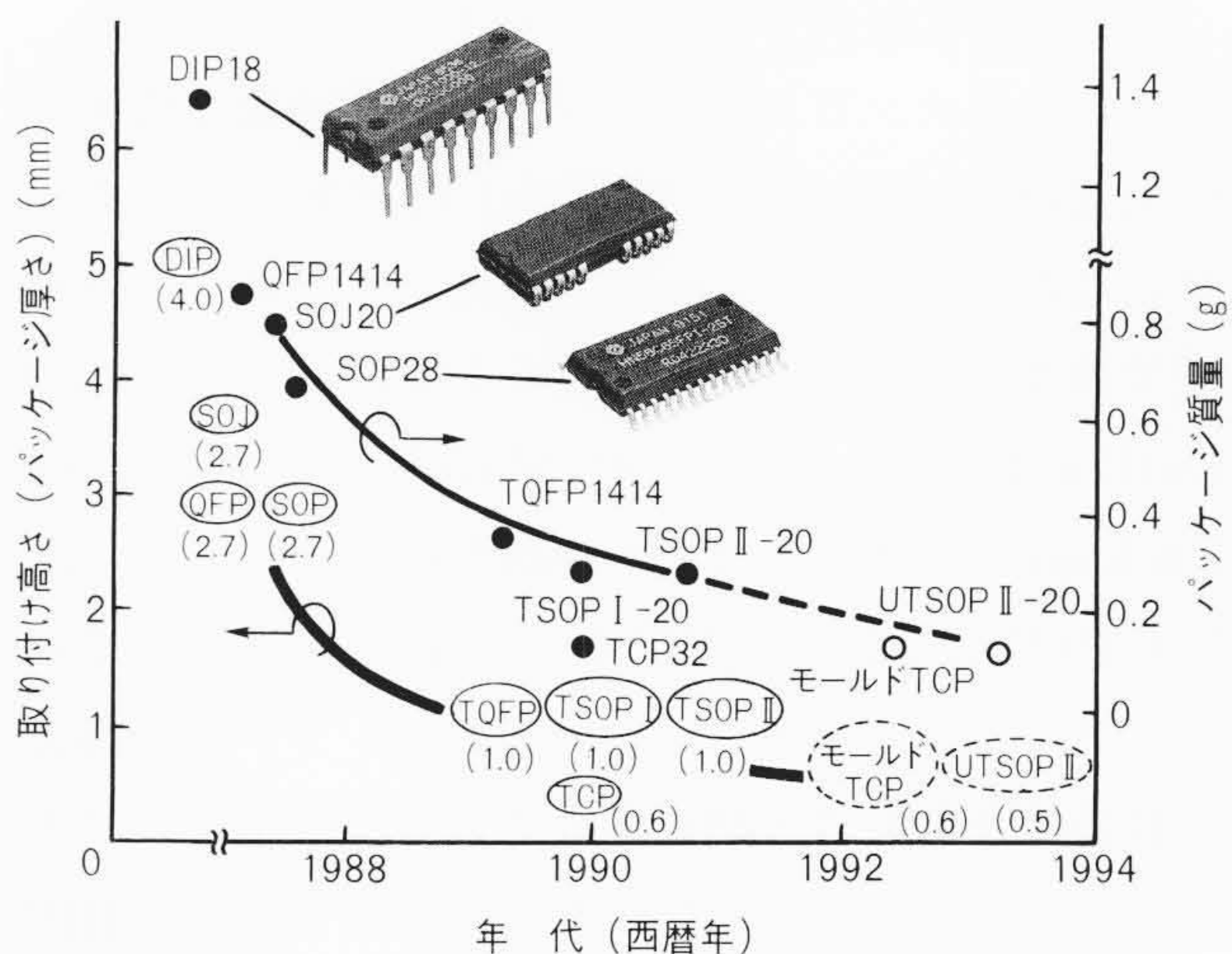
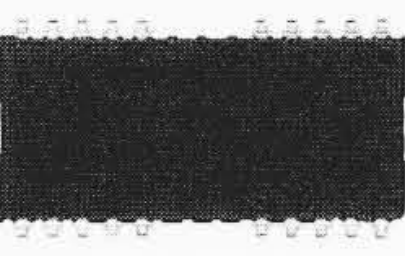
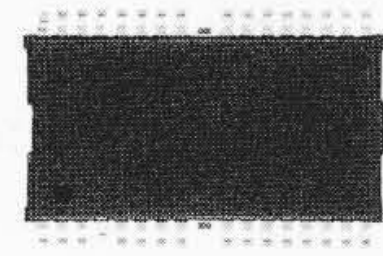
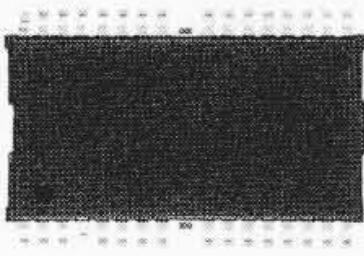


図2 パッケージ取り付け高さの変遷 パッケージ厚さを薄くすることで三次元実装が可能となり、機器を軽量化できる。

表1 薄型パッケージ パッケージ厚はTSOPの $\frac{1}{2}$ と薄くなっている。

パッケージ名	TQFP	TSOP	UTSOP (仮称)	モールド TCP(仮称)
外形				
	160ピン(0.3mmリードピッチ)	20ピン(300mil幅)		32ピン(400mil幅)
パッケージ サイズ	1mm厚 14×14mm	1mm厚	0.5mm厚 (開発中)	0.6mm厚 (開発中)

注：略語説明 TQFP(Thin Quad Flat Package)

る対策を実施して薄型パッケージの信頼性を高めた。

パッケージの吸湿に対しては、低吸湿、低応力封止樹脂の開発を行い、パッケージ内部の発生応力を低く抑えた。また、封止樹脂とダイパッドとの密着性を向上させるため、ダイパッドに貫通穴(スリット)を採用し、発生応力をスリットの分割によって低減させた。一方、ペレット表面を薄いポリイミド系樹脂で覆うことにより、封止樹脂とペレット表面との密着性を向上させて、界面はく離の発生を抑えるとともに耐湿性をも向上させている。

以上の対策によって薄型パッケージの信頼性は、表2に示すように従来パッケージSOJ(Small Outline J-bend Package)とほぼ同等の信頼性を確保した。薄型パッケージの次の開発では、成形時の樹脂流動性を保持させる封止樹脂の改良、ペレットロケーションの精度向上や超低ループボンディングの技術開発が必要である。

3 マルチチップモジュール

電子機器の小型化、高機能化が進むにつれ、使用されるLSIに対しても、小型パッケージの中に、より多くの機能を盛り込むことが必要となっている。このようなLSIを実現するために、周辺回路を取り込み、ワンチップ化したASIC(Application Specific IC)の開発も盛んに行われるようになった。しかし、プロセスが異なるチップどうしのワンチップ化は技術的に難しく、開発期間、開発費用の面では必ずしも得策ではない場合がある。

このようなニーズに対して注目されているのが、MCM(Multichip Module)である。MCMは、一つのパッケージの中に、半導体チップを複数個搭載したものであり、一般的には、

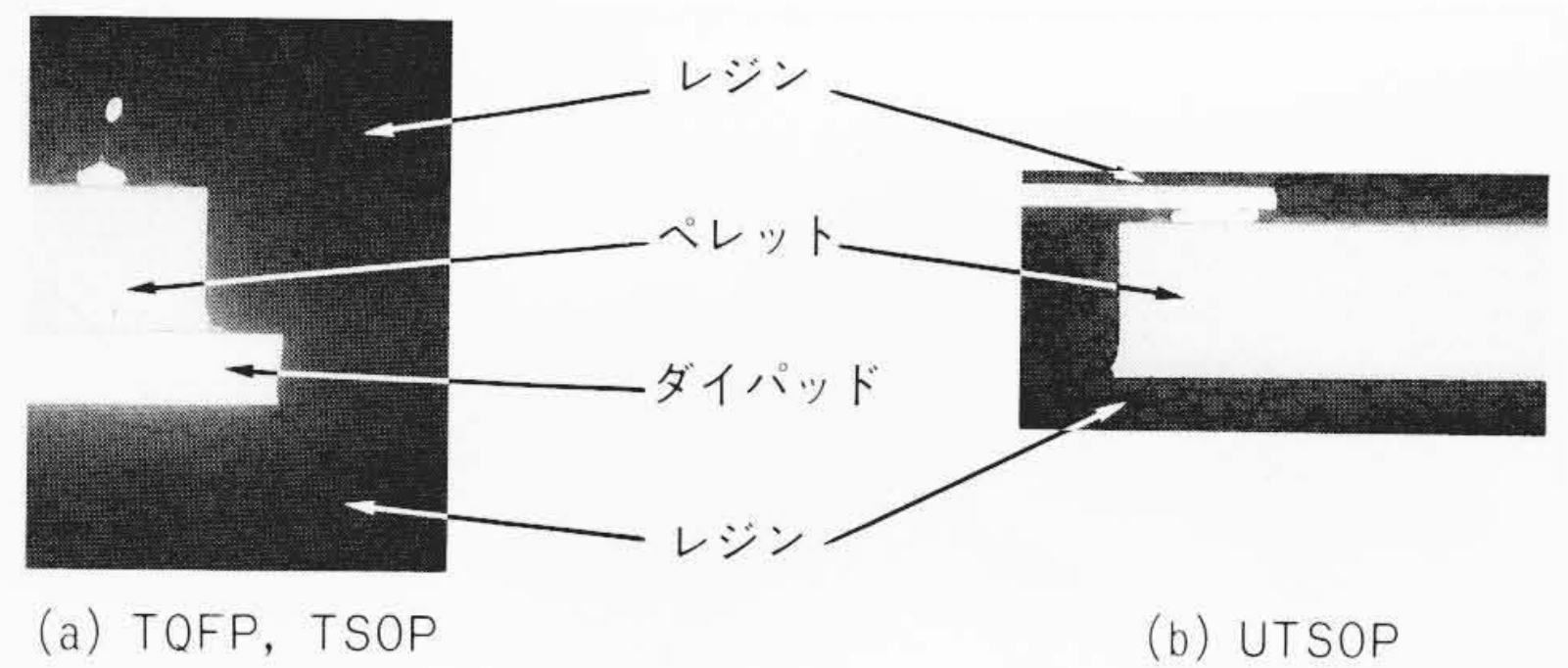


図3 パッケージ厚さ比較 UTSOPの採用により、実装効率メモリ容量を従来の2倍以上にできる。

表2 4 MDRAM TSOP II-20の信頼度評価結果 TSOPは、従来のSOJと同程度の信頼性がある。

試験項目	試験条件	前処理*	試験結果**
温度サイクル	-55~150℃ 2,000サイクル	A	0/20
		B	0/20
高温・高湿バイアス	85℃, 85%RH V _{cc} =5.5V, 2,000h	B	0/20
高温・高湿放置	85℃, 85%RH 2,000h	B	0/20

注：* 前処理A(無処理)
前処理B(飽和吸湿後、赤外線リフロー処理)
** 試験結果は不良数/サンプル数

- (1) プロセスの異なるチップどうしのワンパッケージ化が可能であるために、大規模な回路機能を持ったモジュールを実現することができる。
 - (2) 既存の実績のある半導体を使用することにより、開発期間や開発費を軽減することができる。
 - (3) チップ間の配線長を短くできるために、回路の高速化に有利である。
- などの特長があげられる¹⁾。

また、MCMには種々の構造のものが提案されているが、日立製作所のMCMはTA CHIPと呼んでいる²⁾。裸のチップを配線基板の表裏に搭載した構造となっている。このため、高密度化、小型化に適しているのが特長である[図4(b)]。

図4に示す部品構成例で、単体部品を使用してボードのアセンブリを行った場合と比べてみると、TA CHIPでは約半分の実装面積になっていることがわかる。また、同時に半導体チップ間の配線長も短くすることができ、回路の高速化や低ノイズ化にも有利である。

従来の技術では、多ピンで狭ピッチのハイブリッドICを作ることは難しかったが、モノリシックICと同一のパ

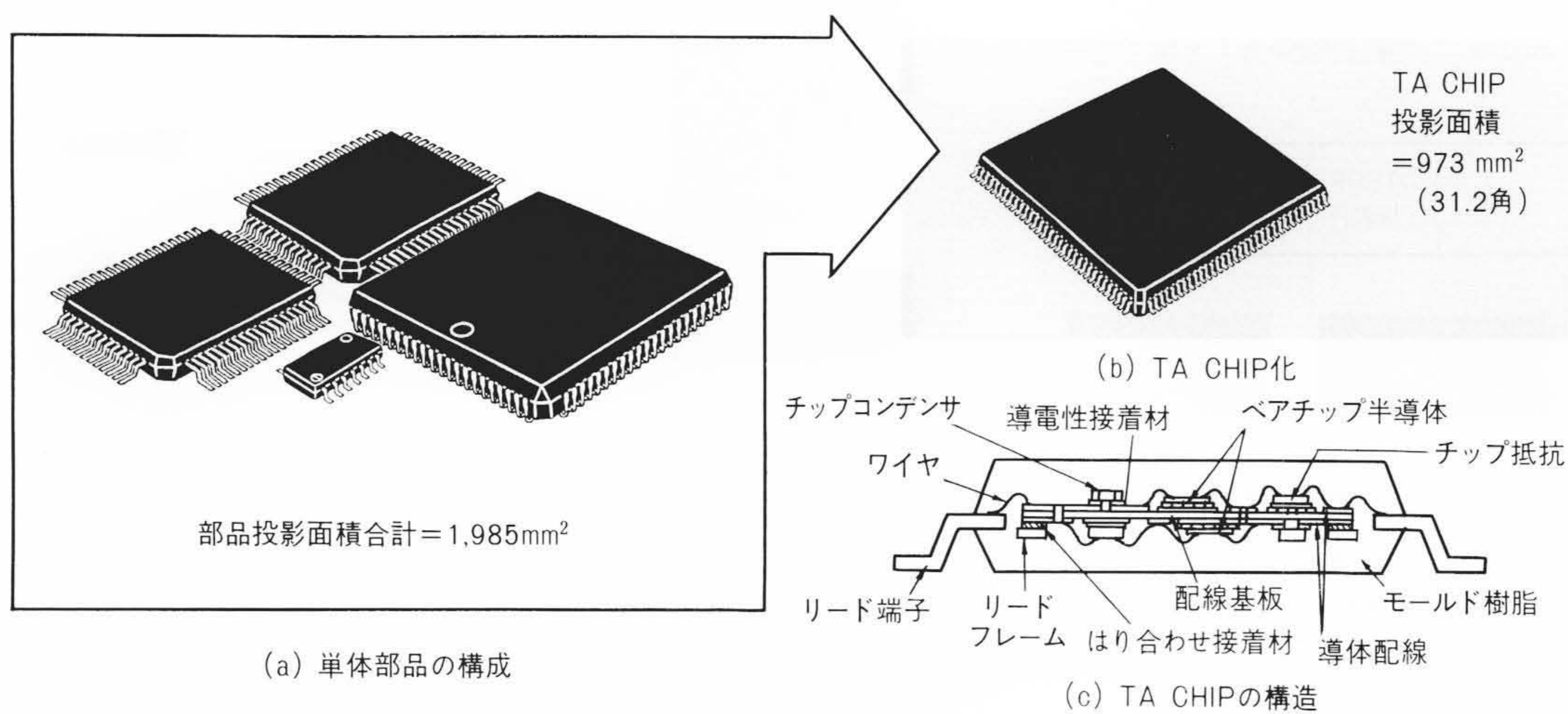


図4 TA CHIPによる小型化の例 (a)に示すICパッケージ構成の回路を、(b)のTA CHIPにすべて搭載することができる。TA CHIPのパッケージ投影面積は、(a)のパッケージ投影面積の合計の $\frac{1}{2}$ になっている。

パッケージとすることによってこれを解決した。自動搭載とはんだリフローもできるため、今後、通信用回路のモジュール化をはじめ、OA、端末用回路の高密度パッケージング技術のひとつとして登場する機会も、ますます増えてくるものと考えられる。

4 高密度化実装技術

パッケージの小型化、薄型化は電子機器の小型化を可能にする面では利点ではあるが、はんだ付け実装の面では従来のパッケージよりも高度な実装技術が要求される。アウターリードの微細ピッチ化により、はんだブリッジが発生しやすくなるが、実装関連技術の開発が進み、0.3 mmピッチでも安定したはんだ付けが可能な見通しが得られている。リードピッチ0.3 mmのQFPを、はんだペースト上に搭載した状態を図5に示す。はんだペーストは微細ピッチ用球形はんだを、印刷はクリーニング機構付きを、搭載機は荷重制御機構付きをそれぞれ用いている。これらによって総合的に精度が確保され、0.3 mmリードピッチのはんだ付けが可能になった。

5 おわりに

ここでは、パッケージの小型・薄型化、高密度実装について述べた。

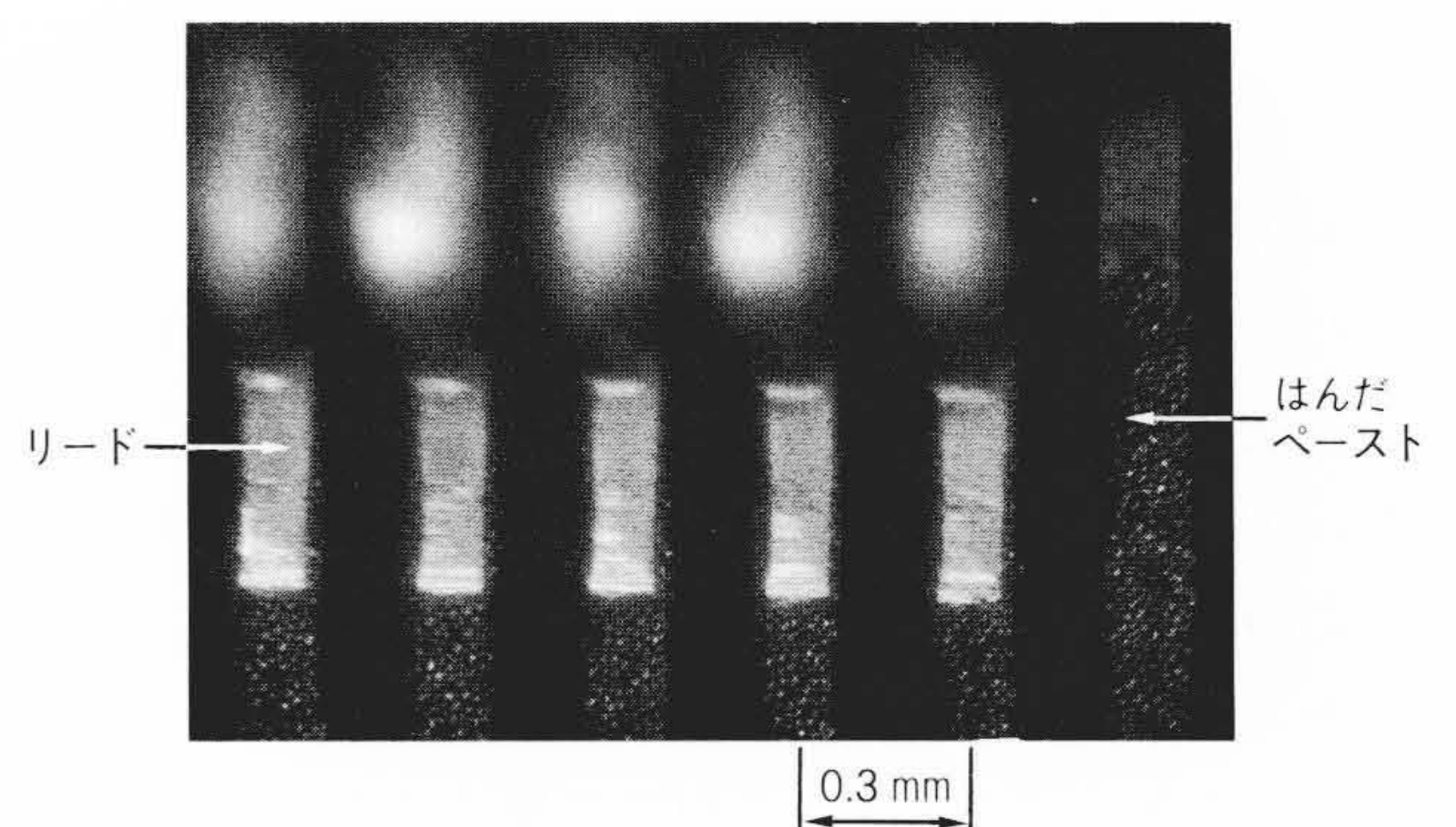


図5 0.3 mmリードピッチのはんだ付け(日立テクノエンジニアリング株式会社提供) 微細ピッチ用はんだペースト、印刷機および搭載機の開発により、0.3 mmリードピッチのはんだ付けが可能になった。

機器の小型・軽量化の手段として高密度実装技術は急速に進展してきている。高密度パッケージシステムとしては、(1)小型・薄型QFP, SOP(Small Outline Package)など面実装パッケージによる構成、(2)膨大な半導体素子開発への投資を軽減するMCM構成、の両面が進んでいる。さらには、究極の姿としてTCP(Tape Carrier Package), CCB(Controlled Collapse Bonding)に代表される裸のチップが多用されるであろうが、実装技術の難しさとテストが今後の課題である。

参考文献

- 1) 大塚, 外: 薄着でも高性能の小形パッケージ, 日立評論, 74, 3, 287~292(平4-3)
- 2) 村上, 外: 薄形, 高密度, 高速対応パッケージ技術, 日立評論, 72, 12, 1251~1258(平2-12)
- 3) 「普及の兆しを見せるマルチチップパッケージ」, 日経エレクトロニクス, 1989, 8, 21(No.480)
- 4) 大塚, 外: 多ピン化対応のQFPパッケージ技術動向, Semicon NEWS, 10月号, 15~23(1989)