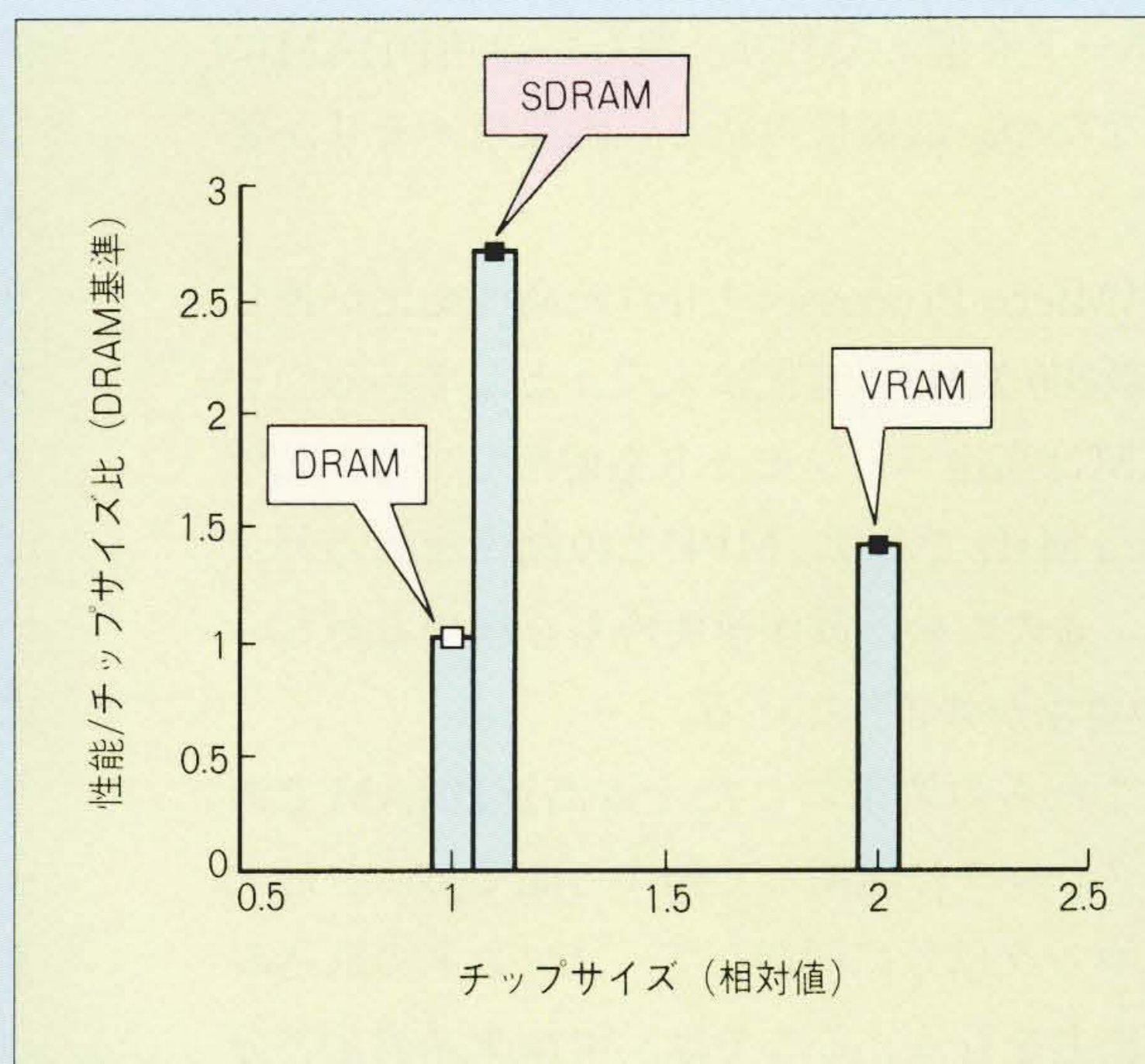
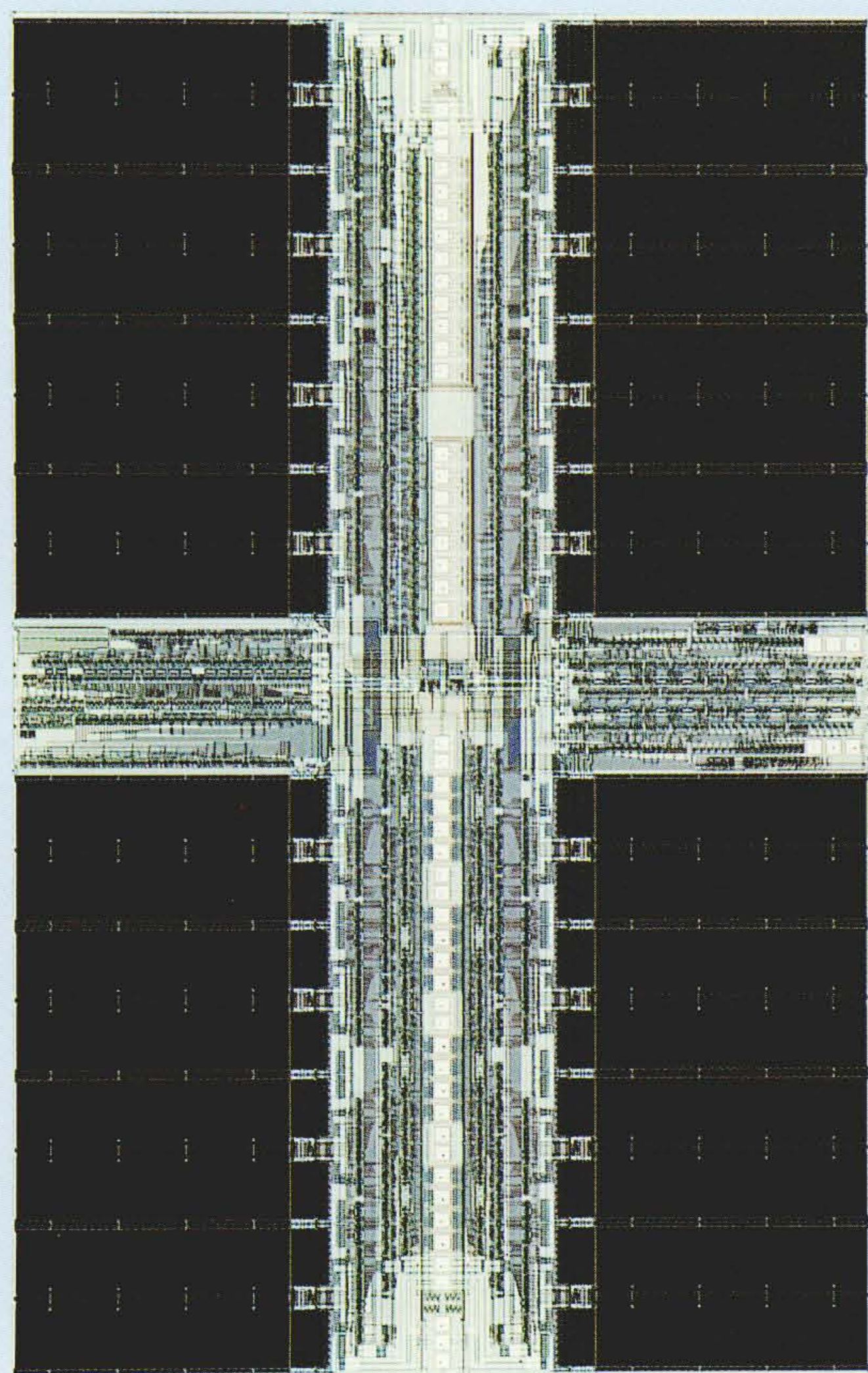


高速処理用の4 M/16 Mビット シンクロナスDRAM

4 M/16 Mbit Synchronous DRAM for High Speed Image Processing

木崎 健* Takeshi Kizaki 酒井祐二** Yûji Sakai
大石貫時** Kanji Ôishi 斉木陽造*** Yôzô Saiki



注：略語説明

DRAM (Dynamic RAM), SDRAM (Synchronous DRAM), VRAM (Video RAM)

4 Mビット SDRAM 今回開発した×16構成の4 MビットSDRAMは、高いコストパフォーマンスを持つ。このSDRAMには薄型の50ピンTSOPを採用した。性能/チップサイズ比をグラフに示す。

今後成長が期待されるマルチメディア分野では、画像処理がますます重要になり、大型・高精度化する画像表示や画像圧縮技術に対応可能な、高速で低価格なメモリへの要求が強くなっている。

従来使われているマルチポートVRAMは高い性能を持つが、DRAMに比較してチップサイズが大きく、低価格要求にこたえていくのが難しい。

そのため今回、高性能・低価格の要求にこたえてシンクロナスDRAM(以下、SDRAMと略す。)を開発した。2バンク化、パイプライン処理によってアクセスの高速化を実現し、VRAMと同等以上の性能を実現した。また、VRAMに比較してチップサイズが小さいために低価格である。

* 日立製作所 半導体事業部 ** 日立製作所 デバイス開発センタ *** 日立製作所 電子デバイス事業部

1 はじめに

EWS(Engineerng Workstation)やパソコン(パーソナルコンピュータ)の表示装置の大画面化, 高解像度化に伴って画像メモリに対する大容量化, 高データ転送レート化の要求が高まっている。画像メモリとしては1 M/2 MビットVRAM(Multi-Port VRAM)をすでに製品化しているが, VRAMはディスプレイの画面表示データを出力するSAM(Serial Access Memory)ポートと画面描画用のRAMポートを備えており, 汎(はん)用DRAMに比べて高価格なため, 低価格の新しい画像用メモリが要求されている。

また, MPU(Micro Processor Unit)の高性能化が著しく, 動作周波数100 MHzの時代に入ろうとしている。一方, 汎用DRAMは高速ページモードを使用しても, その動作周波数は25 MHzであり, MPUとの動作速度の差が拡大している。このため, 動作速度の差を埋める新しい高速DRAMの要求が強まっている。

SDRAMはこれらの要求にこたえる高速DRAMであり, システムクロックに同期して動作可能である。最大100 MHzのクロック信号に同期して, コマンドの取込みやデータの入出力を行う。ここでは, マルチメディア分野に最適なメモリであるSDRAMについて述べる。

2 4 M/16 MビットSDRAMの機能

SDRAMの動作波形を, 従来のDRAMと比較して図1に示す。従来のDRAMが, システムのクロックとは独立したRASとCASの二つの信号を基準に動作していたの

に対して, SDRAMは一つのクロック信号に同期して動作する。このため, SDRAMにはシステムクロックを直接入力することが可能となり, DRAMとシステムとのタイミング調整のための余分な遅延が不要となる。また, 内部動作のパイプライン化によって, 連続アクセス時(バーストモード時)の動作を高速化することができる。今回開発した4 M/16 MビットSDRAMの仕様を表1に示す。

(1) 2バンク構成

今回開発した4 M/16 MビットSDRAMは独立にローアドレスを設定, 動作できる二つのメモリバンク構造としている。従来のDRAMは, プリチャージ中はデータの入出力ができなかった。SDRAMでは一方のバンクのプリチャージ中に別のバンクのアクセスが可能である。バンクを交互にアクセスすることで, 連続したリードやライトができる。

(2) バースト動作

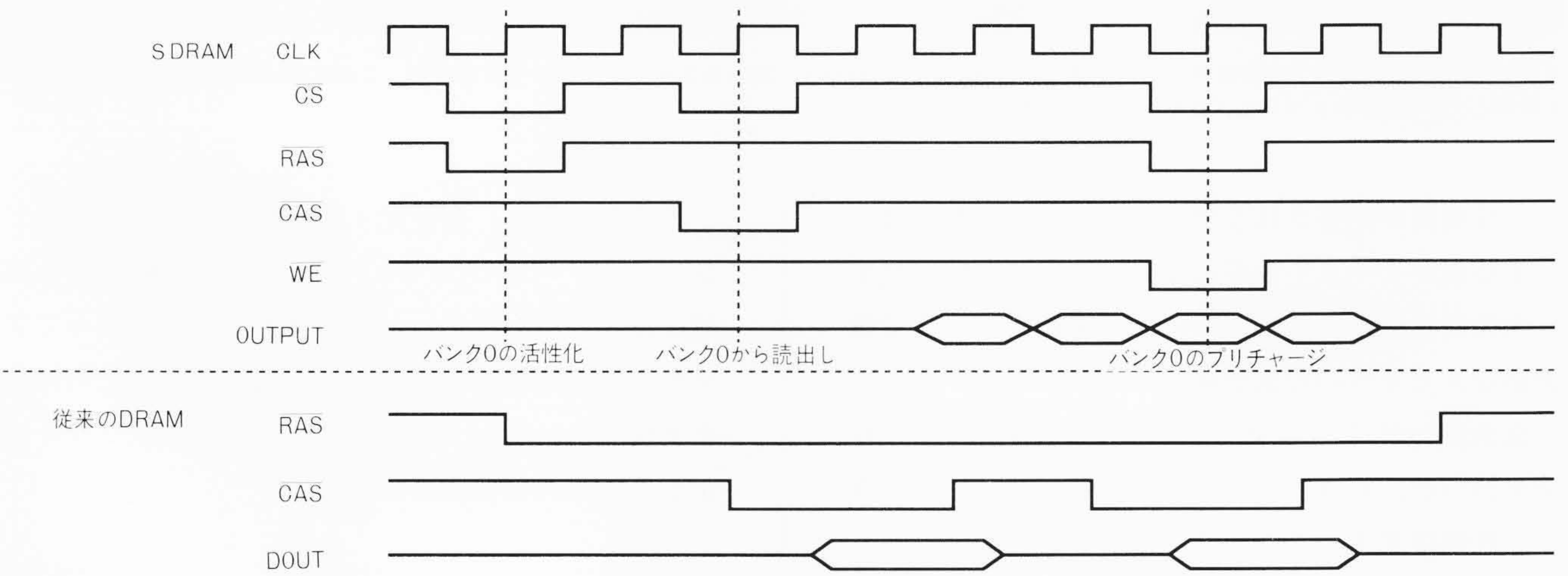
SDRAMは, リード・ライトコマンドを入力することにより, バースト長で指定した長さの連続したデータのリード・ライトを行うことができる(バースト動作)。バースト長は, 1, 2, 4, 8, Full Page(一つのローアドレスで指定される1行分すべて)の設定ができる。

バースト動作は, 内蔵のモードレジスタに所望のバースト長, およびデータの進み方を規定するバーストタイプをセットすることによって開始される。

(3) CAS Latency制御

SDRAMでは, モードレジスタで, CASのLatencyを設定することができる。

CAS Latencyとは, 読出し時にカラムアドレス入力か



注: 略語説明 CLK (クロック), RAS (Row Address Strobe), CAS (Column Address Strobe)

図1 SDRAMの動作タイミング 3種類のクロック波形に対するSDRAMの典型的な動作タイミングを示す。

表 1 SDRAMの仕様 今回開発した 4 M/16 Mビット SDRAMの仕様を示す(* 16 Mビット SDRAMの量産時期については検討中)。

項 目	4 Mビット SDRAM (HM5241605シリーズ)	16 Mビット SDRAM* (HM5216800シリーズ)
ビット構成	131,072語×16ビット×2バンク	1,048,576語×8ビット×2バンク
パッケージ	400 mil 50ピン TSOP II	400 mil 44ピン TSOP II
プロセス	0.8 μm(シュリンク)	0.5 μm
クロック周波数	66/57/50 MHz	100/80/66 MHz
tCK(CL=1)	30/35/40 ns	30/35/40 ns
tCK(CL=2)	15/17.5/20 ns	15/17.5/20 ns
tCK(CL=3)	15/17.5/20 ns	10/12.5/15 ns
tAC(CL=1)	30/34/38 ns	29/33/38 ns
tAC(CL=2)	15/16.5/18 ns	14/15.5/18 ns
tAC(CL=3)	13/15.5/18 ns	9/11/13 ns
CASレイテンシ(CL)	プログラマブル(1, 2, 3)	プログラマブル(1, 2, 3)
バースト長(BL)	プログラマブル(1, 2, 4, 8, Full)	プログラマブル(1, 2, 4, 8)

注：略語説明
tCK(クロックサイクルタイム)
tAC(クロックからのアクセスタイム)
CL(CASレイテンシ)

ら何サイクル目に出力を出すかを規定するもので、CAS Latency=1, 2, 3がある。バーストリード動作時には、出力バッファに設置した二組のラッチをアクティブまたはスルーとすることにより、CAS Latencyをコントロールする。すなわち、メインアンプから読み出されたデータはそのまま出力されるか、外部CLKに同期して1サイクルまたは2サイクル遅れてこのラッチに取り込まれ読み出される。CAS Latency=1の場合は通常のメモリと同様の動作を行い、アクセスも同等となる。CAS Latency=2, 3の場合、チップ内部のリード動作を、CLK入力～メインアンプとラッチ～出力バッファに2分割し、パイプライン処理を行う。これにより、連続読出し時のクロックアクセスを高速化した(図 1 参照)。

3 画像表示性能

従来の代表的な画像メモリVRAMは、SAMポートと通常のRAMポートを持つことによって(デュアルポート)、高速のデータ転送を可能にしている[図 2(a)]。シングルポートのSDRAMでは、一系統のI/Oを時分割で使用して、ディスプレイ装置のリフレッシュ(画面の書き替え)と描画プロセッサからの読み書きを処理する[同図(b)]。ディスプレイのリフレッシュサイクルをf Hzとすると、リフレッシュを行うために1秒間にメモリからディスプレイに画素数×色データ×fのデータを転送する。描画性能を100%生かすためには描画プロセッサからリフレッシュと同量のデータをメモリに書き込む必要がある。動画の圧縮などに応用する場合、この間にさらに同量のデータの読出しを行う。結局、一系統のI/Oで1秒間に以下に示すデータ量を転送する必要がある。

データ転送量=リフレッシュ+メモリリード+メモリ

ライト+バス制御≦4×画素数×色データ×f
ここで、バスの方向の切換(バス制御)によるバス使用効率の低下を最大25%程度と仮定した。代表的な画素数に対する要求データ転送性能と4 MビットSDRAMの転送性能を表 2 にまとめて示す。4 MビットSDRAMは、I/Oを16ビットとすること、また高速クロックによって動作可能とすることにより、転送性能を向上させている。これを複数個使用することによって256色1,280×1,024、64 k色1,024×768のディスプレイにまで対応できる。

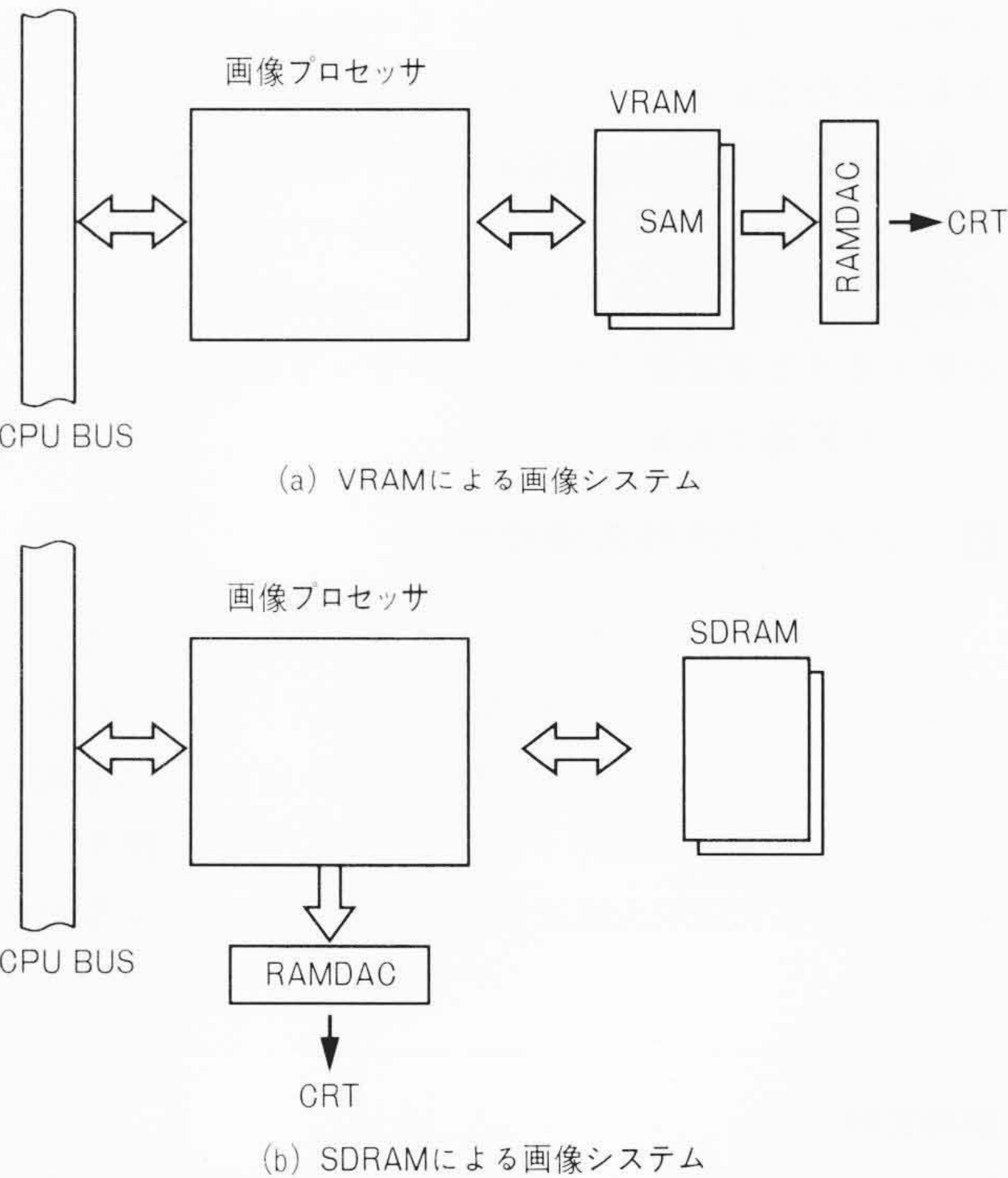


図 2 画像システムの構成
従来のVRAMを使用しているシステムとSDRAMによる画像システムを示す。

表2 画像解像度とメモリ性能

代表的な画像解像度に対して、画像表示に必要なメモリ性能を評価した。シンクロナスインタフェースを使うことにより、大画面の表示に必要な性能を達成できる。

画 素 数	色 データ	フレーム バッファ (容量)	画像転送* レート Mバイト/s	要求性能 Mバイト/s	シンクロナスインタフェース			
					容 量**	クロック	I/O	性 能 Mバイト/s
640×480	2 ⁸ =256	307 kバイト	18	74	500 kバイト	66 MHz	2 バイト	132
800×600		480 kバイト	29	115	↑	↑	↑	↑
1,024×768		786 kバイト	47	189	1 Mバイト	↑	4 バイト	264
1,280×1,024		1.31 Mバイト	79	315	1.5 Mバイト	↑	6 バイト	396
640×480	2 ¹⁶ =64 k	614 kバイト	37	147	1 Mバイト	↑	4 バイト	264
800×600		960 kバイト	58	230	↑	↑	↑	↑
1,024×768		1.6 Mバイト	94	377	2 Mバイト	↑	8 バイト	528

注：＊ リフレッシュ
サイクルを60
Hzとした。
** 4 Mビット
SDRAMを使用し
た場合

4 画像圧縮技術に最適なブロックアクセス機能

マルチメディア分野ではJPEG, MPEG¹⁾を中心とする画像圧縮技術が重要である。これらの技術では、8×8のブロック単位で画像データの処理を行う。このため8ワード単位の高速ランダムアクセスの可能なメモリが求められている。VRAMではRAMポートが従来のDRAMと同様のため高速ランダムアクセスができない。SDRAMはバーストモードによる8ワード単位の高速アクセスが可能であること、また2バンク構成によってプリチャージによるデータアクセス中断を避けることができることなどから、この分野に最適なメモリである。

その他、高速の主記憶装置としても使用できるため、小型・軽量化の進むノートブック型パソコン、また高度の画像表示を取り入れつつあるゲーム用途など、画像表示用メモリと主記憶メモリが同一チップに混在するシステムにも最適である。

5 コスト対性能の優位性

VRAMは通常のRAMポートに加えて、高速のSAMポートを持つ。このため、DRAMに比べてチップサイズが2倍程度になり、低価格化が難しい。2 MビットVRAMと4 MビットSDRAMのチップサイズ、性能を表3に示す。4 MビットSDRAMは2 MビットVRAMと同等のチ

表3 描画性能の比較

4 MビットSDRAMと2 MビットVRAMの性能、チップ面積を比較した。

	チップ 面積*1	データ 転送性能	データ転送内訳		
			リフレッシュ	バス制御	描画性能
4 Mビット SDRAM	1	132 Mバ イト/s	40 Mバ イト/s	33 Mバ イト/s*3	59 Mバ イト/s
2 Mビット VRAM	1	97 Mバ イト/s	40 Mバ イト/s*2	~ 0	57 Mバ イト/s*4

注：＊1 4 MビットSDRAMの面積を1とした参考データ
＊2 帰線期間が存在するために、VRAMのSAMは実効的には50%程度使用される。
＊3 バス制御によって転送効率が25%低下すると仮定した。
＊4 高速ページモード使用時

ップサイズで同等の性能を実現しており、コスト対性能比は2倍程度になる。

6 おわりに

SDRAMは高解像度ディスプレイ、また画像圧縮技術など高度の画像処理を含むマルチメディア分野に最適なメモリである。今後さらに画像処理が高度化していくことが予想される。これに対応するために、100 MHz以上の高速動作、32ビット以上のI/Oを実現していく。また、これら高速化に相反する低消費電力化の課題も解決していく。なお、4 MビットSDRAMは現在量産中、16 MビットSDRAMは量産時期検討中である。

参考文献

1) 安田 編著：マルチメディア符号化の国際標準，丸善