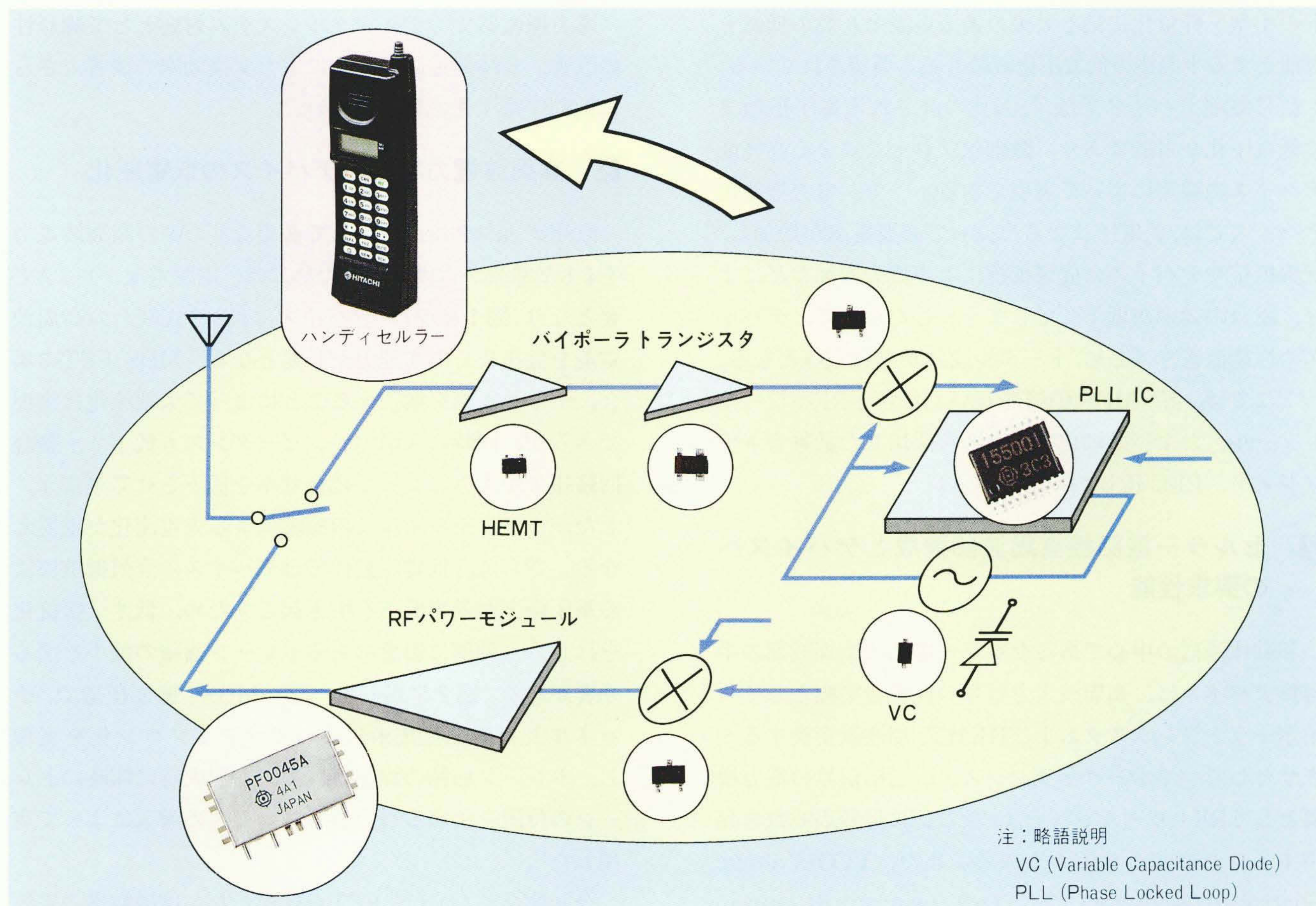


携帯通信機器用の高周波半導体

High-Frequency Devices & IC for Portable Telecommunication Terminals

岡部健明* Takeaki Okabe

渡辺一雄** Kazuo Watanabe



セラー端末用高周波半導体

高効率RFパワーモジュール、超低雑音HEMT、高遮断周波数バイポーラトランジスタ、低消費電力PLL ICなど特長ある製品をそろえている。

携帯通信機器の小型・軽量化のため、低動作電圧化に対する期待が高まっている。こうしたニーズにこたえるため、携帯通信機器の代表的なセラー電話などに適した低電圧・高周波デバイスを開発した。

最も消費電力の大きい電力増幅器は、構成デバイスであるMOS FET (Metal Oxide Semiconductor Field Effect Transistor) の直列抵抗の低減、ドレーン容量の低減によって変換効率の改善を図り、アナログおよび欧州デジタル対応電力増幅器を製品化した。欧州デジタル向けでは、4.8 V動作時、出力

3.2 W、効率50%を持つRFパワーモジュールを開発した。

高周波、低雑音デバイスとしては、HEMT (High Electron Mobility Transistor) およびバイポーラトランジスタを製品化しているが、さらに微細化プロセスにより、低電圧動作を可能とした。

周波数シンセサイザICでは、微細化BiCMOS (Bipolar Complementary MOS) プロセスの適用と回路設計の最適化により、低電圧・低消費電力化を達成した。

* 日立製作所 半導体事業部 工学博士 ** 日立製作所 半導体事業部

1 はじめに

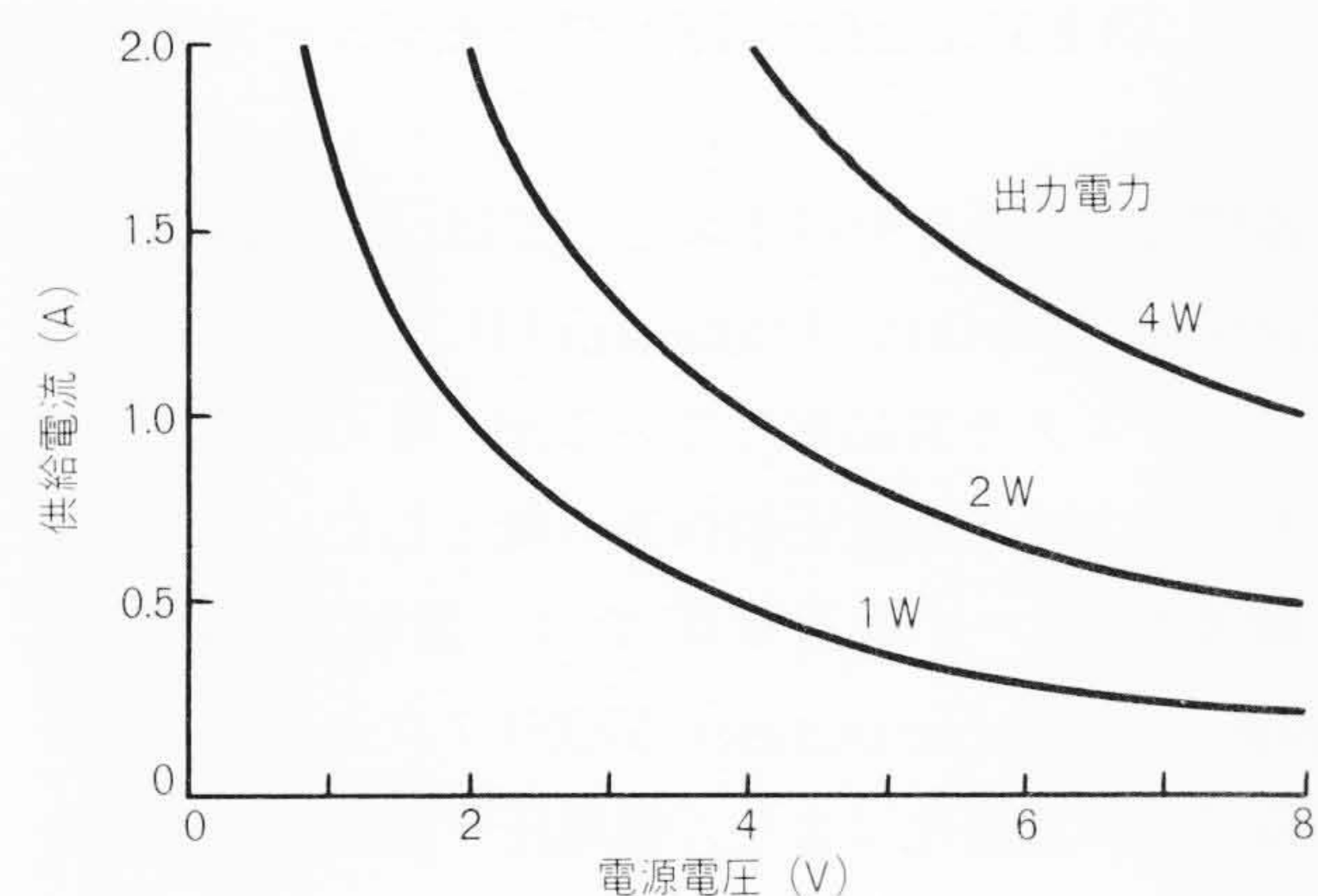
セルラー電話機の小型・軽量化、および高性能化に対する要求は強く、これらを実現するために半導体部品の小型・高性能化に対する期待も大きい。なかでも、セットの小型・軽量化に最も効果のある電池セル数の低減を可能とする半導体の低電圧化が最も強く要望されている。

信号処理デバイスでは、SN比の許される電圧振幅まで低電圧化が可能であり、微細化プロセスによる高性能デバイスの採用によって実現できる。一方、電力増幅用デバイスでは、低電圧になるに従って必要電流が増加し、配線抵抗やデバイスの直列抵抗による損失増加などにより、総合の効率が低下してしまう。したがって、デバイスの性能改善をはじめ、トータル設計が鍵(かぎ)となる。

ここでは、新型MOS FETを用いた低電圧RFパワーモジュール、および微細化プロセスを採用した低雑音トランジスタ、PLL ICについて述べる。

2 セルラー電話機高周波部構成とデバイスへの要求性能

移動体通信の中心であるセルラー電話の高周波部の半導体デバイスは、高周波入力信号の低雑音増幅としてバイポーラトランジスタおよびHEMT、周波数変換するミキサとしてバイポーラトランジスタ、送信信号の電力増幅としてRFパワーモジュール、ならびに信号周波数を発生するシンセサイザICから成る。また、VCO(Voltage Controlled Oscillator)、TCXO(Temperature Compensated Crystal Oscillator)などの発振部には可変容量ダイオードが使われている(45ページの図参照)。現状のセ



注：効率(50%仮定)

図1 増幅器への供給電流の電源電圧依存性

出力電力3.4W、電源電圧4.8V時には、1.4Aの電流を必要とする。

ルラー電話システムでは800 MHz～1 GHzの周波数が、さらに、新システムでは2 GHzまでの周波数が使用される。また、信号処理系の電源電圧としては最低2.5 Vまでの動作が要求され、かつ長待受け時間実現のために低消費電力化が要望されている。

電力増幅器でもディジタルシステム対応として線形性の改善、長時間通話のために電力変換効率の改善、さらに低動作電圧化の要求が強い。

3 高周波電力増幅用デバイスの低電圧化

欧州ディジタルシステムで必要な3.4 Wの高周波電力を4.8 V電源から供給するためには、電源電流が1.4 A必要となり(図1参照)、デバイスには2.8 A以上の高周波電流を低損失で流す能力が必要となる。MOS FETの場合、チャネル幅を増加することによって大電流化は実現できるが、同時に入出力インピーダンスも低下し、整合回路損失が大きくなって総合効率を低下させてしまう。したがって、チャネル長の短縮による大電流化が重要となる。さらに、低電圧動作ではデバイスの直列抵抗による電圧降下が効率低下を引き起こすため、低オン抵抗化をはじめ、効率に影響のあるドレーン面積の縮小を図る必要がある。図2に示したパワーMOSの断面模型で、チャネル長は微細化技術によってサブミクロン化を実現し、ドレーン面積の縮小は、ゲート形成時に同時にドレーンの位置を決める自己整合プロセスの導入によって実現した¹⁾。

今回開発したMOS FETを採用した3段増幅器の電源電圧は電池4セル用を目標に、標準4.8 Vとした。アナログ用は出力電力が1.2 Wと中出力であり、かつMOS FETの利得が高いので、効率重視の回路設計を行って、標準58%の総合利得を持つPF0045Aシリーズを製品化した(図3、表1参照)。欧州ディジタル(GSM: Group

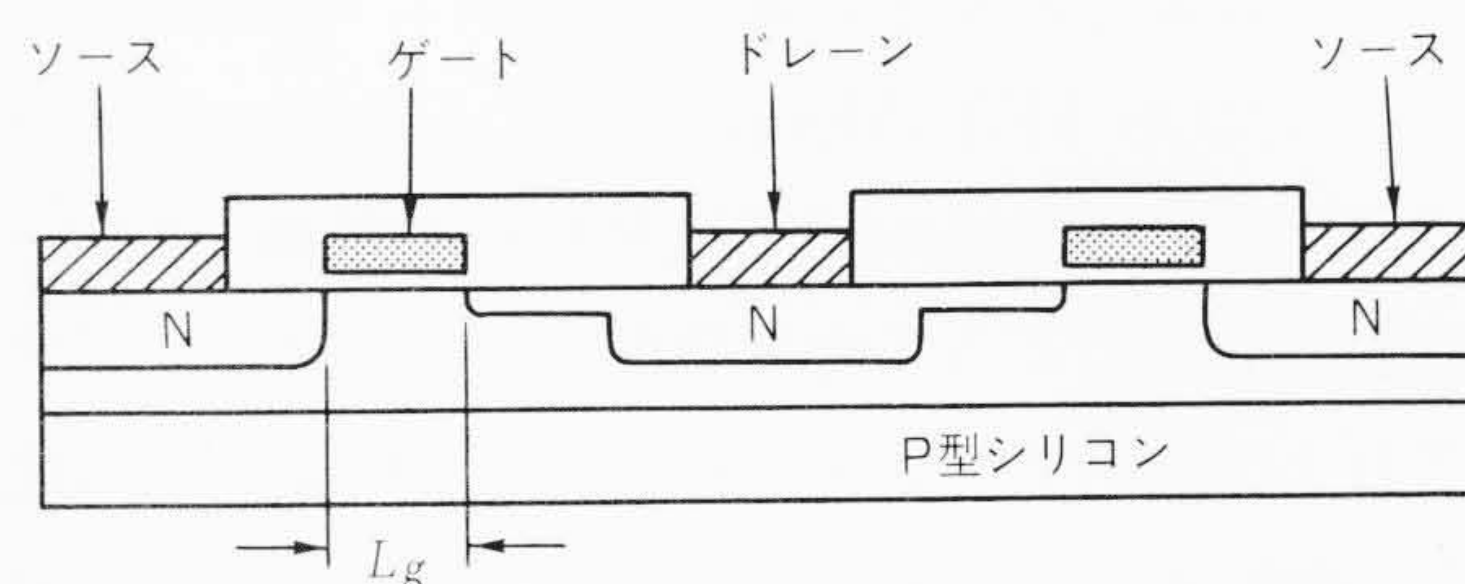


図2 パワーMOS FETの断面模型

ゲート寸法 L_g の短縮と自己整合技術の適用によるドレーン領域の縮小により、高性能化を達成している。

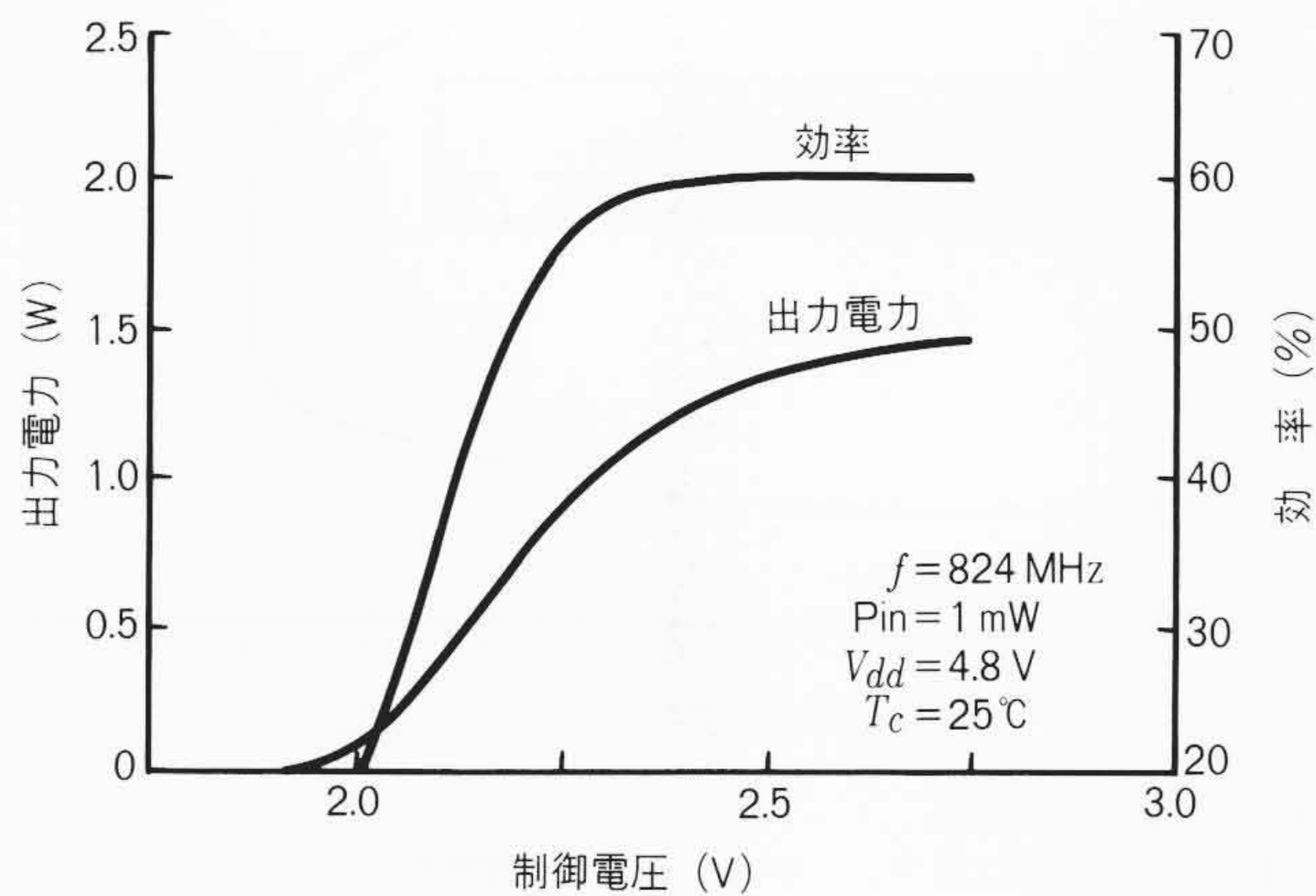


図3 アナログ用RFパワーモジュールの特性
制御電圧に従って出力、効率とも増加し、最大効率60%が得られている。

表1 アナログ用RFパワーモジュール(PF0045A)の特性
4.8 V動作で標準58%の効率が得られている。

項目	単位	最小	標準	最大	測定条件
総合効率	%	53	58	—	$f = 824, 849 \text{ MHz}$, $P_{in} = 1 \text{ mW}$, $P_o = 1.2 \text{ W}$, $V_{dd} = 4.8 \text{ V}$, $R_g = R_L = 50 \Omega$, $T_c = 25 \text{ }^\circ\text{C}$
二次高調波ひずみ	dBc	—	-40	-30	
三次高調波ひずみ	dBc	—	-40	-30	
出力電力	W	1.4	1.6	—	$P_{in} = 1 \text{ mW}$, $V_{apc} = 4 \text{ V}$

Special Mobile)用は出力3.4 Wと大きな出力を必要とするため、利得中心の回路設計を行って、標準で50%、最小40%の総合利得を実現した(図4, 表2参照)。GSMではデューティ12.5%で使うため、総合効率50%は通常の電池で1充電当たりの長通話時間の実現に寄与できる。これらのモジュールは小型・表面実装型パッケージに搭載され、セットの小型・軽量化に役立つ。

4 信号処理デバイスの低電圧化

4.1 プロセス技術とデバイス性能

高周波信号処理デバイスとして広く使われているバイポーラトランジスタの低電圧動作では、コレクタ～ベース間容量の増加による利得の減少、周波数特性の劣化などを生じる。これらの対策は、エミッタ寸法の縮小、ベース幅の低減による高遮断周波数化である。また、低雑音・高利得デバイスとして用いられるHEMTでは、FET(電界効果トランジスタ)と同様にゲート長の短縮が性能改善に効果的である。

日立製作所での高周波デバイスの遮断周波数の年代推移を図5に示す。高機能LSIを実現するBiCMOSデバイスでは0.6 μm 幅のエミッタで15 GHzの遮断周波数を持っている。

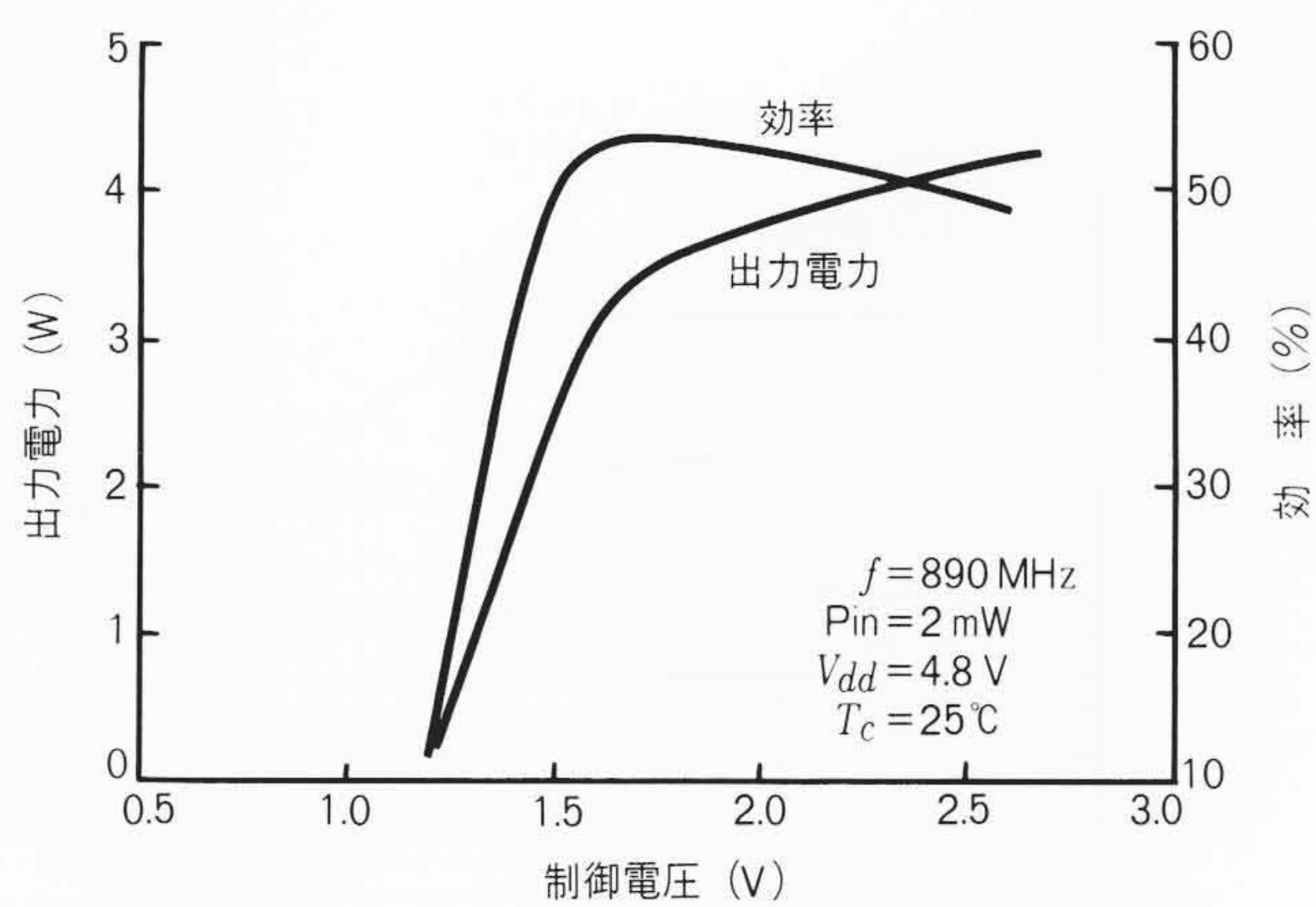


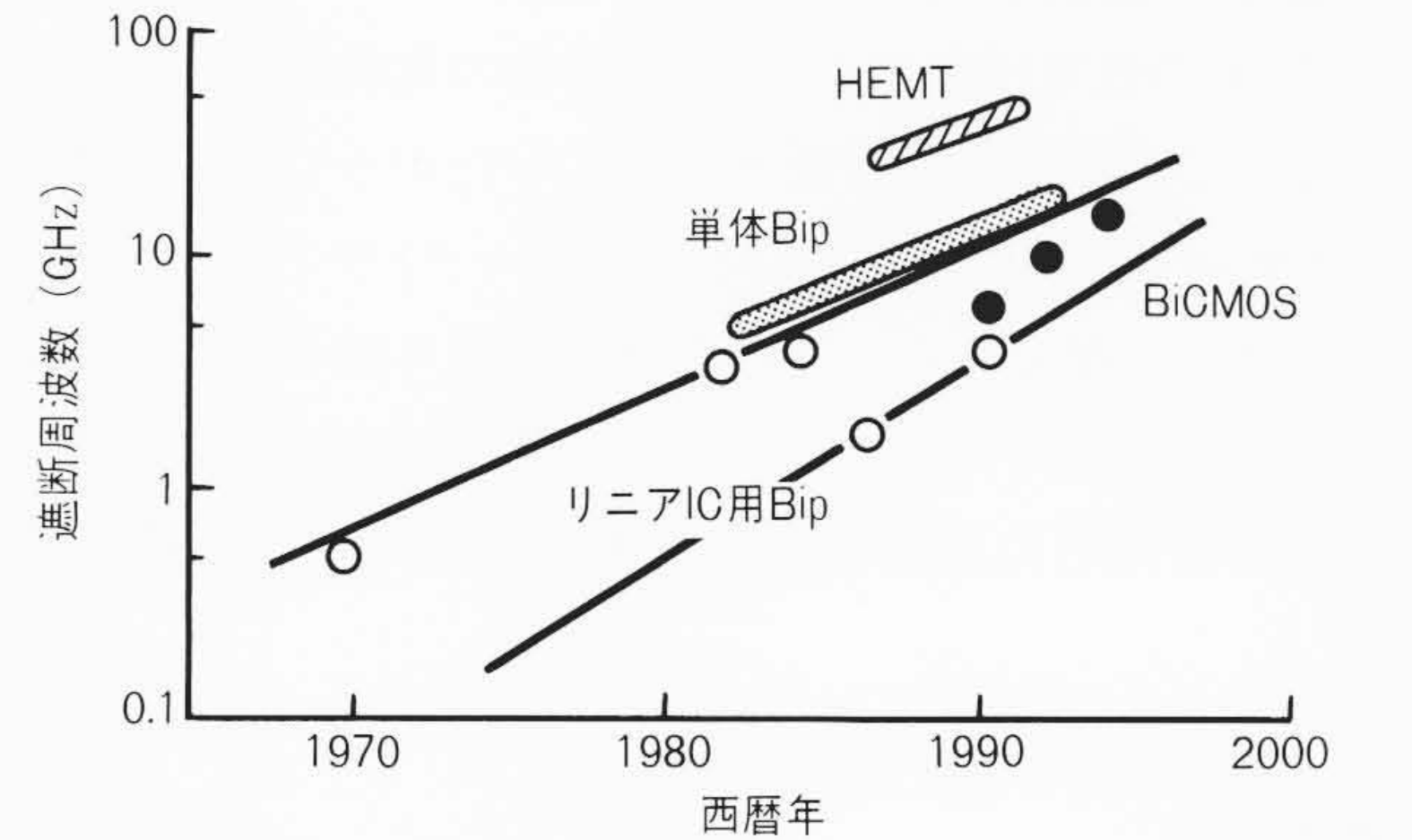
図4 欧州デジタル用RFパワーモジュールの特性
制御電圧に従って出力、効率とも増加し、最大効率53%が得られている。

表2 欧州デジタル用RFパワーモジュール(PF0145)の特性
4.8 V動作で標準50%の効率が得られている。

項目	単位	最小	標準	最大	測定条件
総合効率	%	40	50	—	$P_{in} = 2 \text{ mW}$, $P_o = 3.2 \text{ W}$, $V_{dd} = 4.8 \text{ V}$, $R_g = R_L = 50 \Omega$, $T_c = 25 \text{ }^\circ\text{C}$
二次高調波ひずみ	dBc	—	-50	-35	
三次高調波ひずみ	dBc	—	-60	-45	
出力電力	W	3.4	4.0	—	$V_{dd} = 4.8 \text{ V}$, $V_{apc} = 3.5 \text{ V}$, $T_c = 25 \text{ }^\circ\text{C}$
	W	2.4	2.8	—	$V_{dd} = 4.3 \text{ V}$, $V_{apc} = 3.5 \text{ V}$, $T_c = 80 \text{ }^\circ\text{C}$

4.2 低雑音デバイス

バイポーラトランジスタは、低雑音・高利得で入力インピーダンスも比較的低いいため使いやすく、最も一般的なデバイスである。前述の微細化プロセスを適用し、遮断周波数13.5 GHzを実現した。バイポーラトランジスタ(2SC5080)およびサブミクロンゲートを持つHEMT(2SK2113)の電力利得、雑音指数の低電圧動作時の周波数依存性を図6に示す。ほぼ2 GHzまで高利得・低雑音



注：略語説明 Bip (Bipolar Transistor)
図5 遮断周波数の推移
高周波デバイスの遮断周波数は、プロセス技術の進歩に負っている。

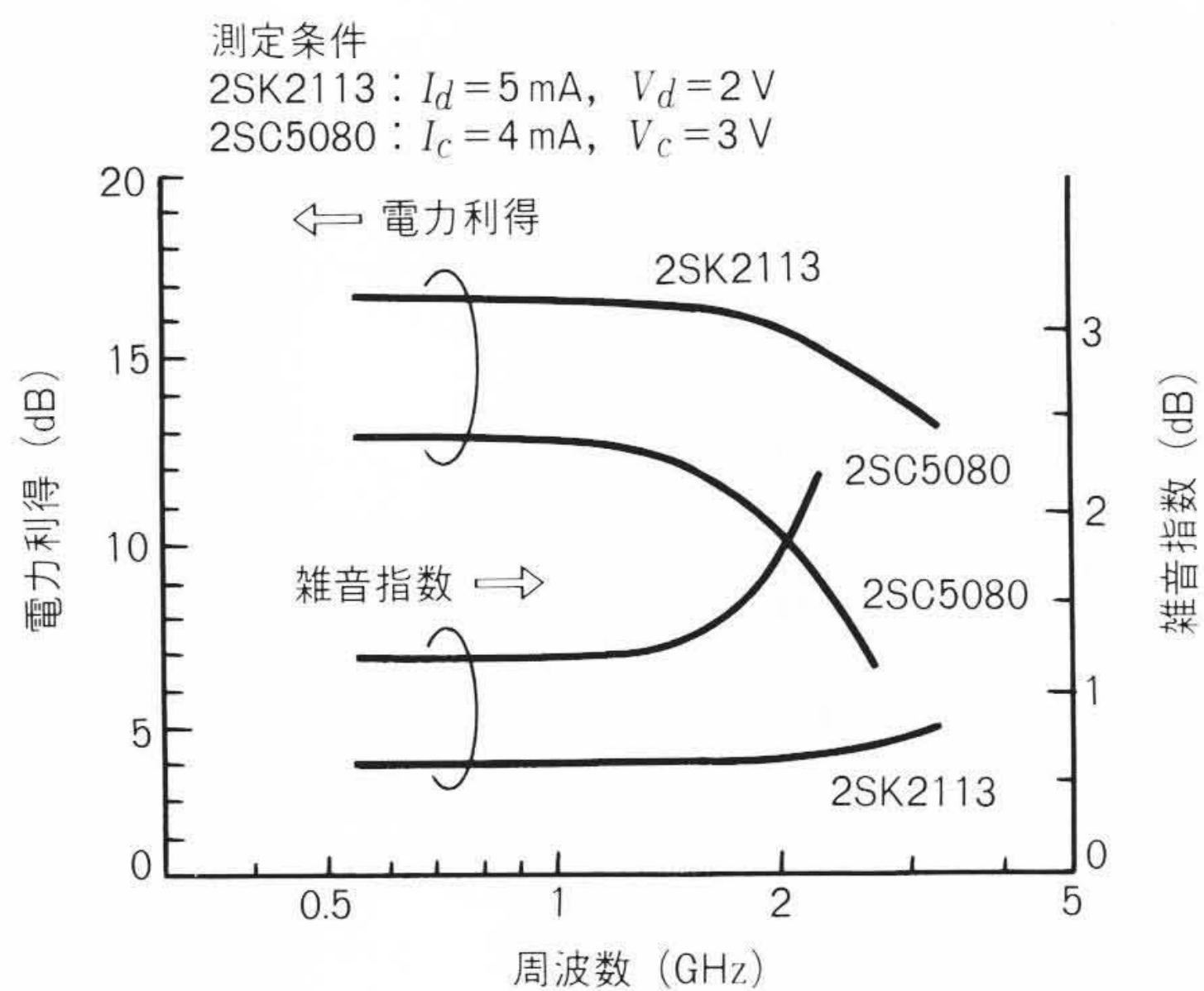


図6 電力利得，雑音指数の周波数依存性
HEMT (2SK2113)では，動作周波数2 GHzでも超低雑音特性を持つ。

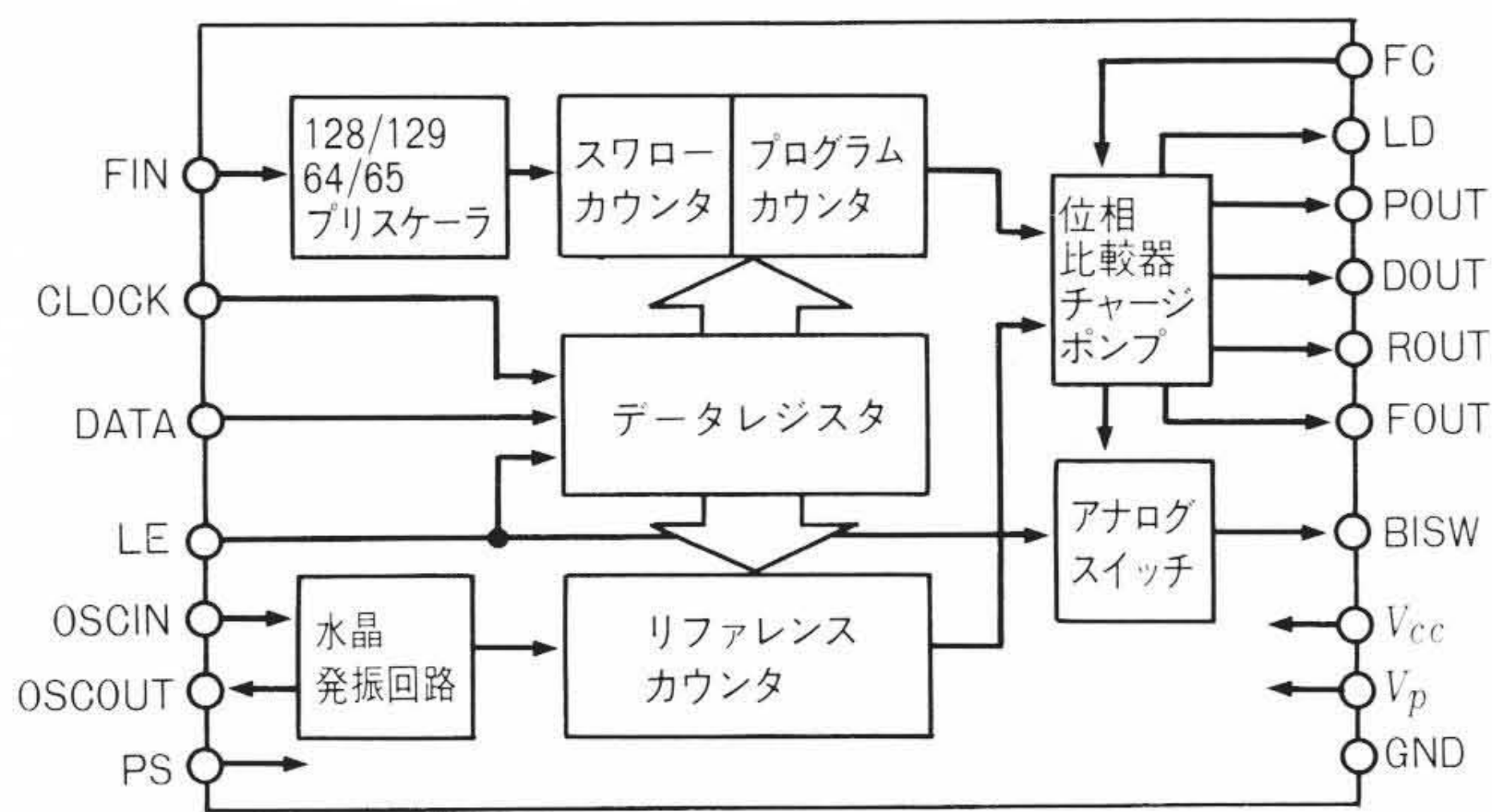


図7 HDI55001ATブロック
高速プリスケアラの内蔵，チャージポンプ専用電源端子など，使いやすい構成となっている。

化が実現された。特に，高利得・低雑音増幅が必要な場合は，HEMTが適していることがわかる。

4.3 PLL IC

基準周波数を発生させる周波数シンセサイザ部のPLL ICの低電圧動作では，寄生容量の充放電電流の増加によって動作周波数が低下する。したがって，高速のプリスケアラ部を構成しているバイポーラトランジスタの高性能化が必要である。これらは，加工寸法の縮小を中心とした微細化プロセス，デバイスによって達成される。
今回開発したBiCMOSプロセスを用いて製品化した

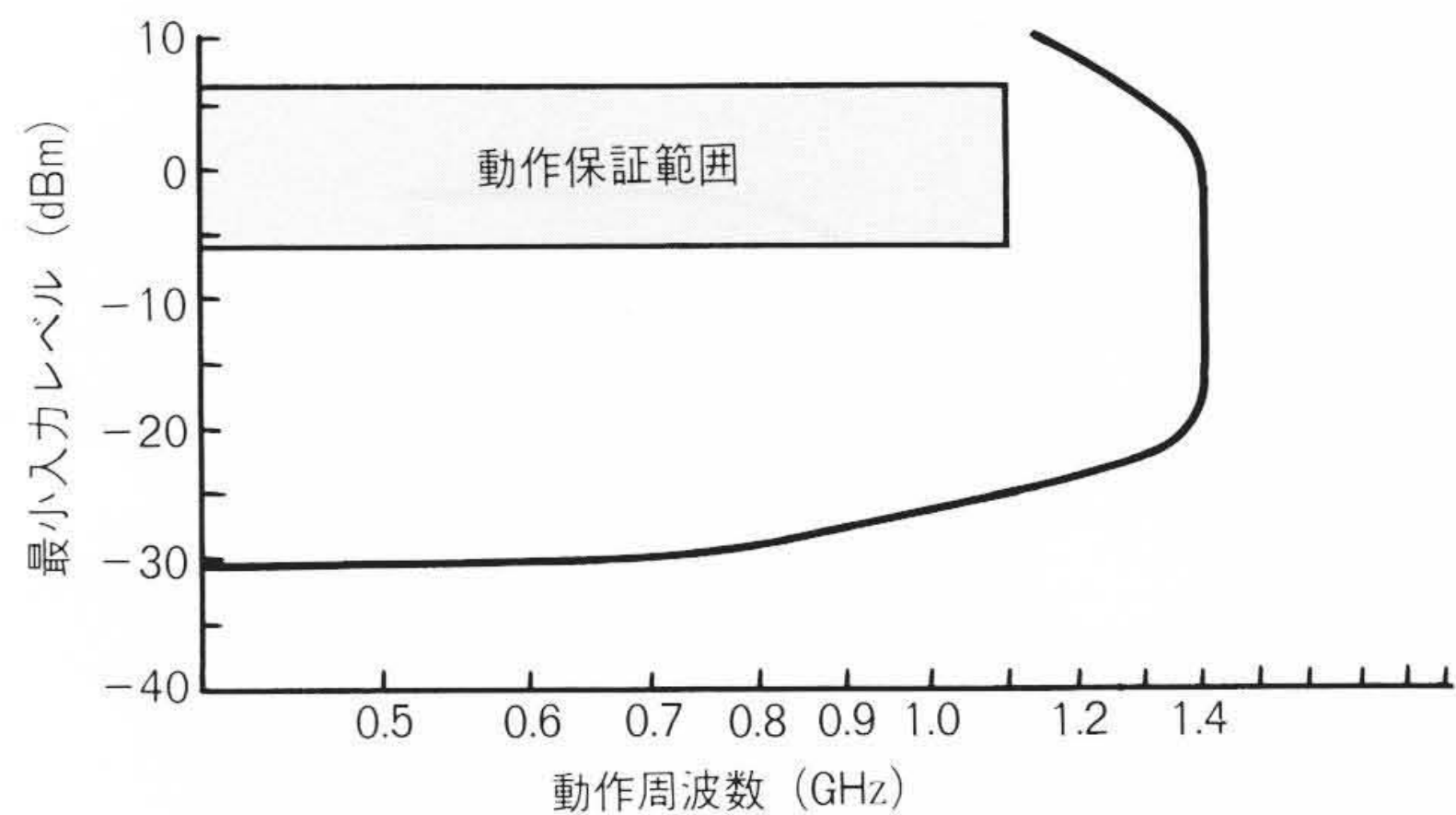


図8 動作周波数
動作保証範囲は最大1.1 GHzであるが，実験的には1.4 GHzまでの動作を確認している。

表3 HDI55001AT特性表
低電圧・低消費電流を実現している。

項 目	仕 様
動作電源電圧	2.7～5.25 V
FIN動作周波数	1.1 GHz Max.
OSCIN動作周波数	20 MHz Max.
FIN入力電圧	-6 dBm Min.
OSCIN入力電圧	0.5 V _{p-p} Min.
消費電流	6.0 mA typ.
パッケージ	TSOP-20

PLL ICの構成を図7に，動作周波数範囲を図8に示す。このICは直接分周可能な周波数として，2.7 Vで1.1 GHzを保証した高速プリスケアラ，高電流供給能力を持つCMOSのチャージポンプ回路を内蔵し，低消費電力と高速ロックアップを実現した(表3参照)。アナログをはじめデジタルセルラーに最適なICとなっている。

5 おわりに

微細化プロセス技術を適用した高性能デバイスを採用し，高周波電力増幅器の低電圧動作を実現した。また，信号処理デバイスとしては，超低雑音HEMTデバイス，バイポーラトランジスタおよびシンセサイザ用PLL ICを製品化した。これらの製品は携帯通信機器に有効である。今後も，いっそうの低電圧・低消費電力製品を開発していく予定である。

参考文献

1) 吉田，外：SiパワーMOS FETの高周波・高効率化，電子情報通信学会論文誌，C-I，Vol.J76-C-I，No.11，422-429(1993-11)