

多様化するニーズにこたえるMパラレルシリーズの開発

Development of M Parallel Series Computer for Varied Customer Requirements

安部秀一* *Shuichi Abe* 渡部眞也* *Masaya Watanabe*

渡辺 裕* *Yutaka Watanabe* 山岡 彰* *Akira Yamaoka*



(a)MP5800プロセッサ(モデル180~410)



(b)MP5600プロセッサ(モデル120~310)

汎用コンピュータ「Mパラレルシリーズ」

Mパラレルシリーズ(MP5800とMP5600)は、並列処理と高速処理を提供する新世代の大型コンピュータであり、多様化するニーズにこたえるものである。

近年の情報システムではオープンシステムの広がりとともに、中核サーバとしての大型汎用コンピュータの重要性が見直され、基幹業務用の大型汎用コンピュータ、部門別・目的別の各種サーバ、個人用のパソコンなど各種のコンピュータが、それぞれの特長を生かして用途に合わせて利用されるようになってきている。

「Mパラレルシリーズ」は、Mパラレルコンセプトに基づいた並列処理と高速処理を同時に提供する新世代の汎用コンピュータである。その特長は、高性能、高信頼性、可用性の向上に加え、従来のMシリーズ資産を継承しながら並列処理技術による高速処

理、スケーラブル(段階的)なシステムの拡張性を実現したことにある。

Mパラレルコンセプトでは、基本単位である個々のプロセッサのことをCPN(Central Processing Node: 中央処理ノード)と呼ぶ。複数のCPNは、HCCF(High-speed Connection Control Feature: 高速結合機構)およびパラレルシステムタイマと結合することにより、並列処理システムとして動作する。また、多数のCPNの使用による運用上の課題を解決するために、統合コンソールを開発し、操作性を大幅に向上した。

* 日立製作所 汎用コンピュータ事業部

1 はじめに

近年、コンピュータシステムの利用形態は企業活動の高度化に伴って変化しているが、企業活動の中核を担う基幹業務に用いる計算機システムとしては、依然として大型汎用コンピュータが用いられている。

このようなニーズにこたえて汎用コンピュータ「Mパラレルシリーズ」を開発した。

ここでは、Mパラレルシリーズを構成するプロセッサ“MP5800”および“MP5600”の特徴、システム・ハードウェア技術、および統合コンソール、パラレルシステムタイマについて述べる。

2 並列処理を実現するMパラレルシリーズプロセッサ

並列処理技術による高速処理を実現する製品としてMパラレルシリーズプロセッサを開発した。

並列処理はトランザクション処理のような並列実行度の高い処理に対して有効であり、その高速化はトランザクション処理負荷の増大に柔軟に対応可能なシステムを提供するという意味がある。このような並列処理システムを実現するために、多数のCPN間を接続するHCCF(高速結合機構)を使用する。

また、CPN間の精密な時刻合わせ、および絶対時刻との時刻合わせを可能とするパラレルシステムタイマを使用することにより、グローバルなネットワーク環境での処理の厳密性が確保できる。多数のCPNを使用する場合に発生する問題として計算機運用の複雑化があげられ

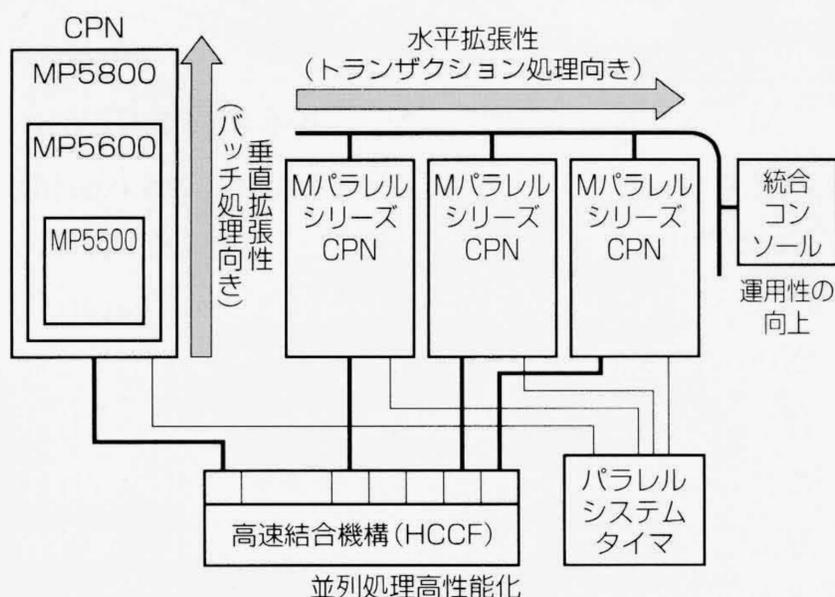


図1 Mパラレルシリーズの拡張性

単一CPNのモデルのグレードアップによる垂直拡張性とCPN台数の拡張による水平拡張性により、多様化したニーズに対応した幅広い処理性能の拡張性を提供する。

るが、統合コンソールを用いることによって最小限の運用コストで最大限の性能を引き出すことができる。

一方、バッチ処理のように、多数の並列処理への分解が難しい負荷の増大に対応するためには、単一CPNの処理性能の向上が必要となる。このような単一CPNの処理性能を必要とする業務に対するスケーラビリティの提供を目的として、単一CPNの能力の拡張性を図った。

このように、Mパラレルシリーズでは並列処理による水平方向の拡張性と、CPN性能向上による垂直方向の拡張性の両方を達成している。Mパラレルシリーズには、プロセッサとしてMP5800、MP5600、およびMP5500があるが、ここではMP5800とMP5600について述べる(図1参照)。

3 MP5800プロセッサの概要

3.1 特徴

MP5800プロセッサはMパラレルシリーズの最上位機である。その特徴について以下に述べる。

(1) 世界最高速プロセッサ

後述する最新の半導体・実装技術および論理方式技術の採用により、命令プロセッサ当たりでは現行M-880の約2倍の性能を持つ世界最高速クラスを実現した。

(2) 設備仕様の大幅改善

半導体・実装技術に加えて、DC-DCコンバータ方式の小型高効率電源などを開発することにより、導入の際の設備仕様では、現行M-880に比べて同一性能当たりの設置面積および電力で $\frac{1}{4}$ から $\frac{1}{6}$ と大幅に改善した。

(3) 信頼性・可用性の向上

ハードウェア共通部の信頼性を向上するために、マルチビットエラー訂正機能や交代メモリチップ機能による主記憶装置の信頼性向上、電源部や冷却部の冗長化による信頼性向上を図っている。

さらに、ハードウェア故障が万一発生してもシステムを停止させないで、故障した部品を稼動中に交換する稼動時保守機能などを充実し、可用性の向上を図っている。

(4) パラレル実行による処理高速化

ジョブを分割して並列実行することによって実行時間を短縮するバッチパラレルや、データベースに対する入出力処理を並列実行して入出力時間を短縮するデータベースパラレルなど、1CPNでもパラレル処理のメリットを享受できる機能を充実した。また、HCCFと接続するためのシステム結合チャンネルをはじめ、パラレルシステムタイマ接続機構、および統合コンソール接続機構を準備

してCPN間パラレル処理も可能にした。

(5) 柔軟な運用形態

2系統のSC(System Control:システム制御装置)を持つプロセッサを、物理的に独立した2台のプロセッサシステムとして分割稼動するセパレートシステムモード運転をはじめ、1台のプロセッサで複数のオペレーティングシステムが稼動する環境を実現するPRMF(Processor Resource Management Feature:プロセッサ資源分割管理機構)などを持っている。PRMFを用いることにより、システム全体で使用できる主記憶容量を2Gバイト以上にできるアドレス拡張機能を新規にサポートし、複数システムの統合をより容易にした。

また、入出力装置の増設時のシステム停止を不要とするDRF(Dynamic Restructuring Facility:動的再構成機能)により、システム拡張時のシステム停止を最小限に抑えることができる。さらに、システム稼動中のマイクロコード組込み機能をサポートしており、この面でもシステム停止の回数を削減した。

3.2 半導体・実装技術

日立製作所独自のACE[Advanced CMOS-ECL(Emitter Coupled Logic)]テクノロジーを用いて、超高速バイポーラECLと高集積CMOS回路を融合した、超高速・高集積・低電力のバイポーラ・CMOS融合LSIを開発した。高い信頼度実績のある高密度モジュールに搭載して、命令プロセッサを1モジュールで実現した。

半導体技術の特徴をM-880と比較して表1に示す。

これらのLSIでは、超高速性を必要とする論理部にはバイポーラ回路を、RAM部や高速性を必要としない論理部分にはCMOS回路を使用しており、これによってシステム全体の消費電力の低減を図った。

MS(Main Storage:主記憶)・ES(Extended Storage:拡張記憶)から成る記憶装置の制御回路には、60万ゲートのCMOS LSIを採用した。さらに、高集積のDRAM記憶素子を採用し、このDRAMを12個搭載したメモリカード72枚と、制御回路を搭載したメモリパッケージ4枚で、SC当たり最大6Gバイトの記憶装置をコンパクトに実現した。

また、この記憶装置と最大6個の高密度モジュールで構成する4ウェイまでのプロセッサを、1枚の38層大型プラッタ上に搭載した。さらに、その背面には信号ケーブル用コネクタや小型で高効率の電源を命令プロセッサ単位に集約配置し、命令プロセッサ単位の稼動時保守を可能にした(図2参照)。

表1 MP5800の半導体技術

MP5800に採用したACEテクノロジーは、超高速バイポーラECLと高集積CMOS回路を融合することにより、高速性と低消費電力を両立している。

半導体技術	MP5800	M-880
超高速論理LSI	ACE	バイポーラ
集積度(ゲート)	120 k	12 k
回路遅れ(ps)	40	70
ピン数	2,255	528
LSIパッケージ	マイクロキャリア	マイクロキャリア
RAM内蔵超高速論理LSI	ACE	バイポーラ
RAM集積度(ビット)	最大2.3 M	64 k, 512 k
ゲート集積度(ゲート)	50 k(RAM2.3 M時)	2 k, 1 k
RAMアクセス時間(ns)	1	1.6, 5
ピン数	2,255	528
LSIパッケージ	マイクロキャリア	マイクロキャリア
超高集積CMOS LSI	CMOS	CMOS
集積度(ゲート)	600 k	80 k
回路遅れ(ps)	160	300
LSIパッケージ	1,019ピンPGA	240ピンPGA

注:略語説明 PGA(Pin Grid Array)

3.3 論理方式技術

システム性能の向上はアーキテクチャとシングルプロセッサ性能の向上によって達成される。

アーキテクチャについては、システムの大規模化、プロセッサの高性能化に対応し、システムの高い処理能力

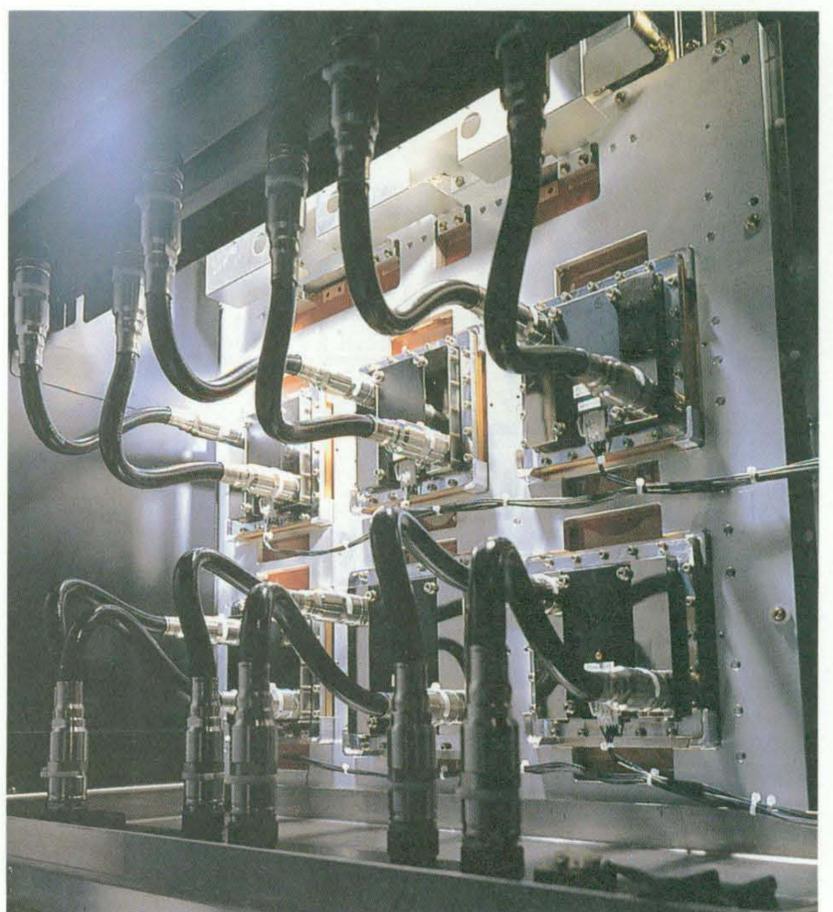


図2 MP5800の実装構造

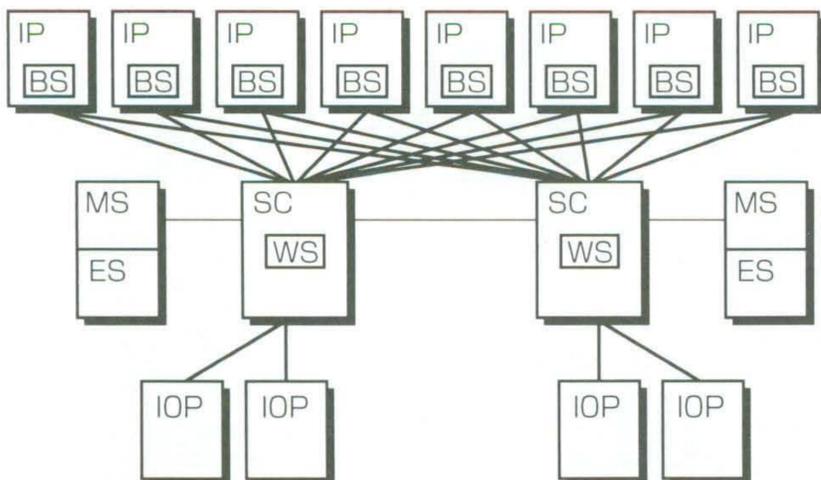
大型プラッタ(プリント基板)上に4ウェイまでのマルチプロセッサと主記憶装置を搭載している。

を十分に発揮させるように継続的な改善を図っている。

MP5800では、拡張アドレッシング、拡張チャンネルシステム、データ空間などの機能を持つM/ASA(M Series/Advanced System Architecture)やIDP(Integrated Database Processor：内蔵型データベースプロセッサ)に加え、データ圧縮機構を新たにハードウェアでサポートした。データ圧縮機構はプロセッサで取り扱うデータの圧縮・伸長処理を専用命令で行い、DASD(Direct Access Storage Device)の容量削減とともに、読み書きの時間やデータ転送時間を短縮する。

シングルプロセッサの性能向上は、マシンサイクル時間の短縮と、命令当たりのマシンサイクル数の低減によって達成される。マシンサイクル時間の短縮は、主として先に述べた半導体・実装技術を用いた素子等の高速化によって実現した。マシンサイクル数の低減は、演算を並列処理する演算パイプラインなどに加え、比較命令と分岐命令等の実際的なプログラムで頻繁に出現する二つの命令を同時に切り出して実行するスーパースカラ方式を新たに採用するなど、主として論理方式技術の改善によって達成した。

マルチプロセッサにはこれまで実績のある3階層記憶方式を採用し、これをさらに改善して性能向上を図っている。MP5800/820の論理構成を図3に示す。各IP(Instruction Processor：命令プロセッサ)から2台のSCに、それぞれ独立にデータバスを接続する構成にし、プロセッサ台数を増やした場合のSC間でのデータ競合を少なくすることにより、マルチプロセッサ性能を向上



注：略語説明

IP(Instruction Processor), BS(Buffer Storage)
MS(Main Storage), SC(System Control)
ES(Extended Storage), WS(Work Storage)
IOP(Input-Output Processor)

図3 MP5800/820の論理構成

8台までのマルチプロセッサ構成が可能であり、3階層記憶制御方式を採用して性能を向上させている。

させた。

4 MP5600プロセッサの概要

4.1 特徴

MP5600はMパラレルシリーズの中位に位置づけられ、高性能プロセッサを搭載したコンパクトなワンボックスシステムである。その特徴について以下に述べる。

(1) 高速なCMOS Mシリーズプロセッサ

超高集積のCMOS LSIを採用し、1個のマルチプロセッサモジュールと主記憶装置を搭載した1枚のプロセッサボードにより、コンパクトで高性能なプロセッサを実現した。マルチプロセッサモジュールに最大8台のIPを実装することにより、高性能化と小型化を同時に実現するバランスのとれたシステムとしている(図4参照)。

(2) 設備仕様の大幅改善

CMOS LSIと高密度の実装モジュールを採用したほか、小型・高出力のモジュール電源などの採用により、MP5600では現行機M-860と比較して同一性能当たりの床面積で最大85%、電力で最大90%の省スペース、省エネルギーを実現した。

(3) 信頼性・可用性の向上

MP5800と同様に主記憶装置の信頼性向上と、電源部および冷却部の冗長化による信頼性向上を図った。

(4) パラレル実行による処理高速化

MP5800と同様、MP5600でもバッチパラレル、データベースパラレルをサポートするほか、高速結合装置を介したCPN間パラレル処理を可能とした。

(5) 運用性

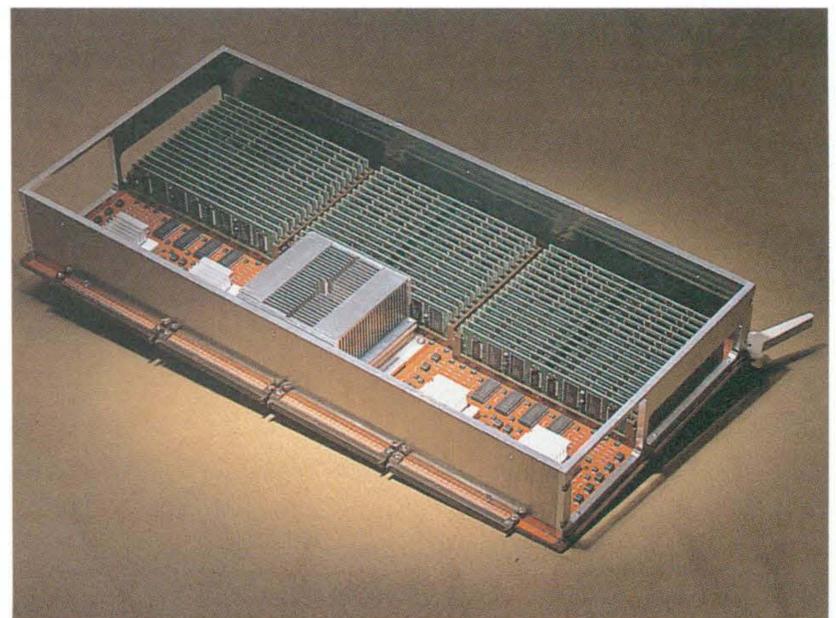


図4 MP5600プロセッサボード(モデル120~310)

ワンボードに最大3台の命令プロセッサと最大4Gバイトの記憶装置を搭載し、コンパクトで高性能なプロセッサを実現している。

MP5800と同様にPRMF, DRF, システム稼動中のマイクロコード組込み機能をサポートして運用性を向上させた。

(6) オープンシステム連携

内蔵LANアダプタによるイーサネット^{※1)}接続とFDDI(Fiber Distributed Data Interface)接続を可能としており, パソコンやワークステーションに対するサーバとしても使用できる。

4.2 半導体・実装技術

MP5600では, 超大型機で培ってきた半導体技術と実装技術を多数採用することにより, 高性能で高信頼性を持つ製品としている。

その一つは多ピンのCMOS LSI技術を用いたメモリ制御LSIの採用であり, これはメモリスループットを大きく向上させている。また, ムライトセラミックス基板(モデル120~310)およびガラスセラミックス基板(モデル410~810)を採用することにより, ワンモジュールマルチプロセッサを実現した。

また, 小型で高性能なモジュール電源を採用し, これをワンボードに並べた電源カードとして実装することによって省スペースを実現した。

4.3 論理方式技術

MP5600の論理構成を図5に示す。システム性能向上のために次の技術を採用している。

(1) アーキテクチャ

M/ASAに加えてMP5800と同様にハードウェアによるデータ圧縮機構を新たにサポートした。また, 動作するオペレーティングシステムとしてVOS3/FS(Virtual

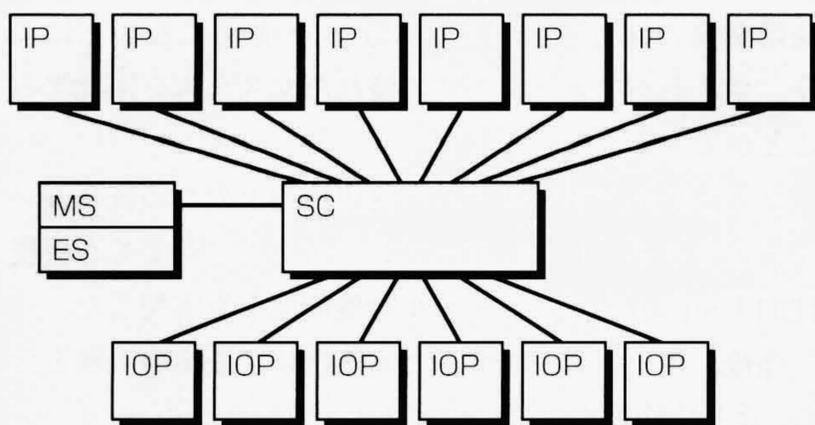


図5 MP5600/810の論理構成

8台までのマルチプロセッサが1台のSCを介して記憶装置を共有し, また最大6台の入出力プロセッサによって入出力性能を大幅に強化している。

※1) イーサネットは, 富士ゼロックス株式会社の商品名称である。

Storage Operating System 3/FOREFRONT System Product)のほか, VOS1/FSをサポートすることによって幅広い要求にこたえることができる。

(2) IOP

IOP(入出力プロセッサ)は最大6台で256チャンネルまで接続可能であり, 世界最高レベルの入出力性能を持つ。

(3) 内蔵LANアダプタ

MP5600では, オープンシステムへの接続性を考慮して, 内蔵LANアダプタを採用した。このアダプタはTCP/IP(Transmission Control Protocol/Internet Protocol)処理をプロセッサからオフロードし, 100 Mビット/sのFDDIを1ポート接続, またはイーサネットを3ポート接続できる。

(4) RDB(Relational Database)パラレル機構

VOS1/FS使用時には, RDB処理のトータルスループットを向上するRDBパラレルを利用することができる。

以上に述べたように, MP5600は高性能でかつコンパクトなプロセッサである。

5 パラレルシステムの概要

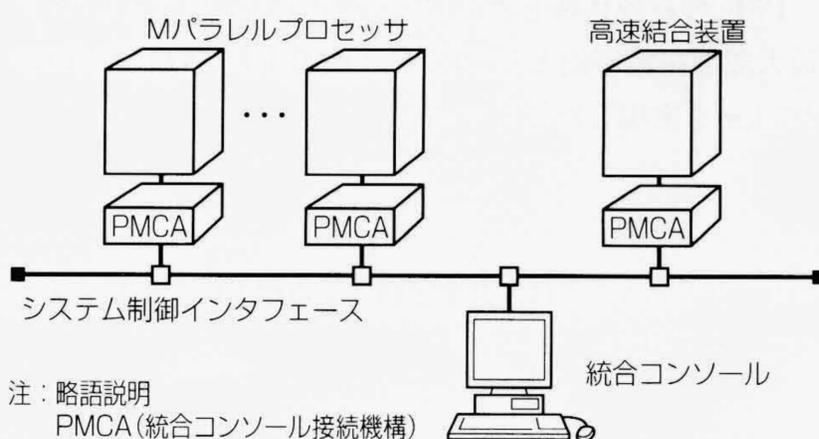
5.1 高速結合機構

H-6710高速結合装置に搭載する高速結合機構は, 複数CPN間の並列処理の高速制御を行ってMパラレル機能を実現する。詳細は本特集号の別論文に述べる。

5.2 統合コンソール(PMC)

PMC(Processor Management Console)は複数のCPNを高速結合装置も含めた構成でシステム制御インタフェースに接続し, MCD(Management Console Device)を束ねて単一システムイメージの操作と監視を実現する装置である。

各CPNがPMC接続機構を通じてPMCに接続される



注: 略語説明

PMCA(統合コンソール接続機構)

図6 統合コンソール(PMC)の接続構成

統合コンソールは, Mパラレルプロセッサと高速結合装置を含むMパラレルシステム全体を単一システムイメージで操作可能とする。

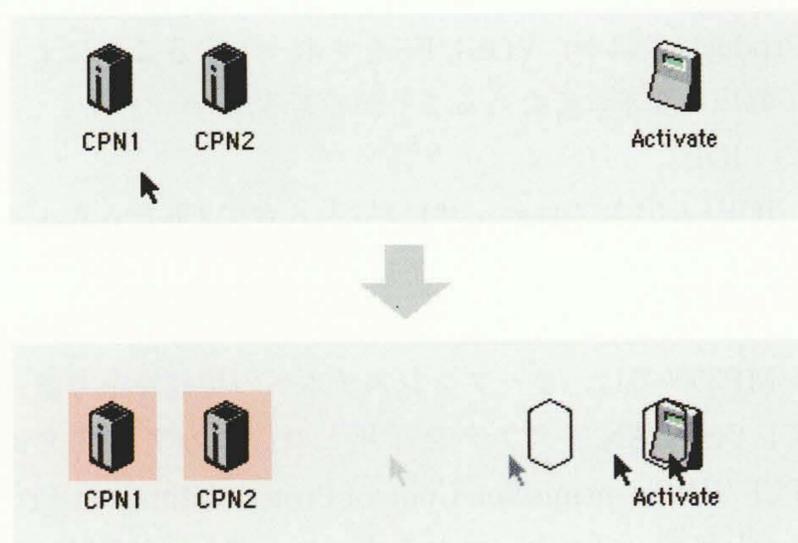


図7 複数のCPNの一括操作例

CPN1とCPN2を一括して起動する。マウスでCPN1とCPN2のアイコンを選び、Activateに重ねることによって起動することができる。

構成を図6に示す。

(1) 特長

PMCはCPNごとにあるMCDの統合によって複数CPNの一括起動・停止とCPN個別のハードウェア操作・監視、およびCPNの選択によるOS(Operating System)コンソール操作を実現する。さらに、GUI(Graphical User Interface)化と画面上でのCPNグループを作って操作性の向上を図った。

(2) GUIによる操作性の向上

CPNを電源投入からイニシャルプログラムロードまで一括処理する場合の操作例を図7に示す。“Activate(アクティベート)”は、電源投入からイニシャルプログラムロードまでの処理を指示する“TASK(タスク)”である。最初に制御対象のCPN1, CPN2をマウスでクリックしてドラッグした後、“Activate”に重ねてドロップすることによってCPN1, CPN2の一括処理を可能にする。

(3) 接続仕様

PMCの接続仕様を表2に示す。特長は、異なるCPNを最大32個接続可能とし、CPNとPMC間の接続可能距離2.5 kmを実現したことである。

※2) テレホンJJYは、公衆回線による標準時刻供給システムである。

表2 PMCの接続仕様

PMCは最大2.5 kmまでの範囲でMパラレルシリーズプロセッサに接続する。

項目	サポート仕様	備考	
プロセッサ	機種	<ul style="list-style-type: none"> MP 5800 MP 5600 H-6710 高速結合装置 	全機種, PMC接続機構(オプション)が必要
	接続数	1 ~ 32	—
PRMF	MP 5800 / 5600	—	
サポート OS	VOS 3 / FS	—	
システム制御インタフェース	種別	制御専用インタフェース	他のネットワークとの併用不可
	接続可能距離	プロセッサ-PMC間 最大 2.5 km	500 mを超える場合はリピータが必要
PMC接続数	1 ~ 2	システム制御インタフェースに接続可能な数	

5.3 パラレル システム タイマ

パラレル システム タイマは、パラレルシステム内の全CPNのタイマを高い精度で一致させる機能と、テレホンJJY^{※2)}から得た外部の高精度の時刻情報からシステムのタイマ値を絶対時刻に合わせる機能から成る。その特長は、(1) マイクロ秒単位の高い時刻一致精度、(2) 外部時刻入力による自動時刻調整機能を持ち、(3) 二重化による高信頼化、(4) 最大 3 kmまでの遠隔配置が可能なことである。

6 おわりに

Mパラレル シリーズ プロセッサは、水平拡張性と垂直拡張性の両方のニーズにこたえるために開発した新世代のプロセッサシリーズである。各機種の特長に応じて適用業務の性質に合ったシステムを構成することにより、コストパフォーマンスの優れたシステムを実現することができる。

また、複合CPNシステムの運用性向上のため統合コンソールをサポートし、オープンシステムに対しても接続性向上を図るなど、トータルな機能向上を実現した。

今後、オープンシステムとの連携による業務処理を含む、より広範囲な接続性の実現と、Mパラレル シリーズプロセッサのいっそうの機能の改善を図っていく考えである。

参考文献

- 1) 安部, 外: 新世代大型コンピュータ Mパラレルシリーズの開発, 日立評論, 77, 5, 371~374(平7-5)