

三次元描画性能の高度化を支える画像メモリ

Graphic Memories

木崎 健*

Takeshi Kizaki

柳沢一正*

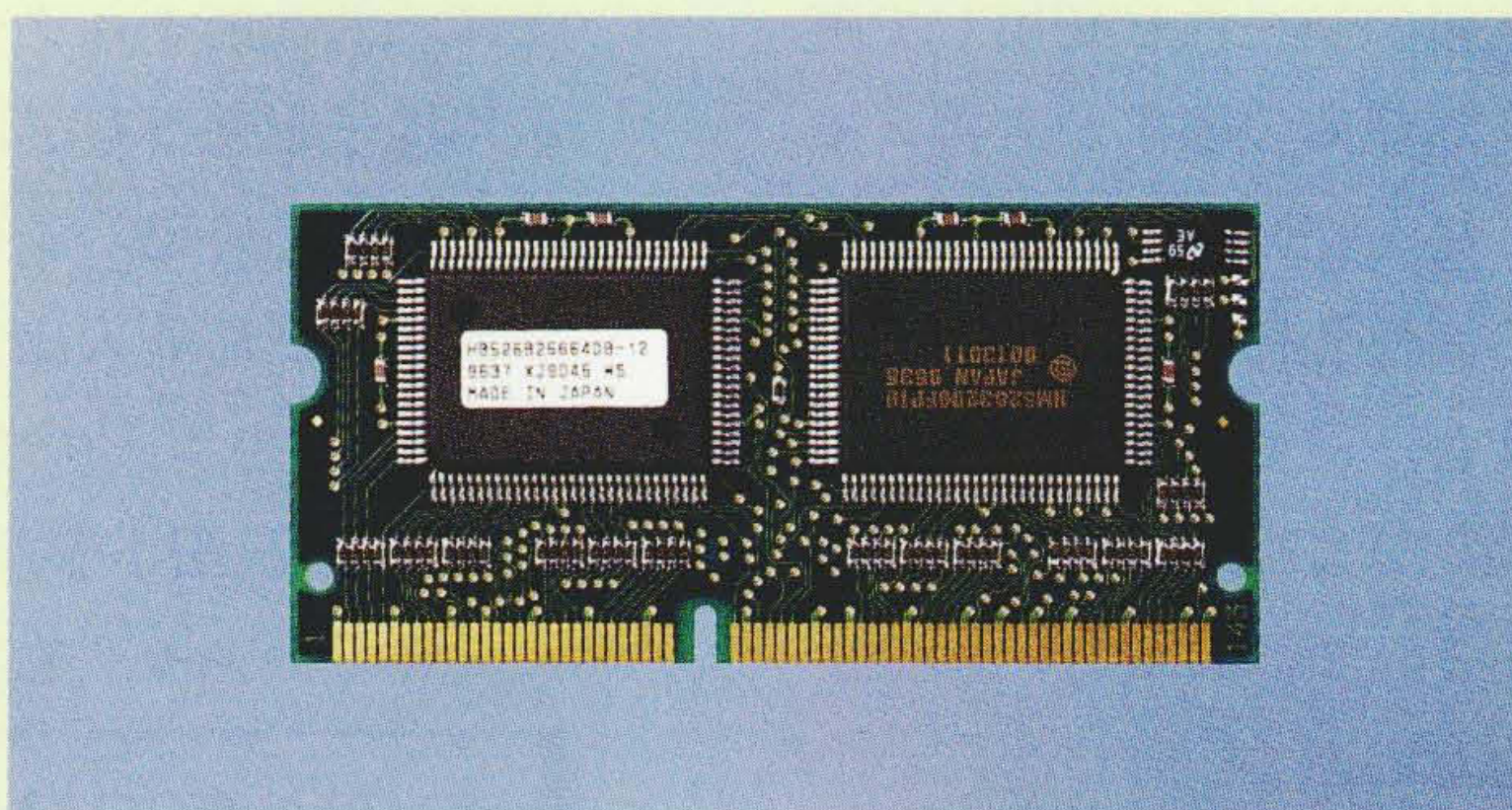
Kazumasa Yanagisawa

渡部隆夫**

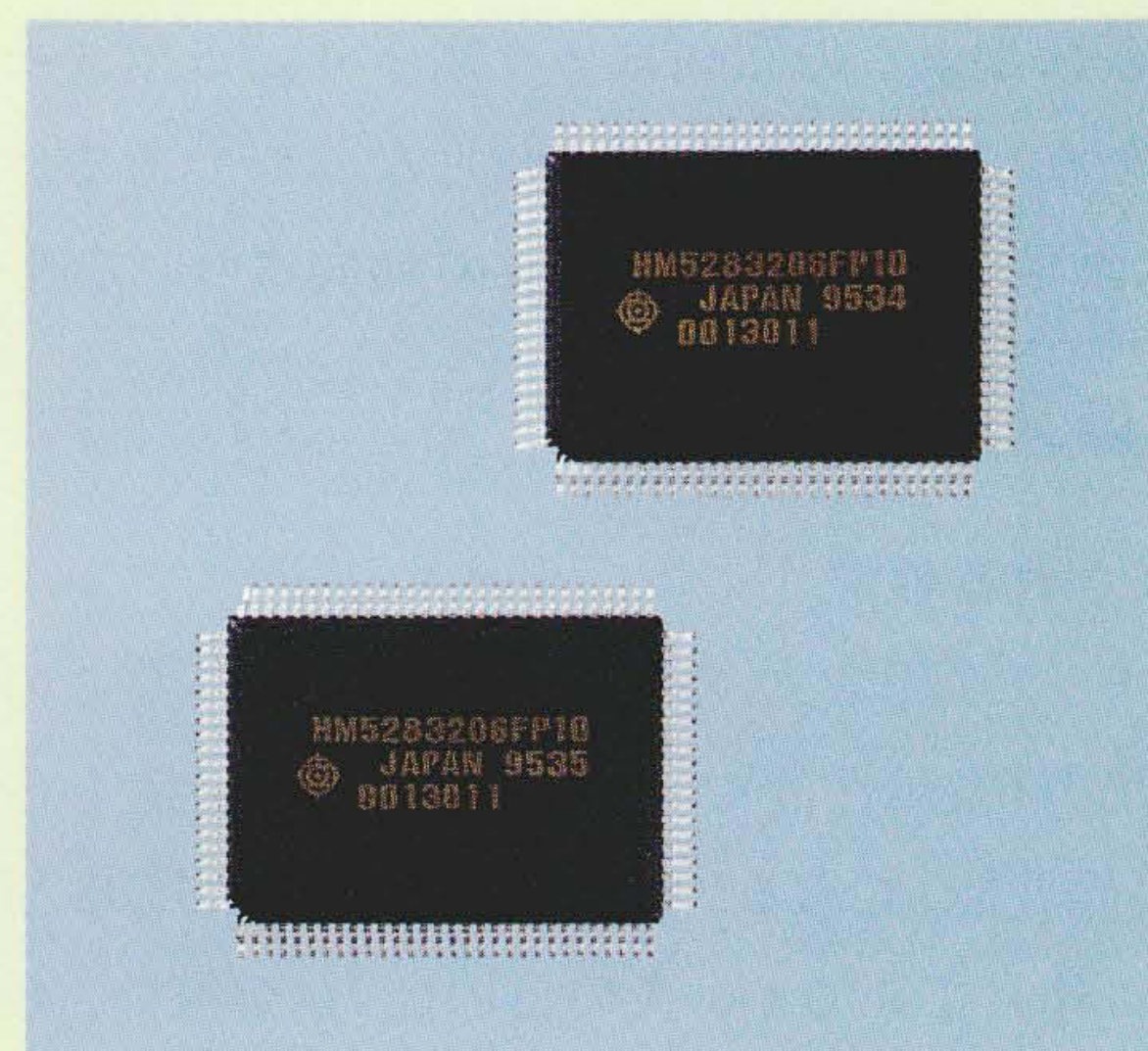
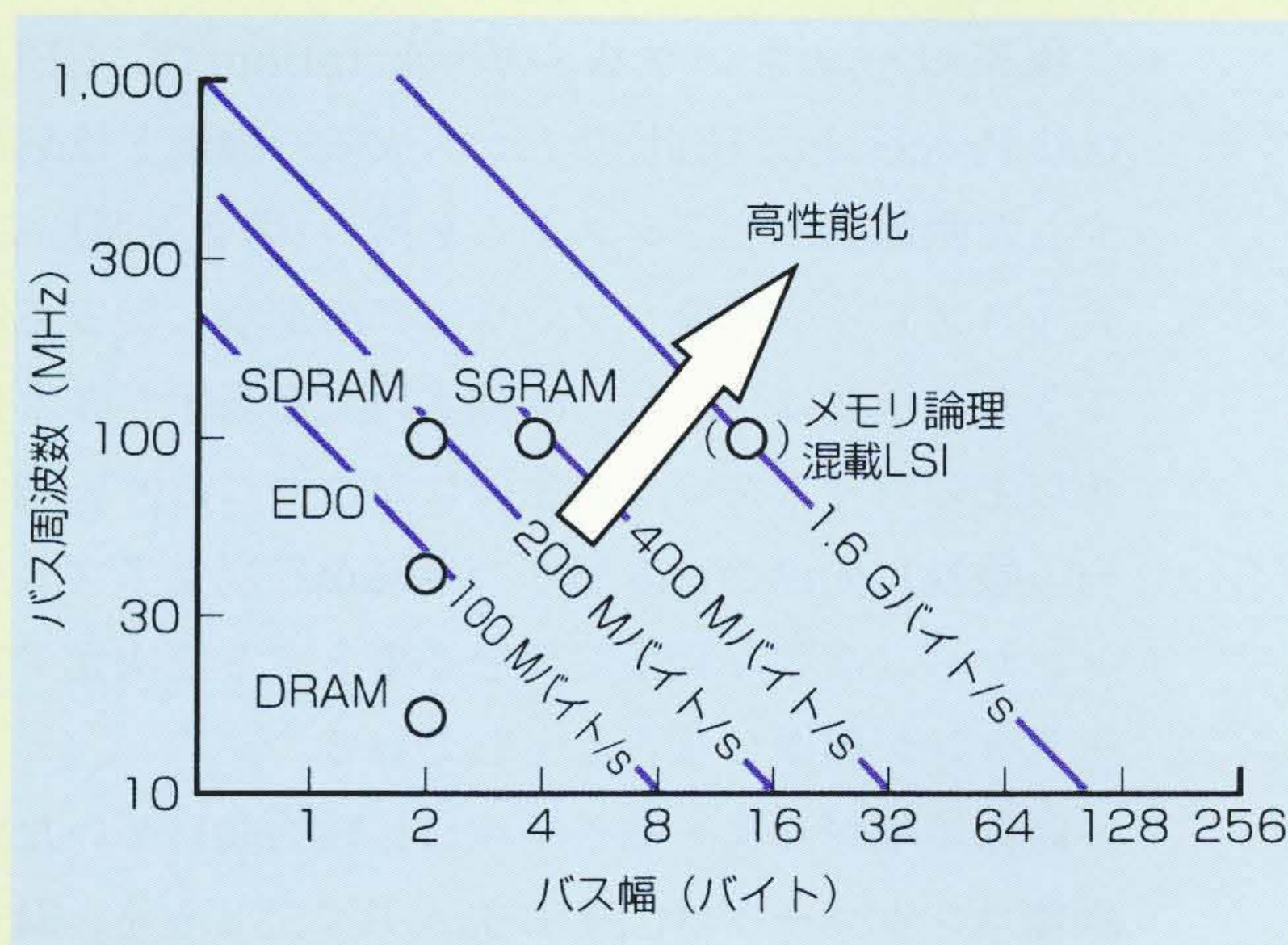
Takao Watanabe

斉木陽造***

Yôzô Saiki



パソコンやワークステーションの画像表示サブシステムに使われる画像メモリモジュール「144ピン SODIMM」



画像メモリ “8M SGRAM”

注：略語説明

SDRAM (Synchronous Dynamic Random Access Memory), SGRAM (Synchronous Graphic RAM), EDO (Extended Data Output)
SODIMM (Small Outline Dual Inline Memory Module)

画像メモリに対する高性能化の要求とこのニーズにこたえる8M SGRAM

高データ転送レートへの要求はますます強まる。このニーズには、EDO→SDRAM・SGRAM→メモリ論理混載LSIでこたえていく。

インターネット、ビデオオンデマンドなど、通信と画像を融合した新たな市場が立ち上がりつつある。通信技術がこれらビジネスの起爆剤であることは疑いないが、圧縮・伸張技術に見られるように、画像関連技術の発展もこれを支える技術として見落とすことはできない。

画像処理の最終目標は自然な絵(三次元動画)であり、これに向けて技術革新が進んでいる。

日立製作所は、画像メモリとして現在までにVRAM (Video RAM), EDODRAM, SDRAMを製品化してきた。現在、SDRAMをベースにさらに高速化し、機能を追加したSGRAMを量産中である。また、さらに高い性能を必要とする次世代の超高速画像分野対応として、DRAM論理混載LSIを開発中である。

1. はじめに

人間は外から受ける情報の多くを視覚に依存しており、視覚に直接訴える画像機器の高性能化が要求されている。この要求を充足するためには、高性能画像メモリが必要である。

主記憶用の汎用メモリは、情報の局在性を利用して階層化することが一般的であり、処理部の要求が直接メモリには伝わりにくい。しかし、局在性の低い画像分野は階層化が困難であり、処理部の高性能化に伴ってメモリを高性能化する必要がある。また、汎用メモリは制御部の高性能化(メモリの高性能化要求)に従い、処理対象も大型化してメモリ容量が増大する。これに対し、画像メモリの容量増加のペースは緩やかである。

以上のことから、画像用途に使われるメモリは汎用メモリと異なり、同一記憶容量に対して高いデータ転送性能が要求される。この傾向は年々高まり、汎用メモリで画像分野をカバーすることが困難となりつつある。

ここでは画像メモリの現状と今後の動向について述べる。

2. 画像メモリ

2.1 要求される性能

画像メモリには、二つの役割がある。CRTなどの表示装置への出力(表示性能)、および画像処理装置とのデータ授受(描画性能)である。表示性能は、現状で200 Mバイト/s程度に達しているが、人の目の能力(分解能、残像時間など)には限界があり、性能要求も飽和しつつある。

一方、描画性能要求は上昇の一途である。当初文字ベースだった画像表現は、二次元静止画を経て、現在は自

然画・動画に発展している。将来はさらに三次元処理に進化するために性能の向上が必要である。

2.2 開発指針

システム構成の多様化に伴い、描画および表示に対するデータ転送性能配分も多様化している。従来主流だったVRAMは、表示・描画に別々の端子を持っており、例えば、低性能モニタへの画像表示にも能力を余らせて表示用端子を使うなど、データ転送性能分配に関する融通性を欠いていた。これに対応するには、表示・描画共通で使える高性能入出力端子を持つ画像専用メモリが有効である。このニーズにこたえて、日立製作所はSGRAMを製品化した(図1参照)。また、いっそうの高性能な用途に向けて、メモリ論理混載チップを開発している。

3. 8M SGRAMの概要

3.1 開発の背景

現在のパソコンやWS(Workstation)は、CPU(Central Processing Unit)などから成る心臓部とは別に、独立した画像表示サブシステムを持つ(図2参照)。これは、ディスプレイや画像ソフトウェアの進歩に従って進展してきた。現在は1,024×768画素以上を表示できる17インチ以上のディスプレイが主流になりつつあり、また、ゲーム機器に先導される形で、単純な二次元アプリケーションから、高度な画像処理を必要とする三次元アプリケーションが標準になろうとしている。

画像処理が高速・並列処理に比較的向いていたため、画像コントローラはCPUに先んじて32ビット、64ビットと多ビット化し、現在64ビット処理のコントローラが標準になってきている。また、コントローラの動作周波数

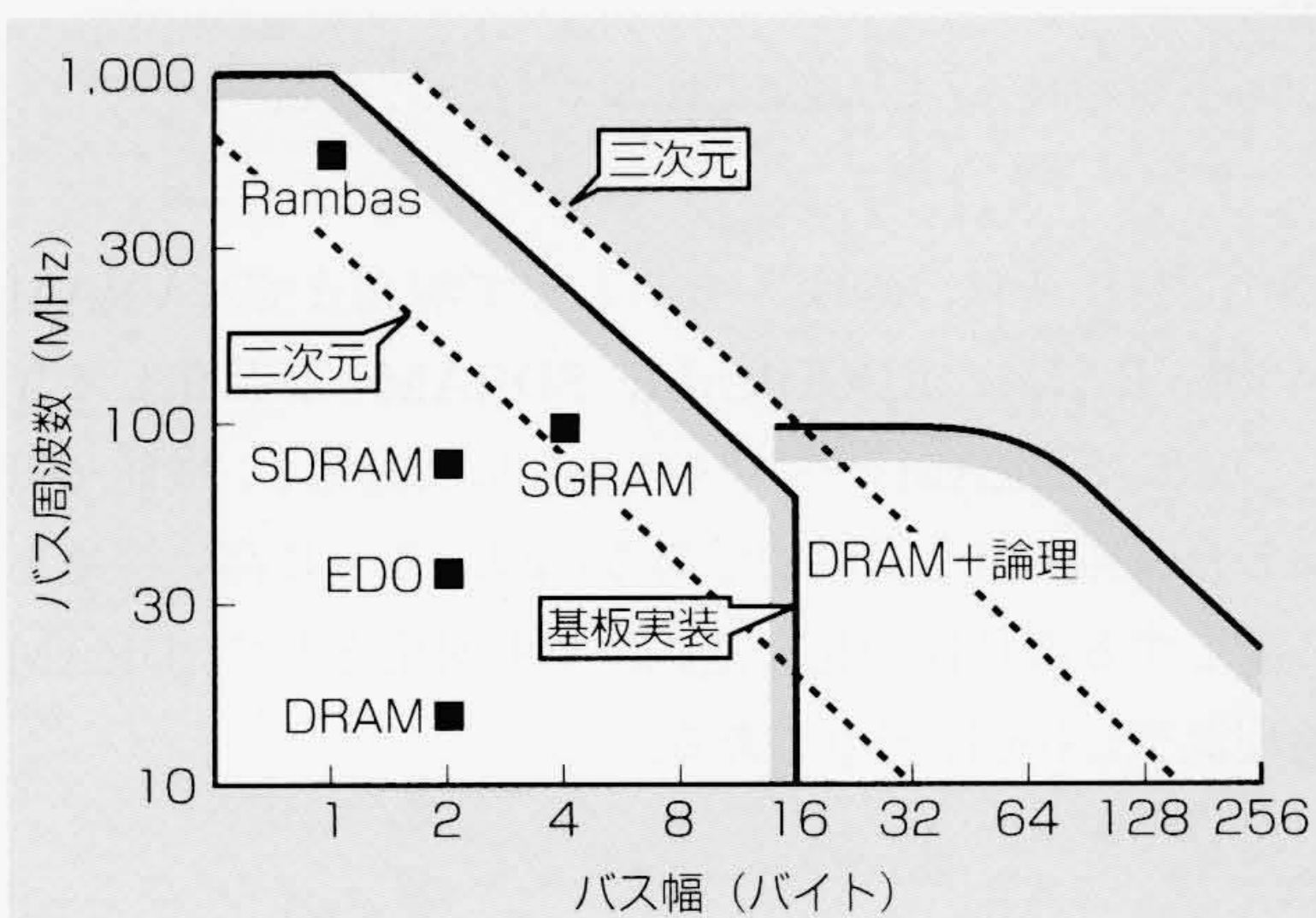


図1 画像サブシステムの要求

画像用メモリ高性能化のため、バス幅の拡大および周波数向上を図っている。三次元応用には高い周波数が必要とされる。

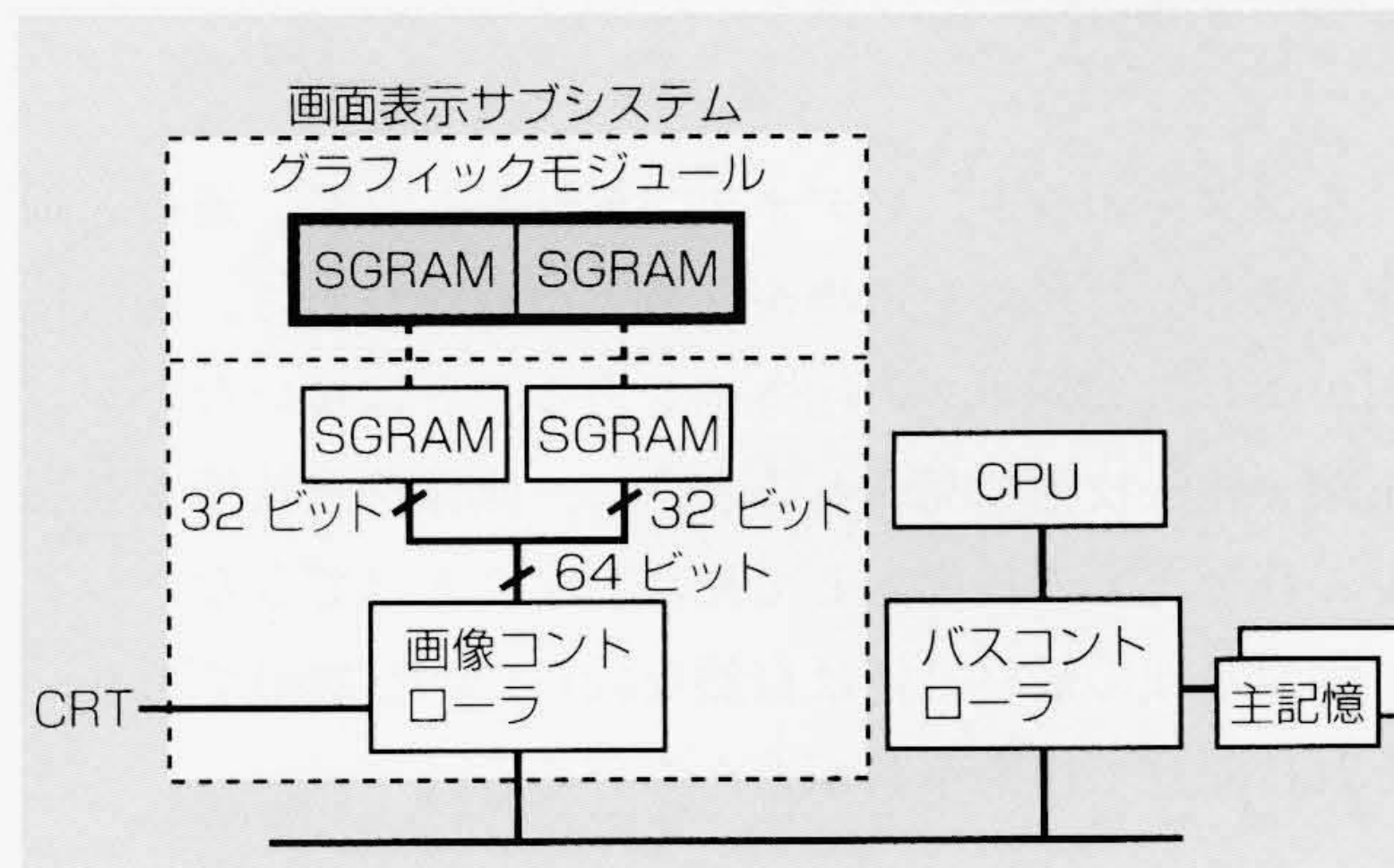


図2 パソコンのブロックダイアグラム

64ビットの画像コントローラに直結してパソコンの画像表示部を構成する。容量の拡大用モジュールも開発している。

は66 MHzを超えて100 MHzに到達しようとしている。

8M SGRAMの開発の目的は、これらの画像表示サブシステムに最適な画像メモリを提供することにある。

3.2 製品の概要

SGRAMはSDRAMを基本に開発した。I/O(Input-Output)を16ビットから32ビット構成へ拡張し、100 MHzの動作で最大400 Mバイト/sのデータ転送が可能である。また、画像機能(ブロックライト、マスクライト)を新たに組み込んだ。

現在標準的構成である、バス幅64ビット容量2 Mバイトの画像サブシステムには、8M SGRAM 2個で対応できる。また、画像メモリモジュール(8M SGRAM, 4M SDRAM搭載SODIMM)により、メモリ容量拡大が図れる(図2参照)。

3.3 高性能画像処理機能

SGRAMで新たに追加されたDSF(Define Special Function)端子を制御することにより、画像機能が活性化できる。このため、SDRAMをサポートするコントローラへ、SGRAM固有の画像機能が容易に追加できる。DSF端子を接地すれば、32ビット構成のSDRAMとして使える。

3.3.1 ブロックライト機能

あらかじめ内部のカラーレジスタに書き込んだデータを用いて、8カラムまとめて書き込む機能であり、画面背景の塗りつぶしに有効である。ブロックライトを有効に活用することにより、二次元アプリケーションで約2

倍の性能を得ることができる。

3.3.2 マスクライト機能

あらかじめ内部のマスクレジスタに設定されたデータを用いてI/Oごとにデータの書き込みを禁止し、先に書き込まれたデータを保護する。ブロックライトと組み合わせることにより、簡単なパタンの描画や画面の色変換などができる。

3.4 三次元アプリケーションでの2バンクの有効性

三次元のアプリケーションでは、表示中の画像をフレームバッファからコントローラに読み出し、処理後のデータを書き戻す処理を繰り返す。SGRAM(SDRAM)では、内部に二つの独立なバンクを持つため、図3に示すようにCRTへの表示データを保存する領域(フレーム0)と三次元画像処理のための作業領域(フレーム1)を異なるバンクに置くことができる。

フレーム0, 1に交互にアクセスすることで、プリチャージによるサイクルロス(効率低下)が最低限に抑えられ、1回のバースト動作を8ワードにすれば、プリチャージによるサイクルロスをなくすこともできる。

画像メモリは、主記憶に比べて一般に小容量($\frac{1}{10}$ 程度)でデバイス数が少なく、系統的に複数のバンクを持たせることは困難である。このため、従来はバスサイクルのロスを減らすため、1ページ256ワード×32ビットを2分割するなどの複雑(システム設計の負担が大)な構成が必要であった。これを解消できるSGRAMはきわめて有効なメモリである。

3.5 次世代の展望

今後、画像サブシステムの性能を上げるため、150 MHz以上の動作周波数の向上が必須となる。また、バスの効率向上は動作周波数の向上にも増して重要な課題であり、独立バンク数(現状は2)増加や、リード・ライトレイテンシの最適化が重要である。

1,024×768画素で16ビットカラー対応の三次元グラフィックチップは1年以内に市場に現れると考えられ、標準的なフレームバッファの容量も2 Mバイトから4 Mバイトに増加すると思われる。今後、これらのニーズにこたえるため、32ビット構成16 M SGRAMを製品化する考えである。

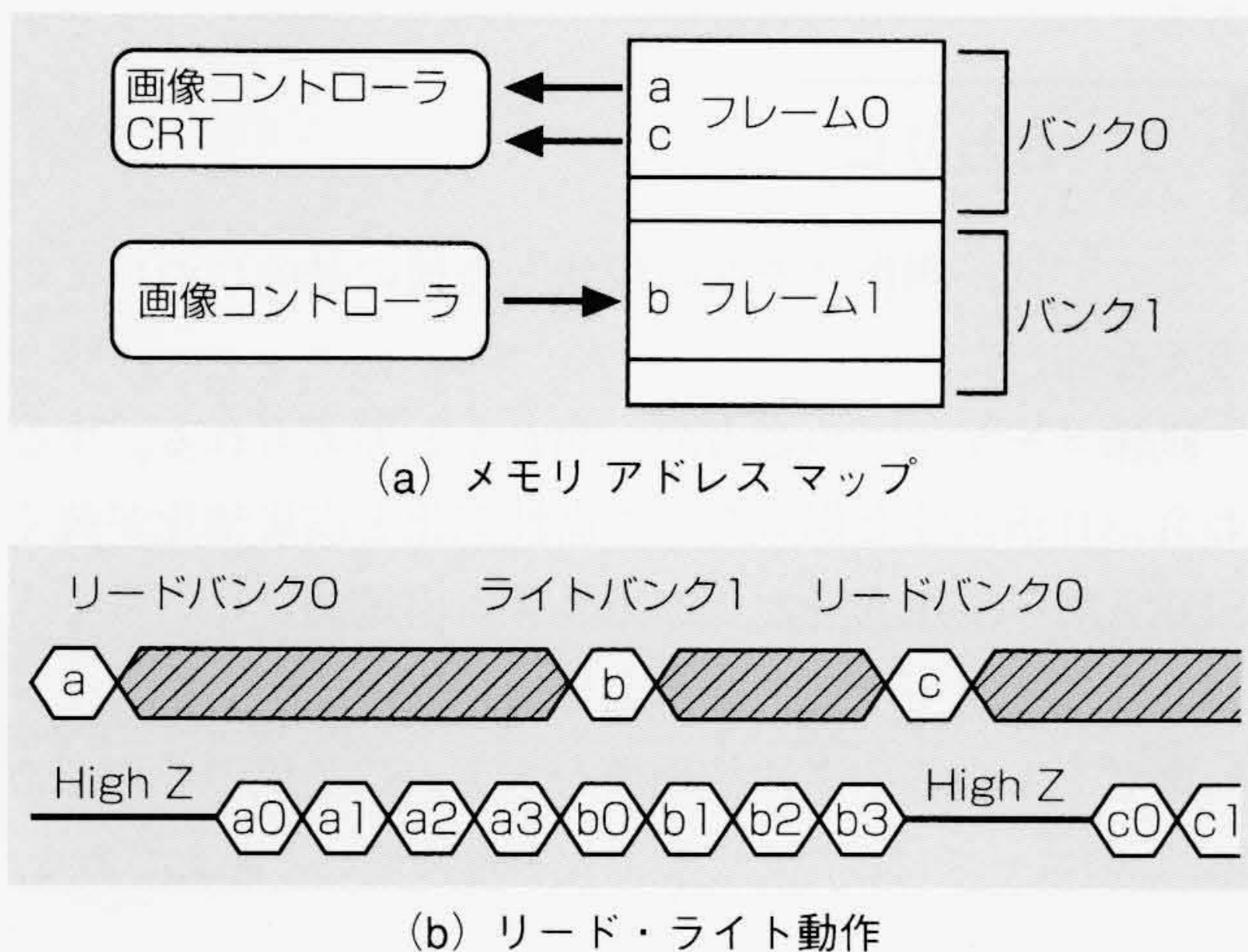


図3 2バンク構成の有効性

三次元画像表示サブシステムをSGRAMで構成した場合のメモリアドレスマップを(a)に示す。SGRAMでは、リードとライトの切り替えを最小のサイクルロスで実行する。従来のDRAMでは、リードとライトの間にプリチャージの期間が必ず入るためにバスの使用効率が下がる[(b)参照]。

4. DRAMと論理回路の混載技術

21世紀の画像用メモリには、チップ当たり数ギガ(10の9乗)バイト/秒のデータ転送性能と数メガバイトの容量が要求されると予想される。パッケージの入出力ピンを

通じてデータをやり取りする通常の方式では、入出力ピン数の増加や動作周波数の向上に限度があり、1 Gバイト/sを容易には超えられない。これに対し、大容量に対応できるDRAMと論理回路を同一の半導体チップ上に集積して内部配線で結合すれば、高いデータ転送速度が実現できる。

しかし、このようなチップに対する仕様はさまざまなため、従来のDRAM技術の単純な流用で高性能かつタイムリーな開発を達成することは困難であった。そこで日立製作所は、高性能のDRAM論理混載チップを短期間に設計するための、DRAMマクロの開発を進めている。

DRAMマクロの評価用に0.4ミクロンCMOS(Complementary Metal-Oxide Semiconductor)技術を用いて試作した三次元コンピュータグラフィックス用実験チップを図4に示す。実験チップは、約122 mm²の中に2 MビットのDRAMマクロと描画処理用の演算回路を、おのおの四つ集積したものであり、描画を高速に処理することができる。

図4に示すようにDRAMマクロはメモリバンク部、およびそれを制御する制御部の二つの部品で構成している。メモリバンク部は一つ当たり256 kビットの容量を持ち、1制御部当たり八つまで接続することが可能である。

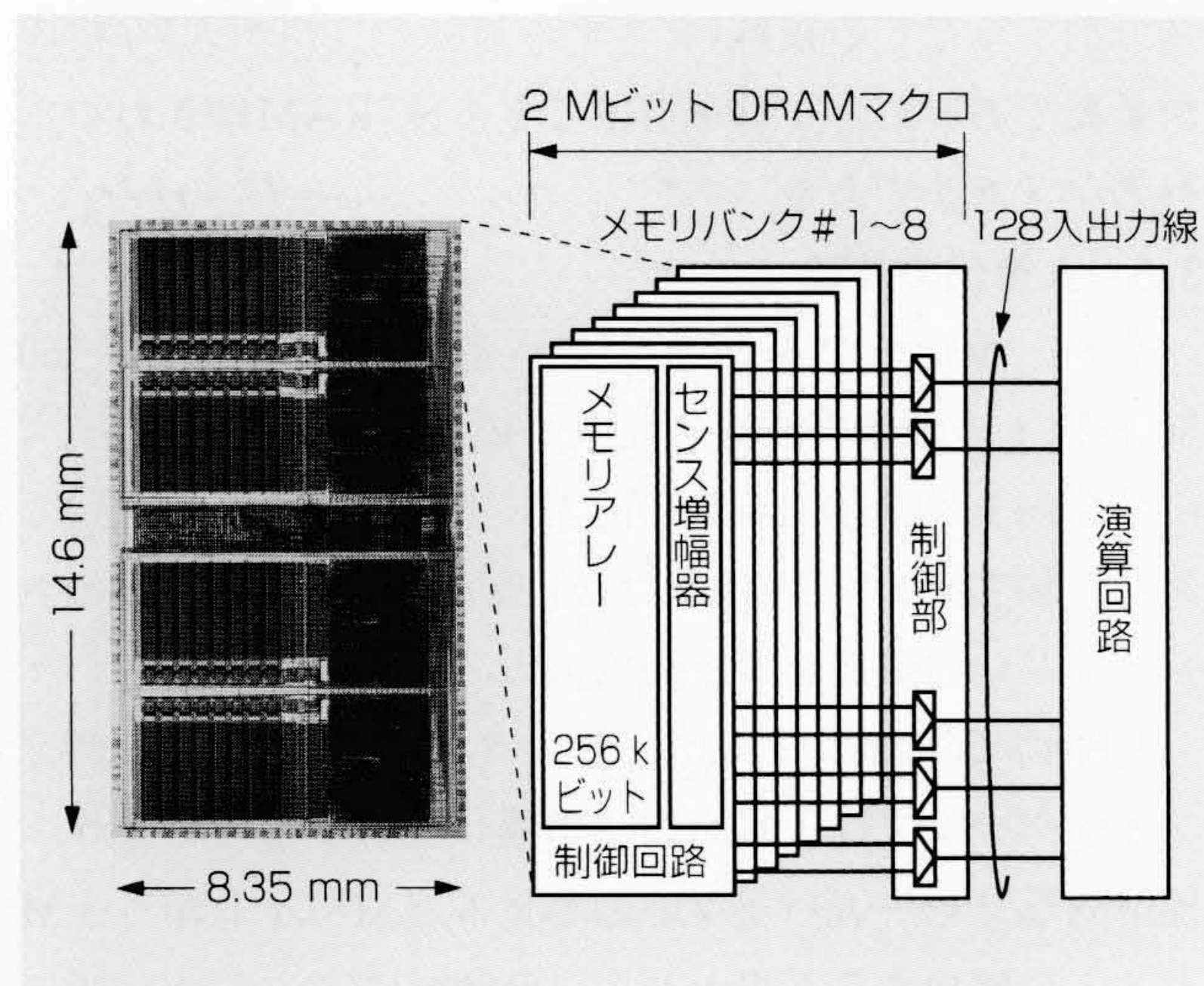


図4 実験チップの構成

8MビットのDRAMと描画処理用演算回路を四つ集積した三次元コンピュータグラフィックス用チップの構成を示す。

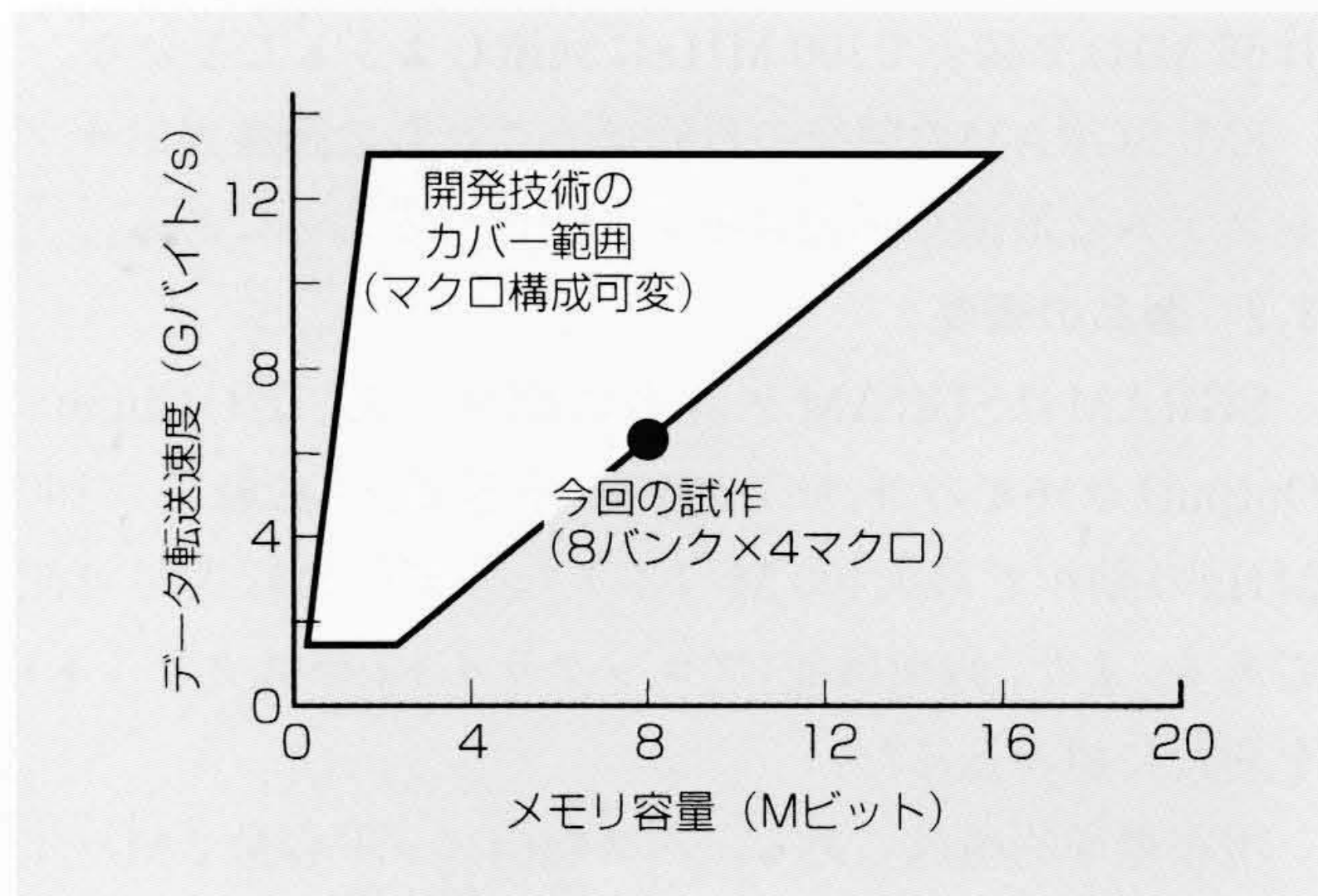


図5 DRAMマクロの性能

マクロの構成を変えることにより、用途に合わせて最大16 Mビットの容量と12.8 Gバイト/sまでのデータ転送速度が実現できる。

したがって、その個数を変えることにより、256 kビットを単位とした所望の容量を持つDRAMマクロを構成することができる。

データの入出力線は1制御部当たり128本あり、100 MHzのクロックに同期して並列にデータを読み書きする。

メモリバンク部は互いに独立して動作するため、マクロ内で中断のない読み書きが可能となる。開発したDRAMマクロでカバーできる性能の範囲を図5に示す。マクロ当たりのメモリバンク数とチップ当たりのマクロの数を変えることにより、広い性能範囲をカバーすることができる。

日立製作所は、上記の開発技術の検討を鋭意進めており²⁾、今後DRAM論理混載チップの製品化を図る計画である。

5. おわりに

ここでは、画像メモリの現状と今後の動向についての考えを述べた。

画像メモリは二つの方向へ向かうと考えられる。すなわち、(1) 汎用性を保ちながら高性能化と高集積化が続くSDRAM・SGRAMと、(2) カスタム用途向けにいっそうの高性能を実現するメモリ論理混載LSIである。

両者とも今後の高性能画像システムに必須のものであり、このニーズにこたえて製品化を進めていく考えである。

参考文献

- 1) 梅原, 外: 2 Mピクセル対応ワイドレンジ マルチスキャン ディスプレイ, 日立評論, 77, 10, 727~730(平7-10)
- 2) Watanabe, et al.: A Modular Architecture for a 6.4-Gbyte/s, 8-Mbit Media Chip, 1996 Symposium on VLSI Circuits Digest of Technical Papers, pp.42~43