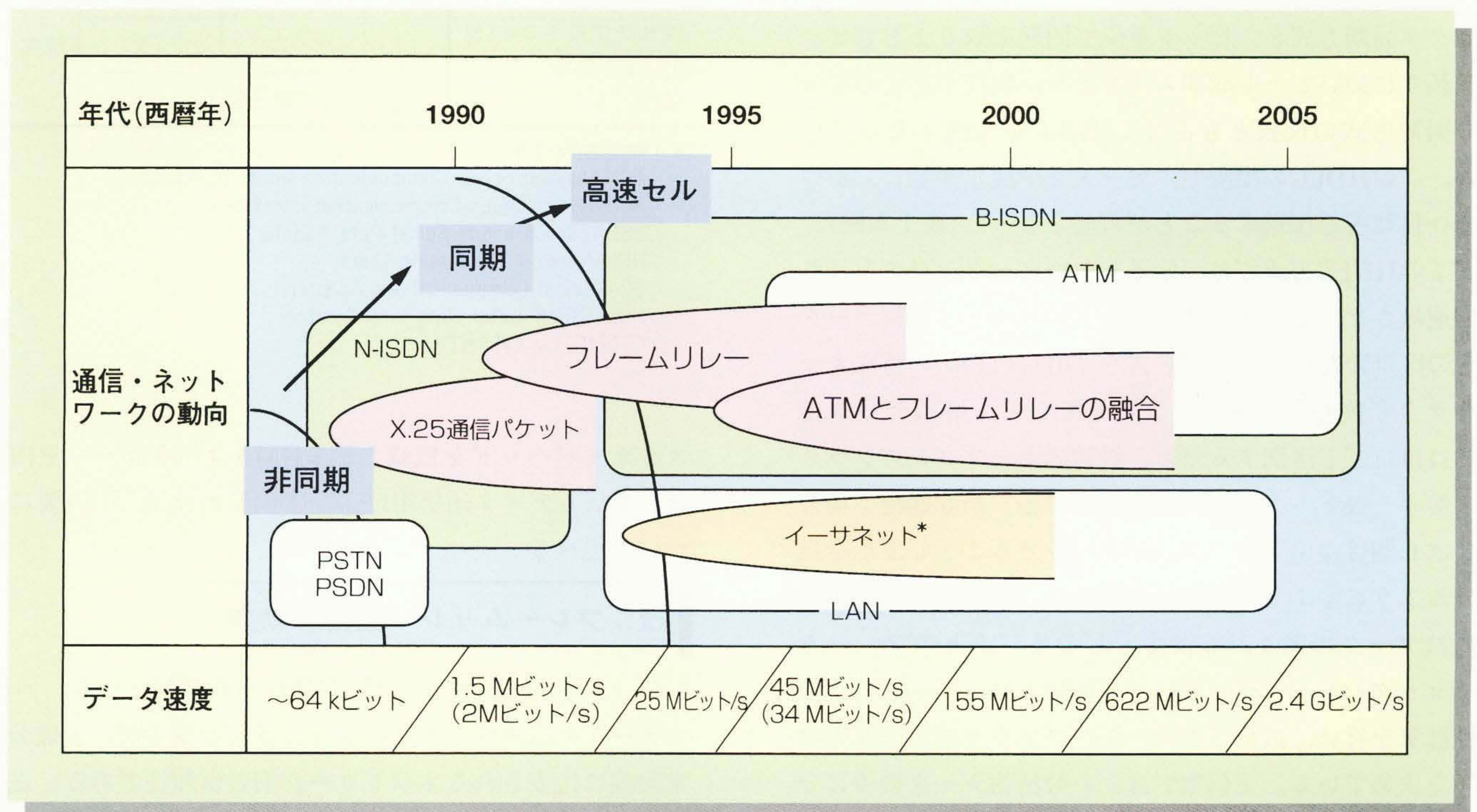


フレームリレーと高速データ通信用LSI

Development of High-Speed Data Communication LSIs for Frame Relays

坪井 務* Tsutomu Tsuboi
鈴木公司** Takashi Suzuki



注：略語説明ほか N-ISDN(Narrow-Band Integrated Digital Network), PSTN(Public Switched Telephone Network)
PSDN(Public Switched Data Network), B-ISDN(Broad-Band ISDN), ATM(Asynchronous Transfer Mode)
*イーサネットは、富士ゼロックス株式会社の商品名称である。

データ通信LSIの応用分野と通信技術

フレームリレーはインターネット通信を支える根幹の通信技術であり、次世代通信のATMへの橋渡しとなる。

インターネットの普及により、情報をいかに効率よく伝送するかがこれまで以上に重要なウェイトを占めるようになってきた。情報社会で先端をいく北米では、1990年ころから一般回線の伝送品質の改良とこれに増加するデータを効率よく送るための新しいサービスとしてフレームリレーという通信方式を提唱し、ANSI(American National Standard Institute)が1991年秋にT1.618として標準化した。そして、1992年1月に国際規格委員会であるITU(International Telecommunication Union)でQ.922として正式勧告化されるに至った。わが国では2年間の試行期間を経てTTC(財団法人電信電話技術委員会)で勧告化されるに至った。

日立製作所は、データを効率よく伝送できるLSI“HD64570 SCA(Serial Communications Adapter)”を製品化した。SCAはフレームリレーでの基本的なデータ転送用フォーマットであるHDLC(High-Level Data Link Control)をサポートするシリアルインタフェースを2チャンネル、MPU(Micro Processing Unit)のオーバーヘッドを低減させるDMA(Direct Memory Access)コントローラを4チャンネルそれぞれ内蔵している。内蔵したDMAコントローラは、連続するデータを次々にチェーンさせる機能をサポートし、データ転送では最もネックとなりやすい内蔵データバッファ〔FIFO(First in First out)メモリ〕の適切な深さを制御できる機能を持つ。

1. はじめに

これまでの通信の発展は、パソコンのデータを一つのキャラクタごとにコード化したデータを送る非同期伝送方式から、一定の長さのキャラクタをまとめてコード化したデータを伝送する同期伝送方式へと移ってきた。この同期伝送方式には、キャラクタ単位で同期を取るキャラクタ同期方式と、ビット単位で同期を取ることでビット誤りに強いビット同期方式があり、現在ではこのビット同期方式の代表とも言えるHDLCが主流となっている。このHDLCの出現で、データを一度に多量に、かつ高い信頼度で伝送することが可能となった(表1参照)。

このHDLC方式では、伝送したいデータを自由な長さで連続させ、このデータの始まりと最後には情報データとの区別のためにフラグと言う“01111110”の特殊キャラクタで挟むフォーマットにしている。情報データの“01111110”と区別するため、最初のオープニングフラグの後の一般データには、連続して“1”が6個続く場合には6個目の位置に“0”を挿入させることで混乱を避けるようにくふうされている。また、情報データの最後にはデータの誤り計算情報として2バイトのフレームチェックシーケンスデータが付加され、データの信頼性計算を行い、最後にクロージングフラグでデータの終了を決めている。受信側では、一般情報データの中に介在する5連続した“1”の後に続く“0”をフラグデータと区別するために、送信側で挿入された“0”と判断して“0”の削除を行うとともに、受信したデータが正しいかを、フレームチェックシーケンスの計算で確認する。これらのくふうによってデータをより高速にかつ信頼性を保ちながら送ることが可能となった。

ここでは、HDLCをサポートするシリアルインタフェー

表1 プロトコルの種類とLSIの対応

高速通信のニーズに伴い、各種通信プロトコルに対応するLSIの開発が進んだ。

種類(代表LSI)	非同期	同期方式		時代
		キャラクタ同期	ビット同期(HDLC)	
非同期LSI (ACIA, ACI)	○	×	×	過去 ↓ 現在
同期LSI (SSDA)	×	○	×	
マルチプロトコルLSI (NPU, SCA)	○	○	○	
速度	低→高			

注：略語説明ほか

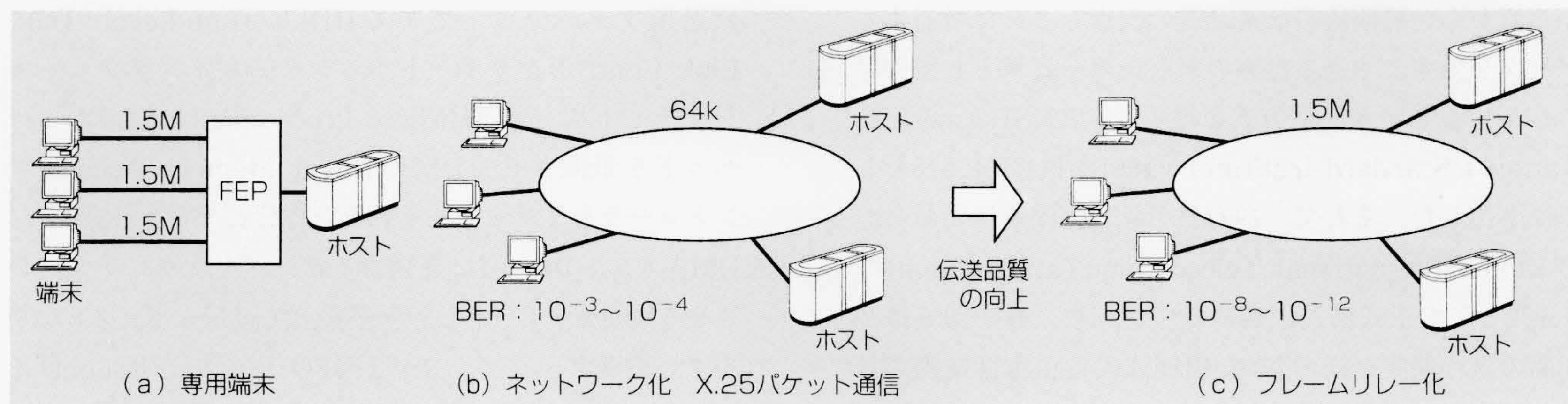
ACIA (Asynchronous Communication Interface Adapter)
ACI (Asynchronous Communication Interface)
SSDA (Synchronous Serial Data Adapter)
NPU (Network Processing Unit)
SCA (Serial Communications Adapter)
HDLC (High-Level Data Link Control)
○(対応), ×(非対応)

スとオーバーヘッドを低減させるDMAコントローラを内蔵しているデータ通信用LSI“HD64570 SCA”の概要について述べる。

2. フレームリレー技術の動向

2.1 パケット通信“X.25”とフレームリレー

データの高速化とともにさらに重要な要素が、一般公衆回線に代表されるネットワーク網の信頼性である。送受信速度が向上しても、ネットワーク側そのものの回線品質が悪ければ、送ったデータに誤りが発生してしまう。一般公衆網では、データ容量の増加と高速化に伴い、これまでのアナログデータ伝送から、デジタルデータ伝送へとその信頼性向上の対策を実施してきた。デジタル通信方式の代表とされるのがパケット通信“X.25”である。このパケット通信は、伝送するデータ(フレーム単



注：略語説明 FEP(Front End Processor)

図1 フレームリレー出現の背景

ネットワーク形態は伝送品質の向上によって、より高速な通信へと展開する。

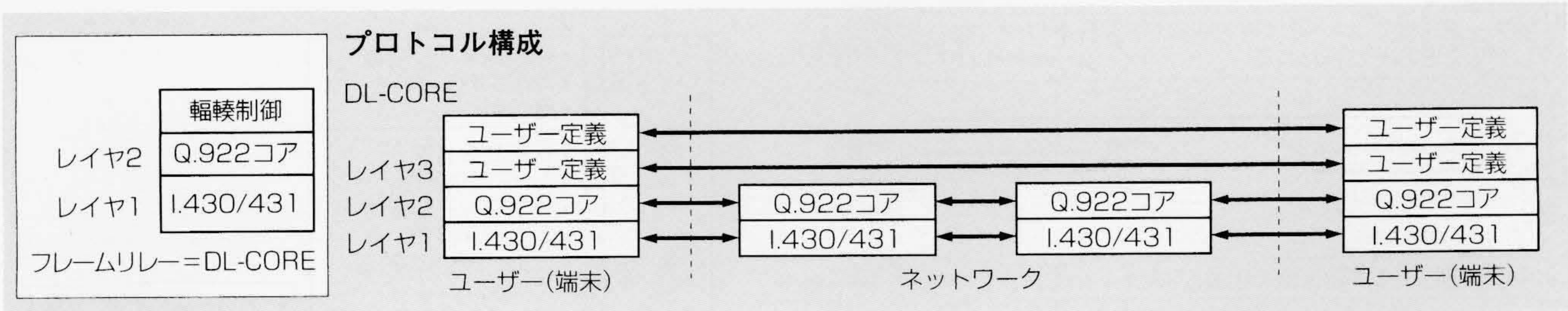


図2 フレームリレーのネットワーク構成
フレームリレーはITU-T(国際電気通信連合 電気通信標準化部門)の国際勧告Q.922の輻輳(ふくそう)制御を除いた基本機能をサポートする。通称、DL-COREと言う。

位)を送信先であるアドレスを付けて送信するもので、速度的には64 kビット/s程度までが一般回線で使用されてきた。当初、通信の信頼性としてはBER(Bit Error Rate:ビットエラー率)が10⁻³~10⁻⁴程度であった。そのため、通信装置間でデータの誤りがあった場合には、相手端末に行く前まで各装置間すべてでデータの再送信を行うため、専用線を用いるような高速データ転送まで及ばなく、かつデータの流れ(スループット)が上がらなかった。しかし、この一般回線がしだいに光ケーブルの敷設をはじめとして広く用いられることになり、信頼性の向上がBERにして10⁻⁷~10⁻⁸になってきた。

このため、専用線と同等な速度で、かつパケット通信のような再送制御を頻繁に行わなくてもよくなったために提案された通信方式がフレームリレーである。フレームリレーではデータの再送処理は省き、高速でかつスループットを1.5 Mビット/s程度までに向上させており、データ誤りが発生した場合には、各最終端末間どうして判定させて再送処理を任せても、十分な速度とスループットの向上でカバーできる環境が提供される(図1参照)。

2.2 フレーム リレー プロトコル

フレームリレーの通信方式(プロトコル)はOSI(Open Systems Interconnection)のモデルではレイヤ2(データリンク層)で規定されており、ITUの国際勧告Q.922で再送制御だけを外したものとして勧告化されている。そのため、データリンク層の核(コア)の部分を対象としていることから、DL-CORE(Data Link Core)とも呼ばれる。
実際のデータを送信するためには伝送媒体(ケーブル)を規定する必要があるが、わが国では一般公衆回線を用いるのが一般的であり、ITU-I.430/431に規定されている。再送制御については、各最終端末間でユーザーが規定することに任せられている(図2参照)。

その他のプロトコルと比較してもフレームリレーは非

常に軽くできており、このために通信全体のスループットが向上していることがよくわかる(図3参照)。フレームリレーのフレーム構成を図4に示す。

以上から、データ通信の代表であるX.25では、端末間のデータ転送は再送制御が各ネットワーク間のレベルでそれぞれ行われることがわかった。一方、フレームリレー

OSIモデル	Dチャンネル 回線交換	Bチャンネル パケット	フレーム リレー
レイヤ3 (ネットワーク層)	Q.931	X.25	ユーザー定義
レイヤ2 (データリンク層)	LAPD: Q.921	LAPB: X.25	ユーザー定義* DL-CORE: Q.922 アネックスA
レイヤ1 (物理層)	I.430/431		

注: *再送制御
図3 その他プロトコルとの関係
フレームリレーはほかのプロトコルと比べて、オーバーヘッドの軽いネットワークを実現する。

LAPD	LAPB(X.25)	DL-CORE
フラグ 1	フラグ 1	フラグ 1
アドレス 2	アドレス 1	アドレス 2~4
制御 2	制御 1	
情報 260	情報 128~4096	情報 262~4096
FCS 2	FCS 2	FCS 2
フラグ 1	フラグ 1	フラグ 1

図4 フレームフォーマットの比較
従来のプロトコルの特長を継承してフレームリレーのフレーム構成を簡素化した。

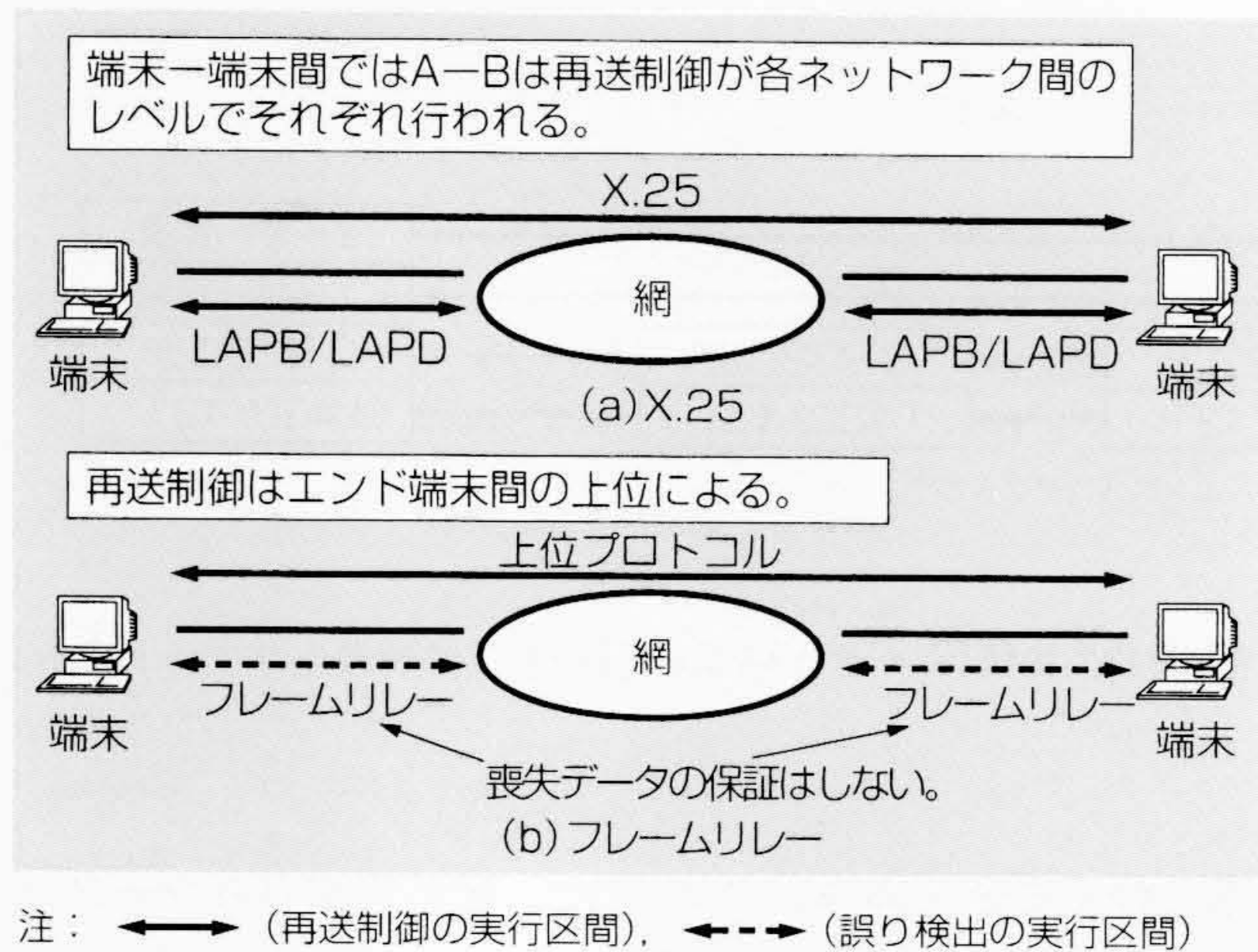


図5 X.25とフレームリレーの違い

フレームリレーの特長は、再送制御をネットワーク網に持ち込まないシンプルなプロトコルにある。

では、再送制御はエンド端末間の上位プロトコルで処理され、誤りがあつたかどうかだけを対象としているために、ネットワークのオーバーヘッドが軽くなる。実際に、X.25に対して端末間のレスポンスとして25%ほど速くなっていることが報告されている(図5, 6参照)。

3. データ通信用LSI

3.1 “HD64570 SCA”の開発

前述したように、通信用LSIとしては非同期通信から同期通信へ移行してきており、同期通信の中ではキャラクタ同期からビット同期へと変遷してきた。このため、シリアル通信のインタフェースとしては、これら各種通信方式に対応できる仕様が求められた。

- 機能：高速でかつハイパフォーマンスを実現する通信コントローラ；
 - 2チャンネルシリアルインタフェース
 - 4チャンネルDMAコントローラ
- サポートプロトコル：
 - 非同期, キャラクタ同期, ビット同期, トランスペアレント
- MPUインタフェース：64180, 80×86, 680×0
- プロセス：1.0ミクロンCMOS
- 速度：10, 16.7MHz
- データ速度：7.1, 12Mビット/s
- パッケージ：84ピンPLCC(CP-84), 88ピンQFP(FP-88)

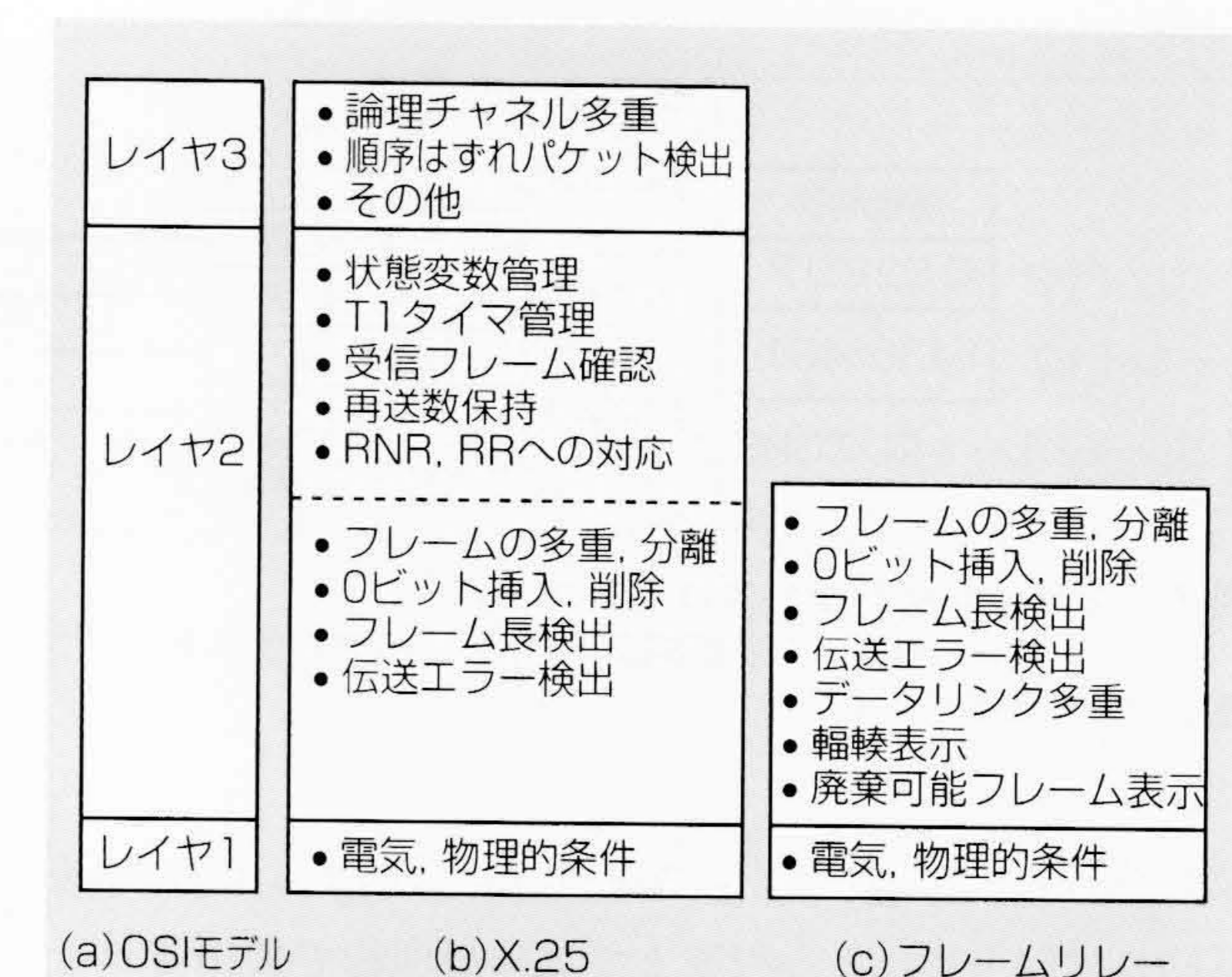


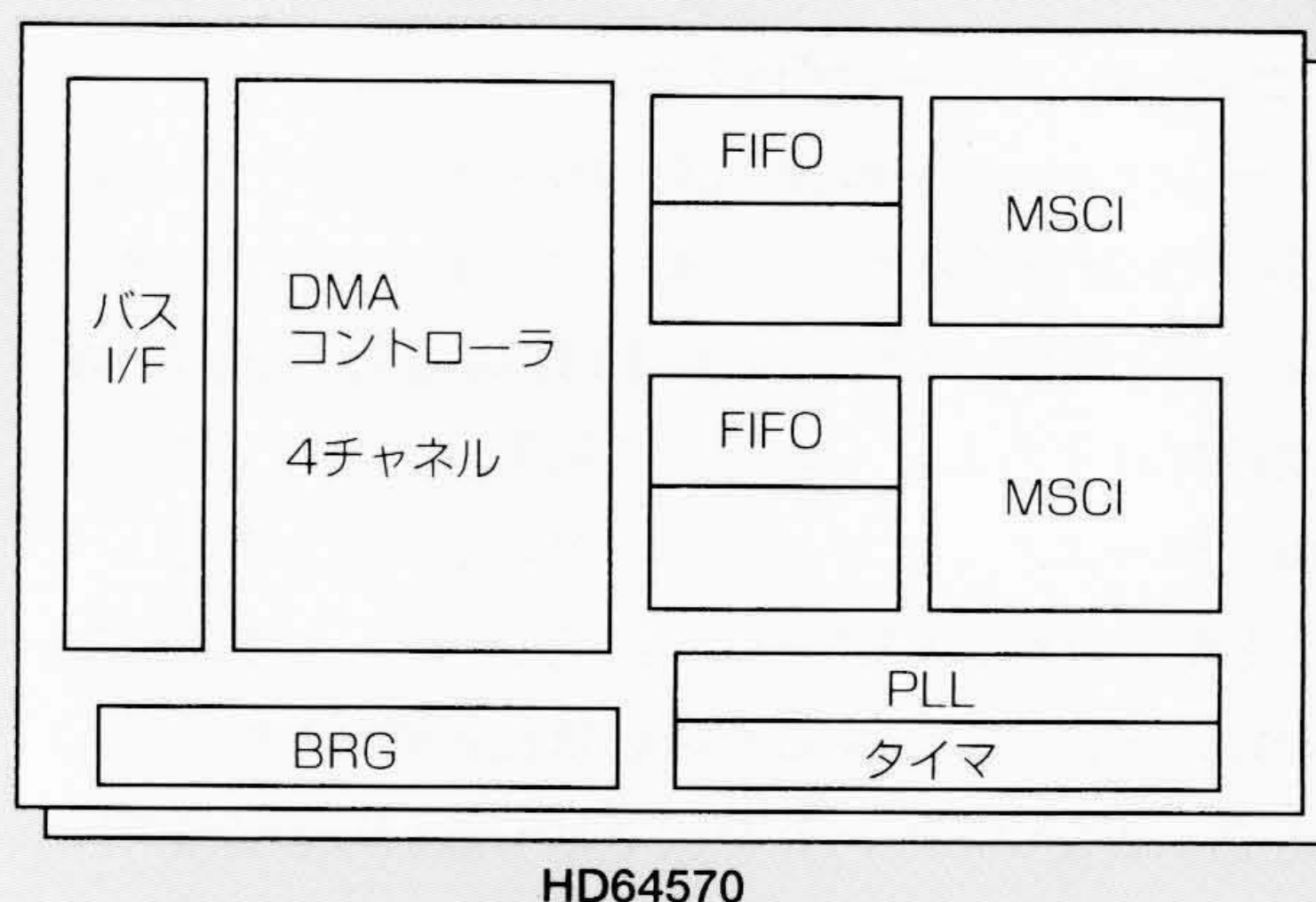
図6 X.25とフレームリレープロトコルの比較

フレームリレーのオーバーヘッドはX.25と比較して25%減と負荷が軽い。

また、チャネル数としては通信ネットワーク接続性から複数チャネルが要求され、速度でも10 Mビット/sを超えることが求められた。このような条件を満たすために開発した製品が“HD64570 SCA”である。また、高速転送のため、データ転送処理にはDMA転送方式が必然的に必要となり、さらに上位に接続されるMPUは各種あることから、ビッグエンディアンおよびリトルエンディアンの各データ構造にも対応できるフレキシブル性が求められた(図7参照)。HD64570の仕様を表2に示す。

3.2 データ転送とフレーム廃棄率

通信用LSIにとって重要な点は、製品自体の高速データ転送処理にある。これは一般的に、シリアル転送速度



注：略語説明 I/F(Interface), CMOS(Complementary Metal-Oxide Semiconductor), PLCC(Plastic Leaded Chip Carrier), QFP(Quad Flat Package), MSCI(Multi-Serial Communication Interface), PLL(Phase-Locked Loop), BRG(Baud Rate Generator)

図7 HD64570 SCAのブロックダイアグラム

HD64570 SCAは各種マルチプロトコル処理に必要な機能を装備した2チャンネルの通信コントローラである。

表2 HD64570 SCAの仕様概略
各種通信プロトコルをサポートし、高速データ転送を実現した。

項目	仕様・性能
サポートプロトコル	・非同期 ・キャラクタ同期 ・ビット同期
シリアルチャネル数	2チャネル
最大シリアル速度	12 Mビット/s
FIFO	32バイト(送受信)
DMAコントローラ	4チャネル (データチェイン機能)
MPUインタフェース	・80系16ビット ・68系16ビット ・64180系
タイマ	4チャネル(16ビット)
パッケージ	PLCC 84ピン QFP 88ピン

がどの程度かという点で判断されがちである。今回のLSIの開発には、受信されたデータが交換機などに入ってきた後、送信されるまでの時間がどの程度かかるかまでの、スループットについて着目した。一般的には、受信データはシステムに取り込まれ、上位プロセッサに受け渡され、送信データは上位プロセッサから通信用LSIに書き込まれ、シリアル変換されて送出される。したがって、受信データをそのまま送信することは少ないが、LSIの機能として、高速化されて負荷がとりわけ軽くなったフレームリレーなどでは、その処理速度が問題となってくる。

交換機などに代表されるアプリケーションをモデルに取ると、受信データが一定量の受信バッファを経由してシステムに取り込まれ、続いて送信バッファを経由して送出されるときに問題になるのが、フレームがシステムのオーバヘッドによって受け渡しが難しくなり、廃棄されてしまうフレーム廃棄率である。従来のX.25では、各端末間でのデータの信頼性はスループットを除けば再送制御によって保証されているので、フレーム廃棄率への影響は少ない。一方、フレームリレーではデータの確実性は保証されていないために、通信システム内部でのフレーム廃棄率が各端末間でのスループットに大きな影響を及ぼしてしまう(図8参照)。

3.3 通信コントローラとフレーム廃棄率

フレーム廃棄率を重視する通信コントローラ的设计で最も必要とされるのが、たくさんのチャネルから高速に受信されるデータを効率よくシステム上位に受け渡すことである。このためには、十分なバッファサイズが必要

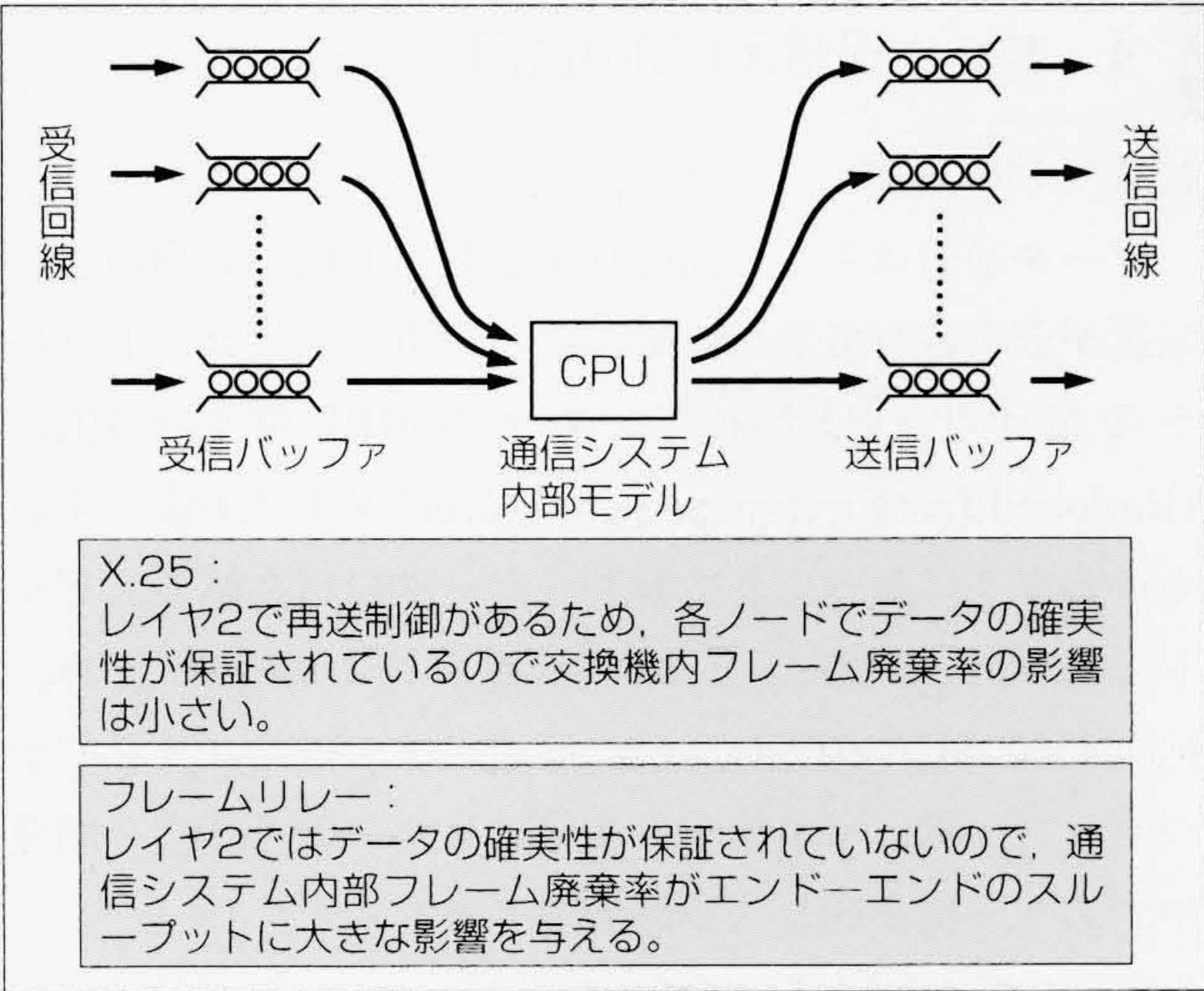


図8 フレーム廃棄率
フレームリレーでは、通信システム内部でのフレーム廃棄率の影響を大きく受ける。

となる。しかし、大きなバッファはLSIにとってはチップサイズの拡大につながるため、一概に大きくすることは困難である。HD64570 SCAでは、受信および送信バッファとして32段のFIFO形式のバッファを用意することにより、4～8チャネルでも実仕様に十分耐えられるように設計した。他社LSIを例にとり、フレームリレーで一般的である1.536 Mビット/sでの速度とチャネル数の増加によるフレーム廃棄率の関係を表3に示す。

表3からもわかるように、HD64570 SCAは8チャネル分の1.536 Mビット/sシリアルデータ送受信を行っても問題のない仕様であることが理解できる。また、他社LSIではチャネル数が2チャネルを超えると、フレームが破棄されてしまうものもある。

表3 通信コントローラの通信システム内部フレーム廃棄率比率
複数チャネルでもフレームを損なわないLSIを実現した。

	1チャネル	2チャネル	4チャネル	8チャネル
HD64570 SCA 16ビットバスDMAC 内部32段FIFO	～0	～0	2.6×10^{-48}	3.3×10^{-17}
A社 8ビットバス DMAC内部	1.8×10^{-3}	～1	—	—
B, C社 8ビットバス DMAC外付け	～1	—	—	—

条件: (1)全二重, (2)1.536 Mビット/s, (3)260バイト/s
(4)計算モデル; D, M, I(m)待ち行列
注: —(バスがつぶれる。)

4. データ通信用LSIの展開

4.1 LSIの展開

データ通信はさらに高度化するとともに、効率のよい転送が要求されてきている。このため、通信コントローラの高速化のほかに、システムMPU側でもRISC (Reduced Instruction Set Computer) タイプが広く用いられるようになってきており、データのバス幅も32ビットと拡大してきた。これらの要求にこたえるため、HD64570 SCAのLSIに続き、高速システムクロックでかつバッファ量、バス幅とも2倍にした“SCA-II”を開発中であり、現在サンプル評価中である。

4.2 バス サポート アプリケーション

(PCIバスにおけるデータ転送)

通信データの高速化と転送効率の向上に伴い、通信システム内のバス転送効率が重要な課題となる。高速なデータ転送(133Mバイト/s)と業界標準バスとして地位を確立したPCI(Program Controlled Interruption)バスが注目されている。

PCIバスの使用上の利点を以下に示す。

- (1) 最大33.3 MHzまでの同期バス方式の採用：最大33.3 MHz動作ができ、CPUとの性能差を縮めることができる。
- (2) 32ビット幅のアドレスデータバス：PCIバスは32ビットのデータバスを基本としており、MPUとのインタフェースが容易となる。
- (3) 複数データの連続転送：通常、通信データはパケット単位で転送する。データを連続してメモリやI/Oにリード・ライトできるので、データ転送効率が向上する。
- (4) バスマスタによるデータ転送方式：通信制御部内に、転送形態に適したDMAC(Direct Memory Access Controller)を搭載することで、より効率的にバスを使用することが可能となる。
- (5) 将来展開：現在、64ビットデータバス幅拡張、最大動作周波数66 MHzまでのオプションがあり、最大では533 Mバイト/sまで転送効率を向上することが可能となる。

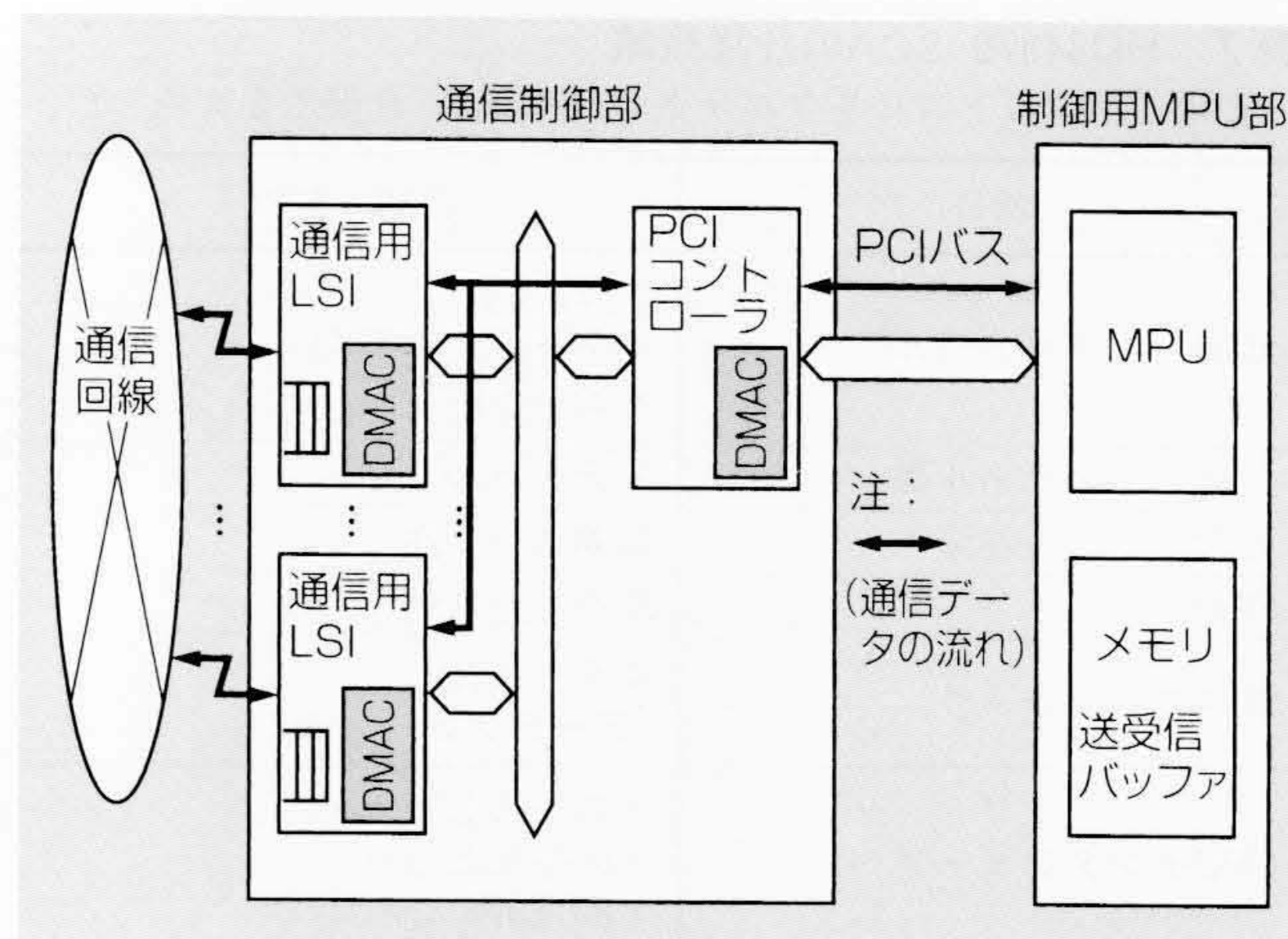


図9 通信制御部構成〔通信用LSI(DMAC)+PCIバス〕
通信用LSI内にDMACを内蔵し、MPUの負荷を軽減している。

っている。

通信制御部でMPU部をPCIバスで接続した例を図9に示す。この構成でも通信用LSIに内蔵するチェーンDMA転送機能を利用することにより、MPUの負荷を軽減することが可能である。

5. おわりに

ここでは、インターネットアプリケーションが盛んになりつつある高速通信のニーズにより、飛躍的に発展しているフレームリレーとそれに対応した通信用LSIの開発について述べた。

現在、次世代通信としてATMが期待されているが、フレームリレーと比較するとデータ処理のオーバーヘッドは多く、10%程度あると言われている。これに対して、フレームリレーではATMの数十分の一から数百分の一と見られており、1.5 Mビット/s程度以下のデータ速度ではフレームリレーの技術は十分活用されることがわかってきた。さらに、ATMの規格を検討しているATMフォーラムでも、ATMへの橋渡しとしてのフレームリレーが議論されている。今後、このATM化とフレームリレーの融合およびATM化へ向けてのLSIの開発も行っていく考えである。

参考文献

- 1) 日立製作所：HD64570 SCAユーザーズマニュアル(第二版)(1993-10)
- 2) 日立製作所：HD64570アプリケーションノート(第二版)(1995-3)
- 3) 株式会社技術情報協会：高速データ通信システム構築の展望(1992-9)
- 4) 日経BP：日経コミュニケーション, 1992.9.21, No.134
- 5) PCI Special Interest Group：PCI Local Bus Specification Rev.2.1(1995-6)