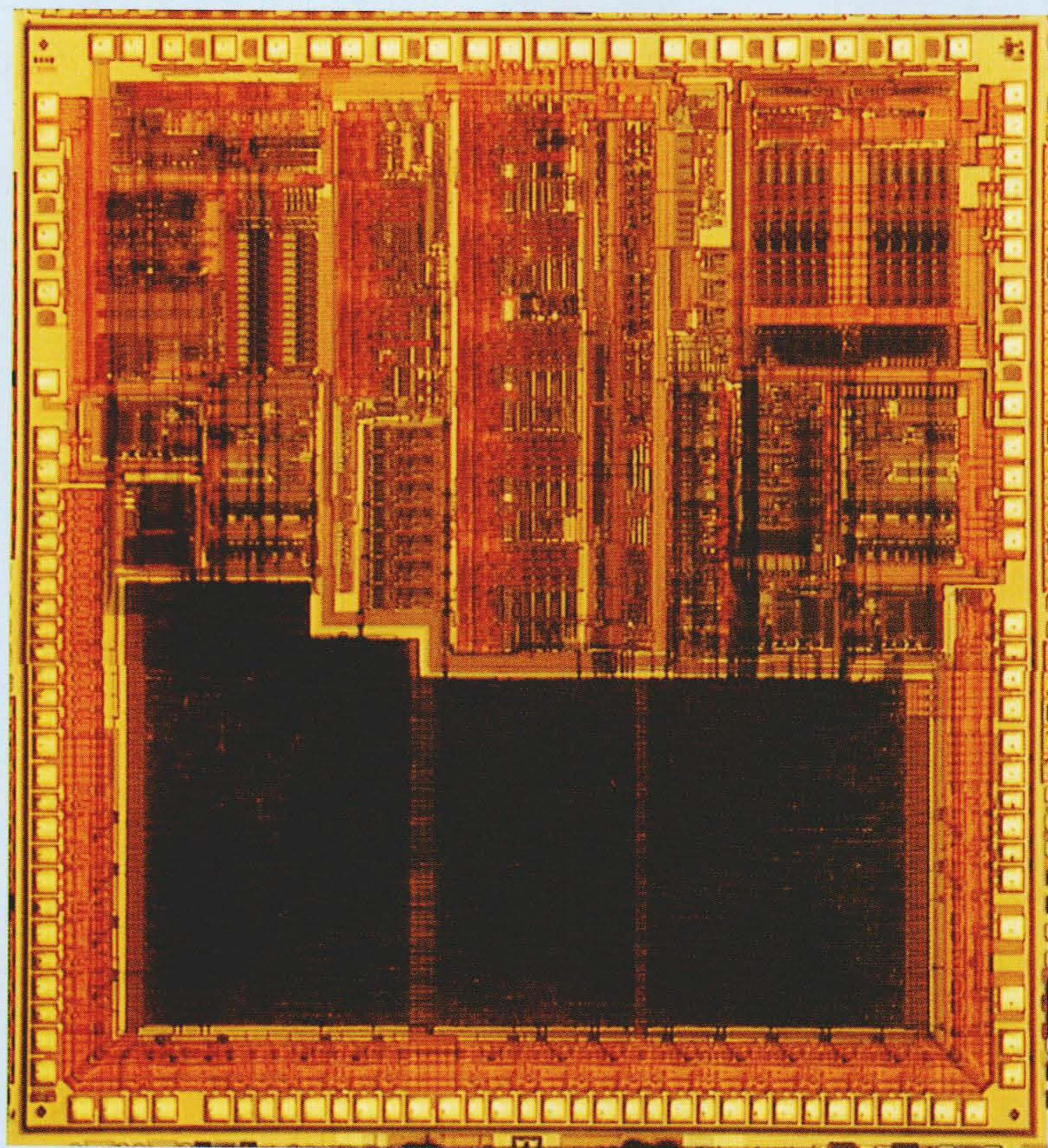


# HDD対応の200 Mビット/s CMOS PRML LSI

Development of 200 Mbps CMOS PRML LSI

小松達也 *Tatsuya Komatsu* 清水博文 *Hirofumi Shimizu*  
奈良 孝 *Takashi Nara* 豊田研次 *Kenji Toyota*



#### 特徴

- 転送速度：200 Mビット/s
- 外部電源電圧：5 V
- 消費電力：900 mW
- 信号処理：16-17 EPR4
- パッケージ：TQFP64

#### 200 Mビット/s CMOS PRML LSI “HD153072TF” のチップ

0.35  $\mu\text{m}$  CMOS (Complementary Metal-Oxide Semiconductor) プロセスを使い、HDD (Hard Disc Drive) のリードチャンネル信号処理に必要な機能を1チップに集積した。

ノート型パソコンに代表されるOA機器の急速な普及に伴い、記憶装置として小型HDD (Hard Disc Drive) の需要が高まっている。さらに、ソフトウェアの充実や、画像音声情報などの大量データを取り扱うマルチメディアの普及により、装置の大容量化と高速化、低消費電力化、高機能化が強く望まれている。このため、搭載される信号処理LSIには、安定したデータ記録再生と高速化、低消費電力化、高機能化が強く望まれている。

そのため、従来のPRML (Partial Response Maximum Likelihood) 方式に比べて高密度な記録データを、より高精度に再生が可能なEPRML (Extended Partial

Response Maximum Likelihood) 信号処理方式を採用し、データ転送速度も業界最高基準の200 Mビット/sを、高集積化と低消費電力化に有利なCMOSプロセスで実現したオール インワンPRML LSI “HD153072TF” を開発した。

この製品は、HDDの信号処理に必要な機能を1チップ化し、外付け部品点数の削減を実現する。また、EPRML方式ながら、転送速度180 Mビット/s時で900 mWの低消費電力化を実現し、パッケージも小型の64ピンTQFP (Thin Quad Flat Package) を採用して、HDDの低消費電力化、小型化に貢献している。



## 1. はじめに

パソコンやワークステーションの急速な普及に伴い、大量の情報を記録するためのHDDの需要は非常に高くなってきており、大容量とデータ転送速度の高速化、低消費電力化が要求されている。大容量化のために、信号処理方式として記録密度の上げられるPRML方式やEPRML方式が現在主流になっている。また、転送速度は100~200 Mビット/sになっており、今後も年率1.5倍程度で増加すると予想される。

この要求にこたえて、従来の0.7 $\mu$ m Bi-CMOS (Bipolar Complementary Metal-Oxide Semiconductor)プロセスではなく、高速化・低電力化・低電圧動作化、HDC(Hard Disk Controller)やマイコン(マイクロコンピュータ)との一体化などの高集積化に向けた0.35 $\mu$ m CMOSプロセスを使用した。プロセスのCMOS化に伴って、高機能化のためにデジタル信号処理回路、低電圧アナログ回路、および外付け部品低減化の新規回路設計を行い、製品に適用した。

ここでは、今回開発した200 Mビット/s対応のCMOS版PRML LSI “HD153072TF” のシステム概要と製品仕様、および評価結果について述べる。

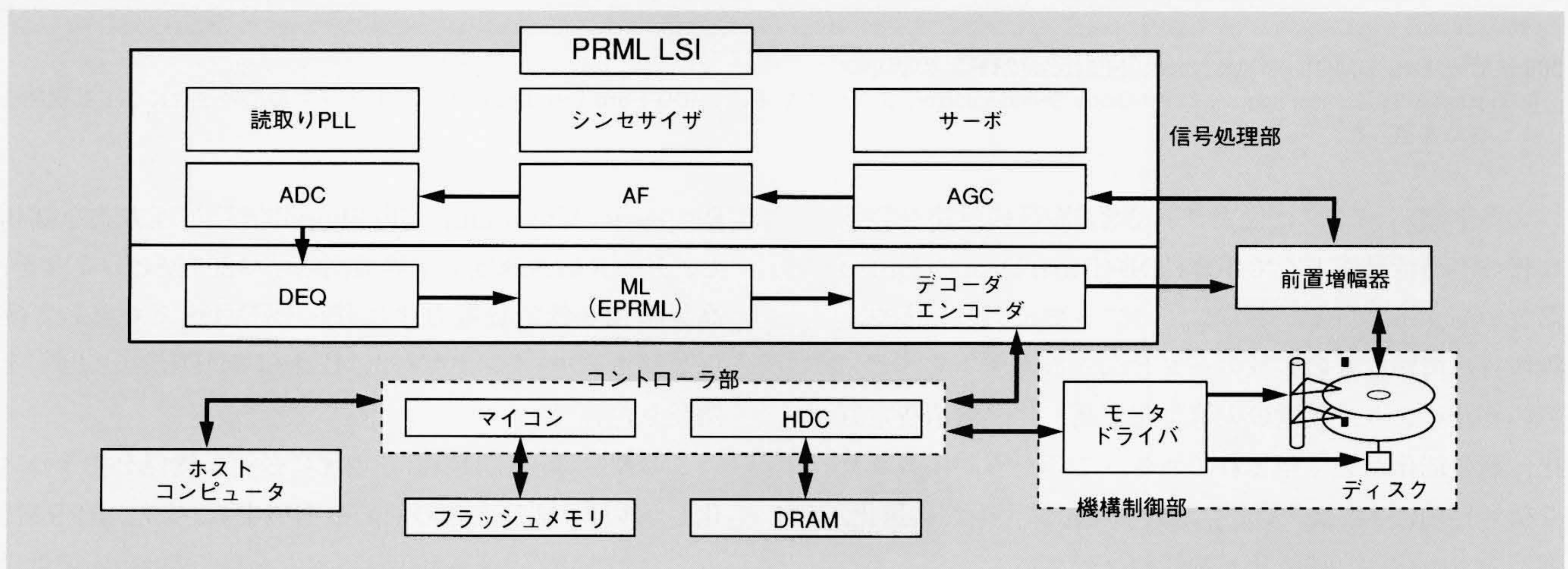
## 2. HDD用PRMLシステムの概要

PRML LSIが使用されるHDD用システムの構成を図1に示す。HDDシステムは大別して、信号処理部

(PRML, 前置増幅器), コントローラ部(マイコン, HDC), および機構制御部(モータドライバ, ディスク部)の三つのブロックで構成しており, ホストコンピュータとデータの受け渡しを行っている。信号処理部は, 磁気ディスクからの読み出しと磁気ディスクへの書込みを行い, コントローラ部は, システム全体の管理とホストコンピュータとのインタフェースをつかさどる。機構制御部は, 磁気ヘッド位置を操作するアクチュエータや磁気ディスクを回転させるスピンドルモータの制御を行っている。

このPRML LSI “HD153072TF” は信号処理部に属し, 主な構成としては, アナログ部としてAGC(Automatic Gain Control)部, AF(Active Filter)部, ADC(Analog-to-Digital Converter)部, Read-PLL(読取り Phase-Locked Loop)部, およびシンセサイザ部から成る。デジタル部としては, DEQ(Digital Equalizer)部, サーボ部, ML [Maximum Likelihood: 最尤(ゆう)] 部, デコーダ部, およびエンコーダ部に分けられる。

基本動作である磁気ディスクからの読み出しは, 磁気ヘッドから前置増幅器を介して読み出した再生データを, AGC部で振幅を一定にし, AF部でフィルタリングした後, ADC部でデジタル化を行う。このデジタルデータをDEQ部で波形等化し, 同時に+1/0/-1の3値化を行う。3値化したデータ列は, MLで判定し, 補正してデコーダ部へ送る。デコーダ部では, 16/17(0, 6/6) RLL(Run Length Limited)の規則に準じて, NRZ(Non-



注：略語説明 DRAM (Dynamic Random Access Memory)

図1 HDDのシステム構成

PRML LSIは, AGC部, AF部, ADC部, 読み取りPLL部, およびシンセサイザ部のアナログ系と, DEQ部, ML部, デコーダ部, およびエンコーダ部のデジタル系で構成する。



Return to Zero)信号に変換し、HDCへ出力する。ここでMLとは、前後のデータを基に、最も確からしさの高い符号に複合する方法である。このMLによって突発的なエラーを補正し、正しいデータを再生することができる。

また、磁気ディスクへの書込みは、HDCから出力されるNRZ信号をエンコーダ部で16/17(0, 6/6)符号に変換し、プリコードしてライト信号補正を行い、書込み増幅器を介して磁気ディスクへ書き込んでいる。

プリコード部による符号化と磁気ディスクから読み出した信号を等化するまでが、PR(Partial Response)による信号処理である。ここでPRとは、波形干渉を積極的に利用し、狭帯域チャンネルの伝送効率を上げる技術のことである。このようにPRMLは、PRとMLを組み合わせた信号処理といえる。

### 3. 信号処理のデジタル化

この製品は、HDDのリードチャンネル信号処理に必要な機能を1チップ化したものである。実現方式には、アナログ方式かデジタル方式かの二つのアプローチがある。

アナログ方式とは、ADCを使わずに等化やML判定まですべてをアナログ回路で実現する方法である。ADCを使わないので低電力に向いているが、アナログ回路性能が要求される。

一方、デジタル方式とは、ADCで信号をデジタル化し、等化やML判定をする方法である。ADCやデジタル信号処理回路の電力が大きくなるが、デジタル化した後の信号処理精度は良く、今後のシステムで必要になる複雑な信号処理にも対応が可能である。

今回は、デジタル方式を採用し、電力が大きくなる問題は、0.35  $\mu\text{m}$  CMOSプロセスの適用によって電源電圧を5 Vから3.3 Vに下げることと、アナログ回路の低電力化設計を行うことによって実現した。微細CMOSプロセスの適用により、高速化と、今後のデジタル系のHDCとマイコンの高集積化にも対応できるようにした。

### 4. HD153072TFの概要

信号処理方式としては、高密度記録データを高精度で再生が可能な16/17(0, 6/6)EPRML方式を採用した。高機能化としては、MR(Magnetic Resistance)ヘッドのTA(Thermal Asperity)検出補正機能と再生波形の上下非対称性検出補正機能を内蔵し、従来のDEQのタップ係数の学習回路と合わせて、データ再生時での劣化を最小限に抑えるくふうをした。さらに、ADCなどのアナログ

表1 HD153072TFの仕様

HD153072TFの電源電圧については、外部インタフェース部分が5 Vで、内部回路の電源電圧を3.3 Vに下げて動作させている。

項目	HD153072TF	HD153068RTF
転送速度	60~200 Mビット/s	40~130 Mビット/s
外部電源電圧	5 V $\pm$ 10%	
消費電力	900 mW	1,000 mW
信号処理方式	16-17 EPR4	8-9 EPR4
外付け部品	容量: 6個, 抵抗: 1個	容量: 8個, 抵抗: 3個
プロセス	0.35 $\mu\text{m}$ CMOS	0.7 $\mu\text{m}$ Bi-CMOS
パッケージ	TQFP-64	

注: 略語説明 TQFP(Thin Quad Flat Package)

回路内で発生するオフセットも自動補正を行い、高精度化した。

また、低消費電力化のためにパワーマネジメント機能を設定し、通常時の読み出しと書込み時以外に、サーボ時にスタンバイ状態とスリープ状態を設定することにより、それぞれのモードで各ブロックを最適な動作状態とし、セットの低消費電力化を可能とした。

HD153072TFの代表的な製品仕様を表1に、ブロック図を図2にそれぞれ示す。この製品は、現在量産しているBi-CMOS PRML LSIのHD153068RTFに対して、転送速度180 Mビット/s時の消費電力が900 mWと、高速化と低電力化の両立、高機能化を行った。

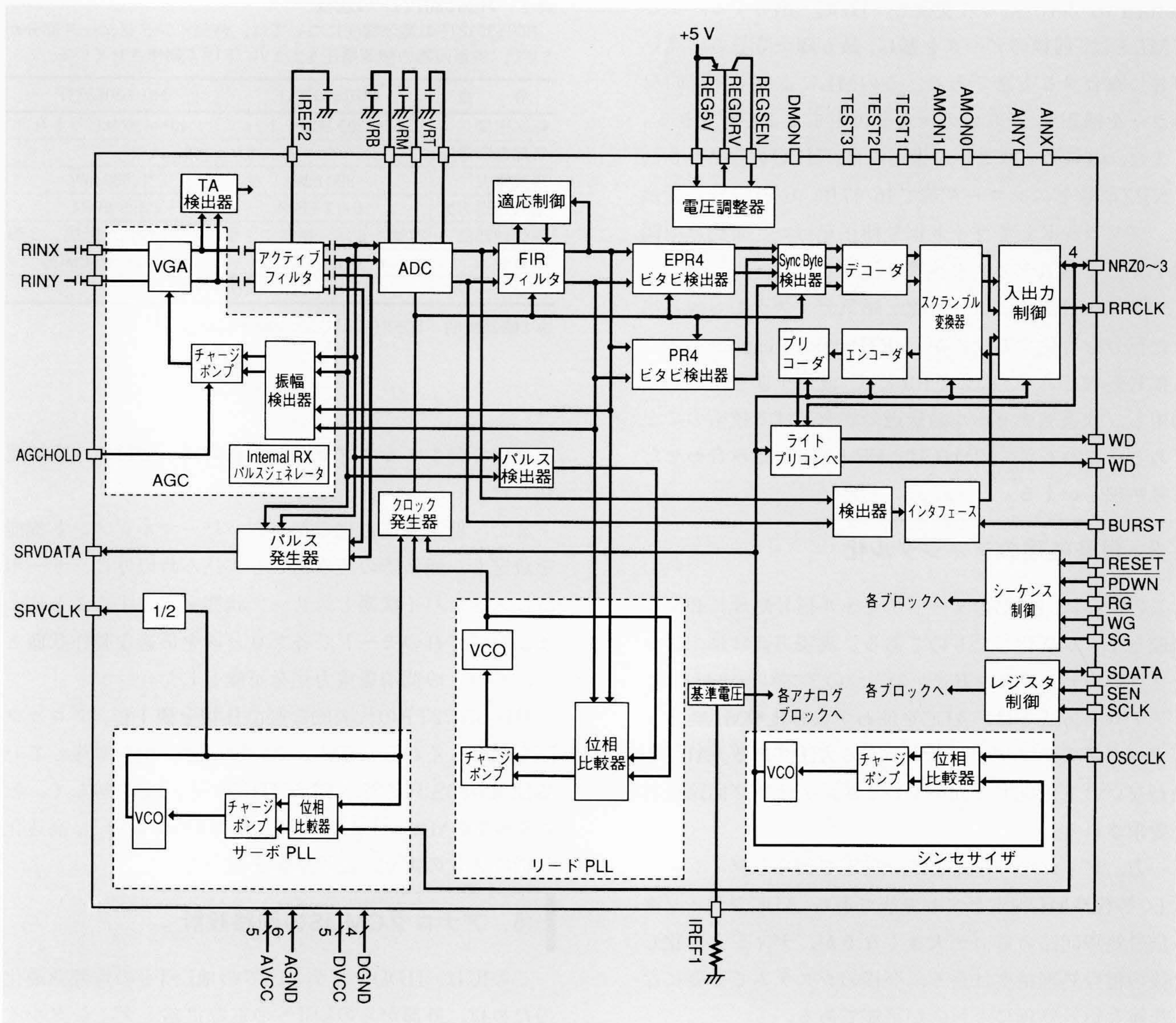
### 5. アナログCMOSの回路設計

このICは、HDDシステム内での他LSIとの電源共通化のために、外部からのLSIへの電源供給とデジタルインタフェースを5 Vとし、従来システムでの電源に対応することができるようにした。LSI内部は、各ブロックへの電源供給を外付けPNPトランジスタによって内部の3.3 V出力レギュレータ回路で制御し、各アナログ系とデジタル系のすべての電源に3.3 Vを供給するようにして低消費電力化を図った。

0.35  $\mu\text{m}$  CMOSアナログ回路ブロックの代表的なものを以下に示す(図3参照)。

- (1) 3.3 V動作7次等リプルgmCフィルタ
- (2) 容量内蔵ギルバート型AGC増幅器
- (3) 6ビット低電力パイプラインA-D変換器
- (4) フィルタ内蔵高速二重引込PLL
- (5) フィルタ内蔵高速引込シンセサイザ
- (6) プログラマブル書込みプリコンペンセーション
- (7) 3.3 V出力レギュレータ

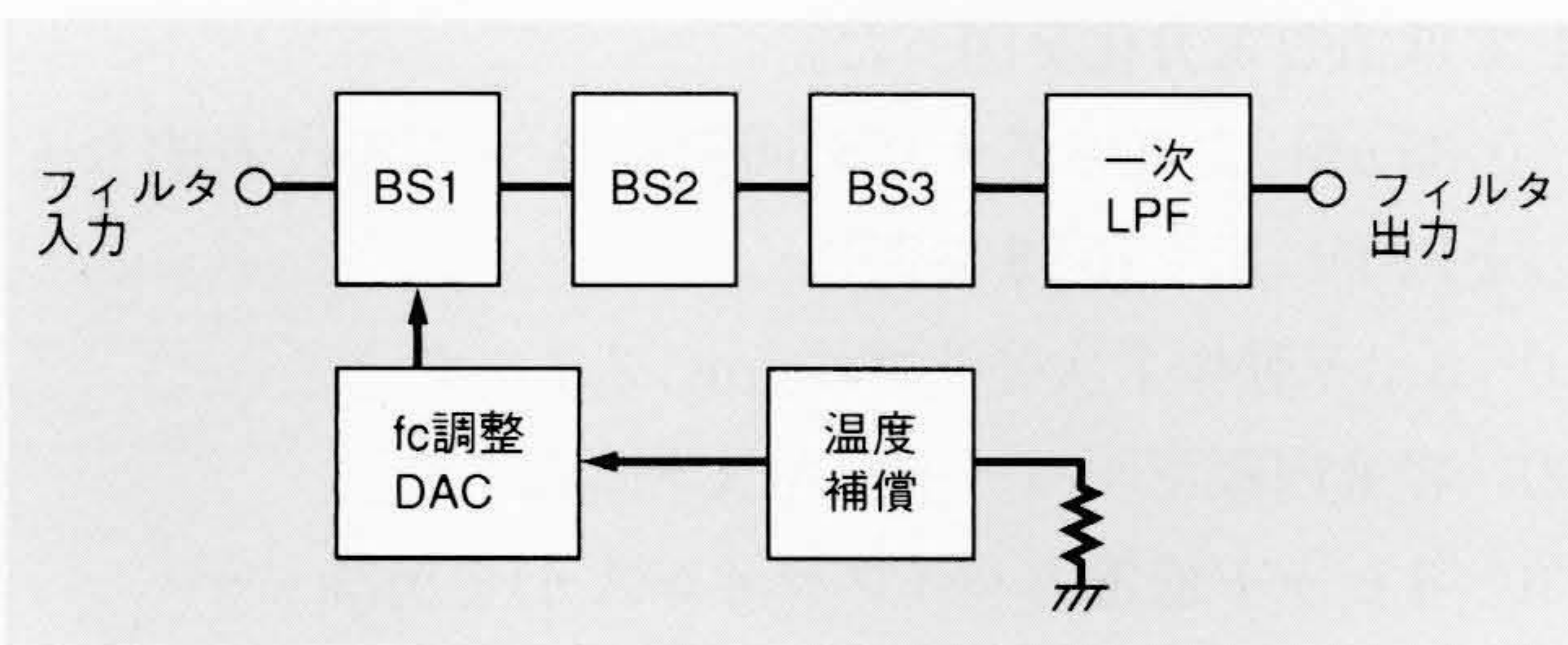




注：略語説明 VGA (Variable Gain Amplifier), VCO (Voltage Controlled Oscillator)

図2 HD153072TFのブロック図

HD153072TFでは、読取りPLL部、シンセサイザ部のループフィルタとAGC部のゲインホールド容量を内蔵化し、外付け部品を低減した。



注：略語説明 BS (Biquad Section), LPF (Low-Pass Filter)  
fc (カットオフ周波数)

図3 7次等リプルフィルタのブロック図

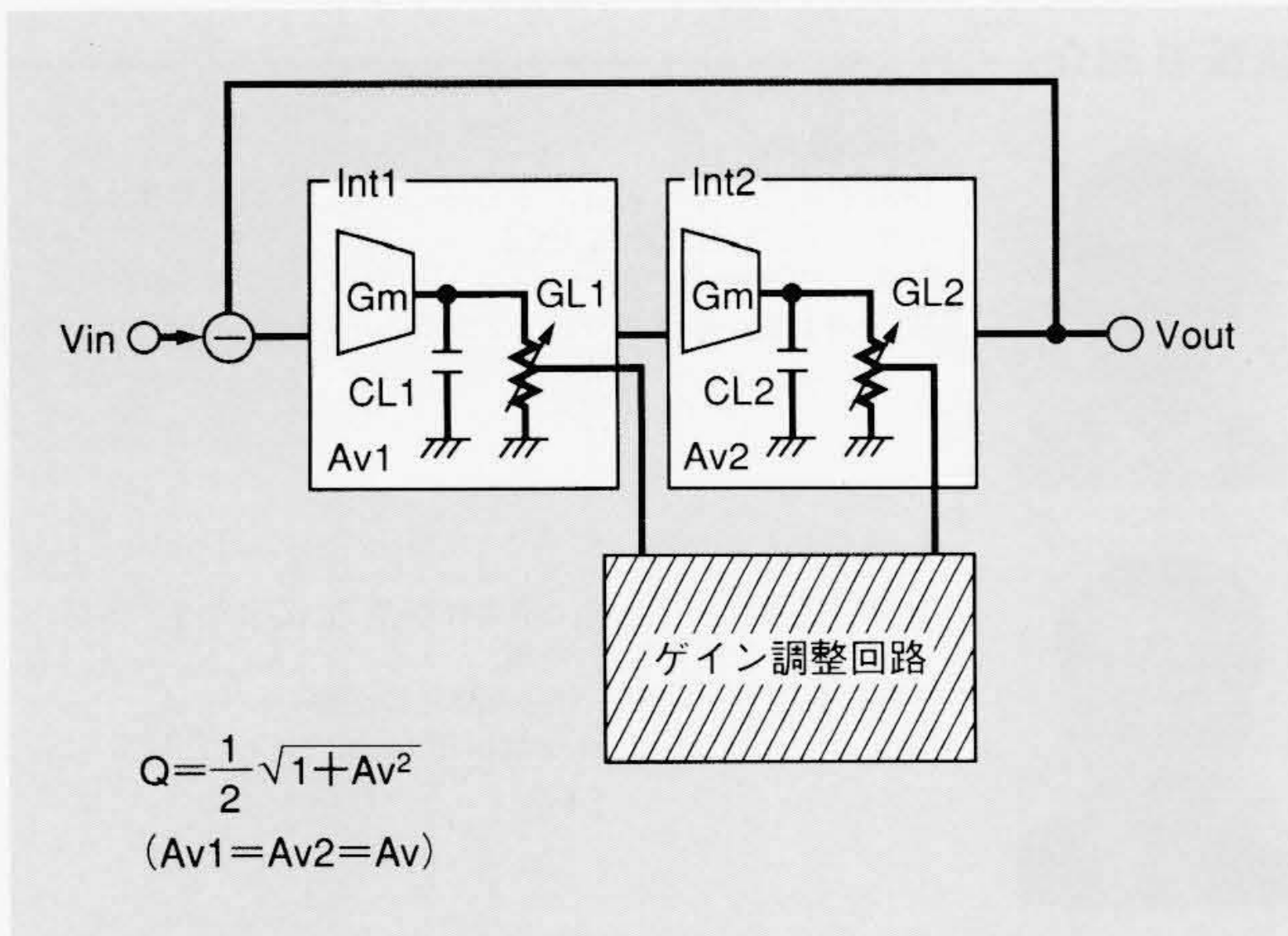
7次等リプルフィルタは、BS 3段の従属接続と一次のLPFによって構成した。

### 5.1 3.3V動作7次等リプルGmCフィルタ仕様

PRML信号処理で磁気ディスクから読み出した信号を正確に等化するには、読み出した信号の帯域制限と特定周波数のブースト機能が必要である。さらに、等密記録である磁気ディスクの内周と外周では、転送速度が2倍程度異なるため、フィルタのfcには2倍の可変範囲が最低限要求される。群遅延特性としては、読み出したデータ列による位相差をなくすことが重要であり、7次等リプルフィルタを採用した。

構成は、バイカッドセクションを3段従属接続したものと、一次のローパスフィルタ(1LPF)から成る。フィル





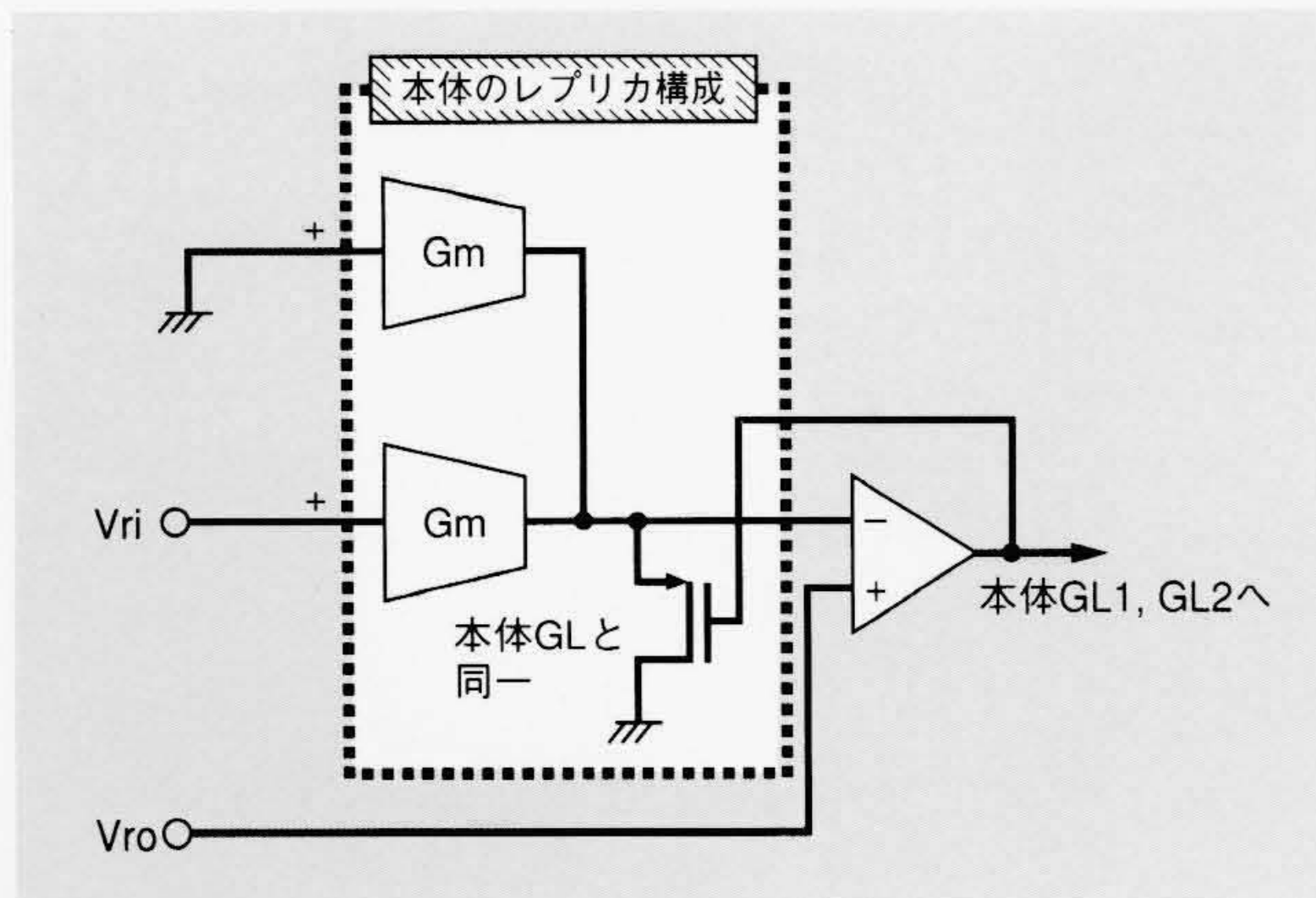
注：略語説明 Vin(入力電圧), Int(積分器), Gm(トランスコンダクタンス)  
CL(負荷容量), Av(直流利得), GL(負荷抵抗)  
Vout(出力電圧)

図4 バイカッドセクション

ゲイン調整回路では、本体のレプリカ回路で構成することによって正確なQが決定できる。これにより、高精度のバイカッドセクションを実現した。

タの特性を決めるパラメータとしては、Q(Quality Factor)があり、各セクションのQを正確に設定する必要がある。しかし、従来の回路構成でCMOS化した場合は、バイカッドセクションを構成しているGm増幅器の出力抵抗が低下し、必要なQが得られない。

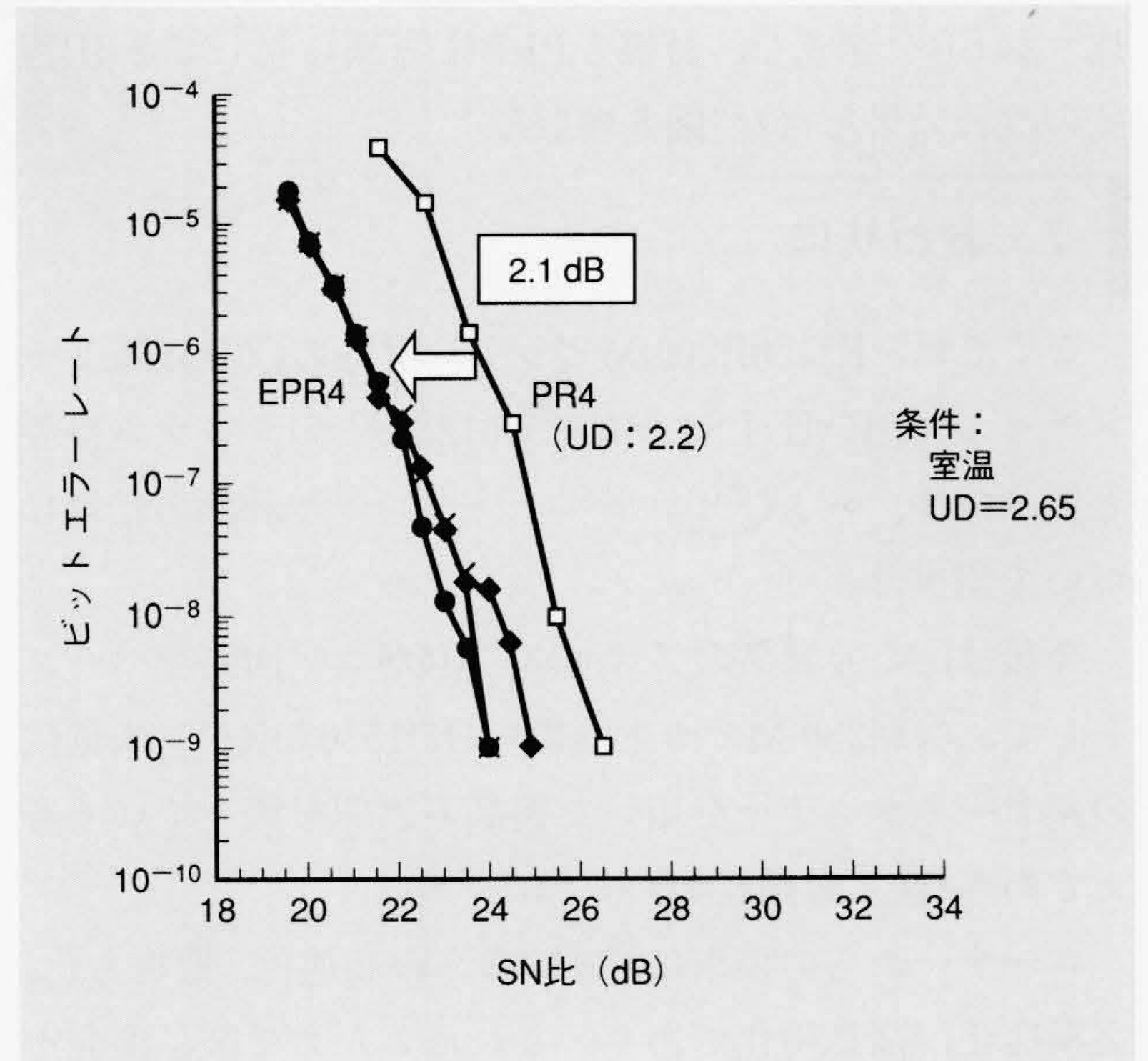
そこで、これらのQを正確に設定するために、Gm増幅器の出力抵抗を適切に制御するゲイン調整回路を付加する方法を採用した。今回のバイカッドセクションを図4に示す。回路は、Gm増幅器と容量から成る積分器の従属接続、ゲイン調整回路(図5参照)、および負荷抵抗で構成する。



注：略語説明 Vri, Vro(Q調整用基準電圧入力)

図5 ゲイン調整回路

ゲイン調整回路は、本体と同一の回路構成でGm増幅器の出力抵抗を決定する。



注1：● (160 Mビット/s)    ◆ (200 Mビット/s)  
× (180 Mビット/s)    □ [PR4 (HD153062)]

注2：略語説明 UD (User Bit Density)

図6 ビット エラー レート測定結果

ビット エラー レート測定では、任意信号発生器からランダム信号とノイズを発生させ、PRML LSIにこれを入力して測定を行っている。

## 6. 試作評価結果

HD153072TFでは、最大転送速度が200 Mビット/s、消費電力も180 Mビット/s時で900 mWを実現した。各ブロックの仕様も満足して、従来のBi-CMOS PRML LSIのHD153068RTFと同等以上の性能を達成した。

LSIとしてのトータル性能であるビット エラー レー

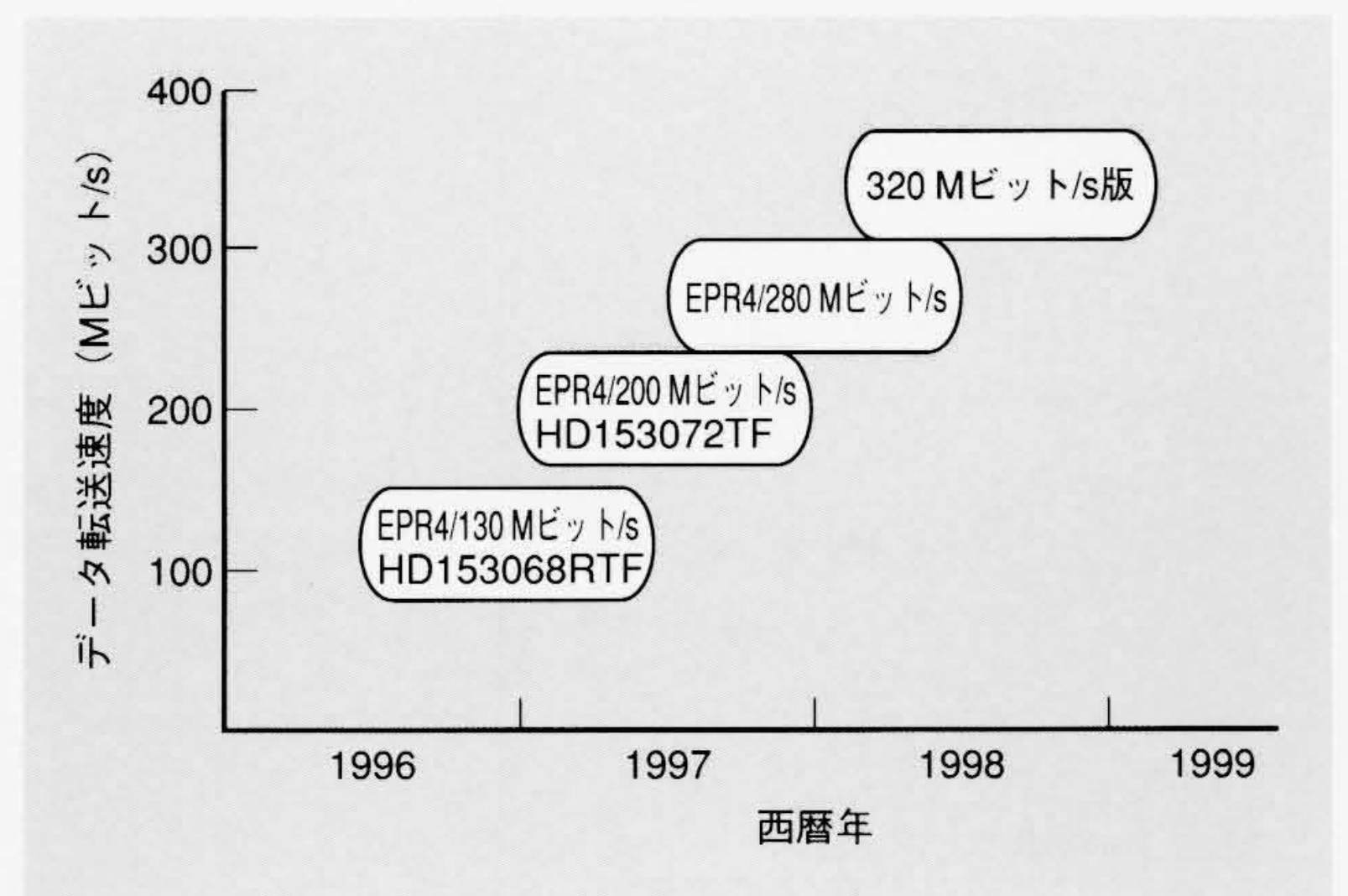


図7 リードチャンネル製品展開

320 Mビット/s版については、信号処理方式のアーキテクチャを検討中である。



ト評価では、180 Mビット/sの動作時での $10^{-9}$ 時でSN比=24 dBを達成し、目標もPRML方式に対して2 dB程度の改善効果を得た(図6参照)。

## 7. おわりに

ここでは、HDD用200 Mビット/s対応のCMOS版リードチャンネルPRML LSI “HD153072TF” のシステム概要と製品仕様、およびビット エラー レート評価の結果について述べた。

今後は、この製品のアナログCMOSコア回路をベースとして、次期280 Mビット/s版のHD153070Rや、次世代の新アーキテクチャを用いた製品の展開を図っていく考えである(図7参照)。

ユーザーからの要求は、いっそうの高速化、低電力化、高精度化、高集積化であり、これにこたえて製品開発を進めていく考えである。

## 参考文献

- 1) Pai, et al. : A 40-mW 55 Mb/s CMOS Equalizer for Use in Magnetic Storage Read Channels, JSSC, Vol. 29, No. 4(1994-4)
- 2) B. Nauta : A CMOS Transconductance-C Filter Technique for Very High Frequencies, JSSC, Vol. 27, No. 2(1992-2)
- 3) K. Toyota, et al. : A Gain-Controlled Integrator Technique for a 50 MHz, 100 mW 0.4  $\mu$ m CMOS 7th-order Equiripple Gm-C Filter, ISSCC 1997 TP. 3.1
- 4) S. Mita, et al. : A 150 Mb/s PRML Chip for Magnetic Disk Drives, ISSCC 1996 TP. 4.1

## 執筆者紹介



### 小松達也

1984年日立製作所入社、半導体事業部 汎用半導体本部  
アナ・デジLSI設計部 所属  
現在、HDD用PRML LSIの開発に従事  
E-mail : komatut@cm.musashi.hitachi.co.jp



### 奈良 孝

1982年日立製作所入社、半導体事業部 汎用半導体本部  
アナ・デジLSI設計部 所属  
現在、HDD用PRML LSIの開発に従事  
E-mail : narat@cm.musashi.hitachi.co.jp



### 清水博文

1988年日立製作所入社、半導体事業部 汎用半導体本部  
アナ・デジLSI設計部 所属  
現在、HDD用PRML LSIの開発に従事



### 豊田研次

1994年日立製作所入社、半導体事業部 半導体技術開発  
センタ マルチメディアLSI開発部 所属  
現在、HDD用PRML LSIの開発に従事  
E-mail : toyota@ctl.hitachi.co.jp