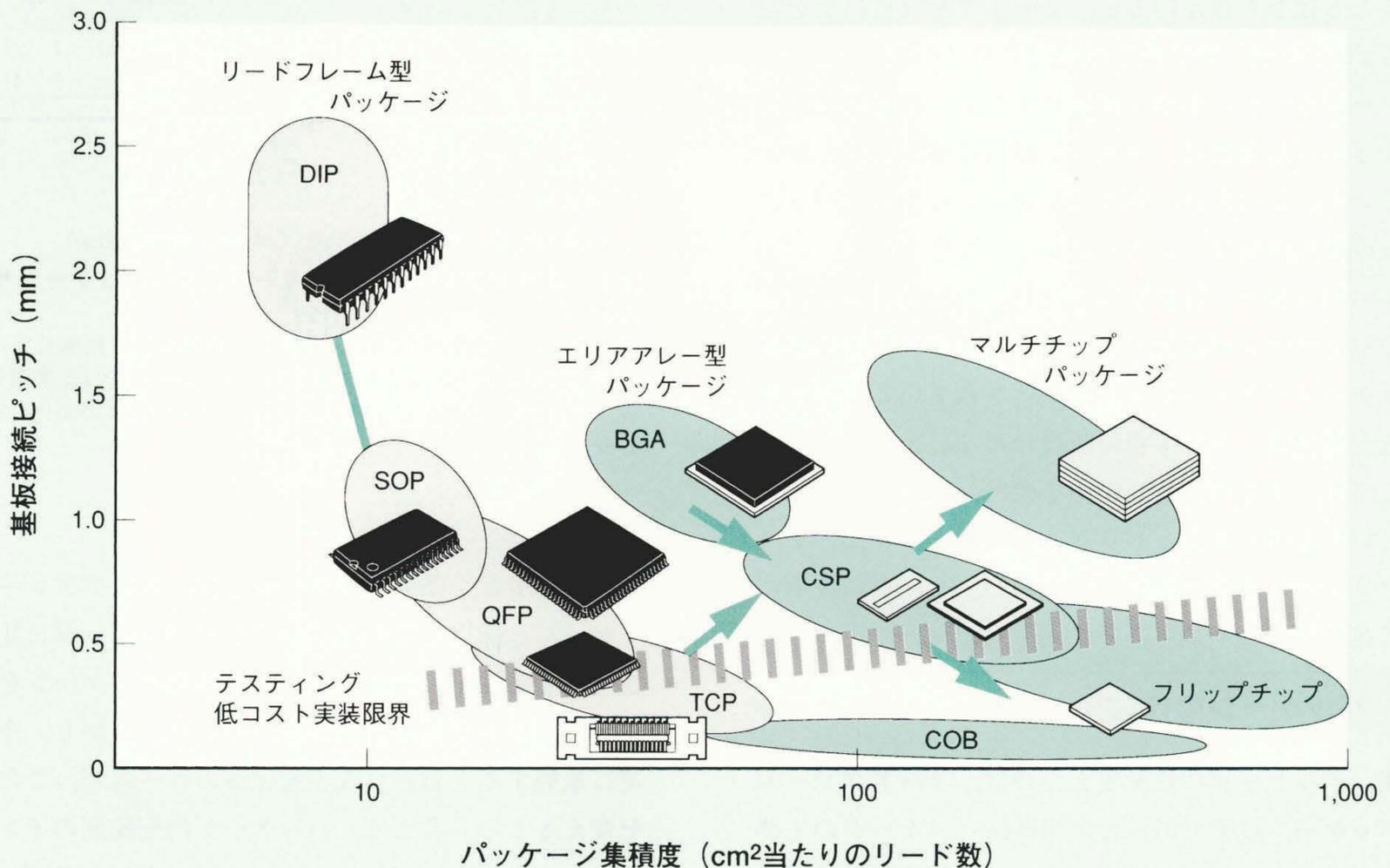


# 小型化と多ピン化が進むパッケージ技術

Semiconductor Packaging Technologies for Miniaturization and High Pin Count

安生一郎 *Ichirô Anjô* 春田 亮 *Ryô Haruta*  
西村朝雄 *Asao Nishimura*



注：略語説明 DIP (Dual Inline Package), SOP (Small Outline Package), QFP (Quad Flat Package), TCP (Tape Carrier Package)  
BGA (Ball Grid Array), CSP (Chip Scale Package), COB (Chip on Board)

## 小型化が進むパッケージ技術

パッケージ形態はリードフレーム型からエリアアレー型へ急速に移行しており、現在、CSPの普及が進みつつある。今後は、ファインピッチに起因するテストングや実装の困難をいかに克服するかが鍵であり、フリップチップ実装やマルチチップパッケージの開発へと進展するものと思われる。

情報電子機器では、気軽に携帯して機動的に使用できる「ノマディック(遊牧民的)」な使い方が現在の開発目標になってきている。ポケットサイズが現在の課題であり、腕時計サイズが将来のねらいであると思われる。

このような小型・軽量化を実現させるには、半導体デバイスの高集積化や高機能化だけでなく、実装面積と容積の抜本的縮小が必須となる。

半導体のパッケージ技術ソリューションとして、現在、パッケージサイズを極力縮小したCSP(Chip Scale Package)を展開中である。この技術は、特に多ピンの領

域で有効なものとなっている。さらに、次世代技術として、パッケージ集積度で最も効率の良い「三次元実装パッケージ」や、実チップサイズで実装のできる「フリップチップ技術」の検討も進めている。

しかし、実装基板材料や配線ルールなどのユーザーサイドの実装設計と一体にならないと、システムに適切なパッケージ技術を開発することはできない。このため、実装最適化ソリューションを得るためには、今後ますます、ユーザーとの開発協力を拡大する必要がある。

## 1 はじめに

情報電子機器では、小型・軽量であることが、商品価値を決めるうえで必須のものとして要求されるようになってきている。特に、移動体通信端末やデジタル民生機器などに代表される「モバイル」と呼ばれる分野では顕著である。半導体の集積度を向上させて小型・軽量を実現することはもちろんのこと、どのような実装技術を選択するかが、小型・軽量化で競合優位に立つ鍵と言える。パッケージをいかに小型・軽量にするか、高密度に実装するかといった命題は、コストと信頼性設計に深くかかわっている。このため、個々のシステムに合ったパッケージ技術の選択肢は、システムごとに異なる。

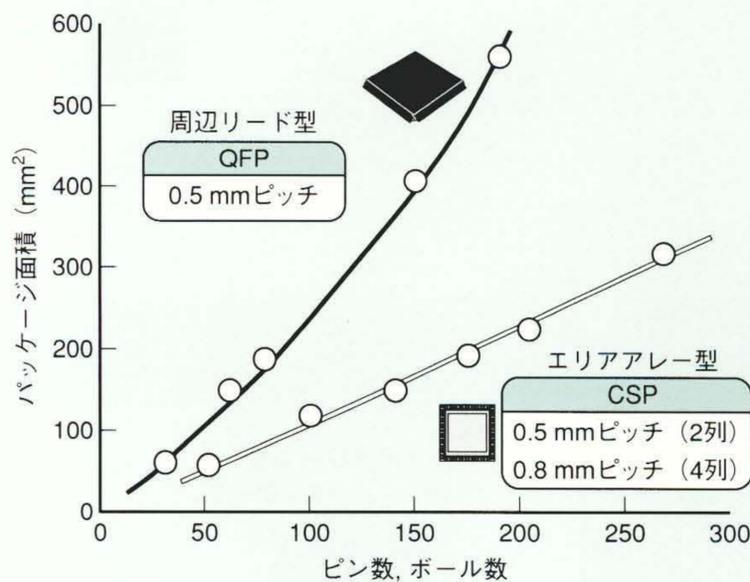
近年のパッケージ材料技術と設計技術の発達により、種々のパッケージが開発できるようになり、実際に無数のパッケージバリエーションが提案されている。パッケージ技術開発は、正に革新の時代にあると言える。

ここでは、多くの選択肢の中で標準品として今後用いられていくものとするパッケージ技術と、今後のシステムソリューションとして開発中のパッケージ新技術について述べる。

## 2 パッケージの役割

従来、パッケージ技術を支えたのは、リードフレーム型のパッケージ技術であった。当時、パッケージの主要目的はデバイスの保護が第一であり、基板実装後の熱応力や湿度による腐食を防止することが、最重要課題であった。その後、パッケージ封止材料、チップ表面保護材、およびパッケージ構造設計の技術進歩により、耐熱性や耐湿性が向上し、それに伴って、パッケージの小型・薄型化が図られてきた<sup>1)</sup>。

現在では、パッケージに求められる役割は、多ピン化と高速化のニーズへの対応を機に変化してきている。「周辺リード型」のパッケージでは、パッケージ周囲に接続端子を配置しているため、ピン数の増加に対して、パッケージ面積が二乗の割合で増加する(図1参照)。このため、250ピン以上の多ピンでは、チップサイズに比べてはるかに大きなパッケージとなり、実装技術と製造技術の面で小型化が難しくなる。これに対して、接続端子をパッケージ裏面に基板の目状に配置している「エリアアレー型」のパッケージでは、パッケージ面積がピン数に比例する。すなわち、多ピン対応のパッケージでは、エリアアレー型が小型化の実現のうえで必須となる<sup>2)</sup>。

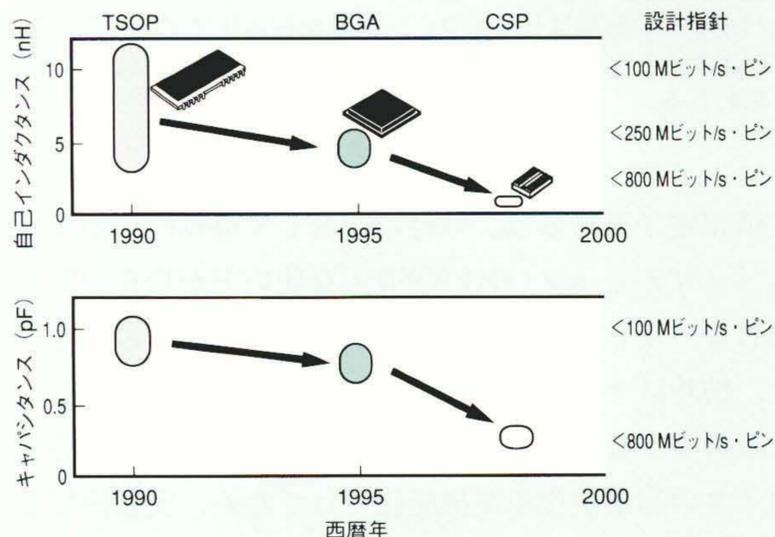


注：略語説明 QFP (Quad Flat Package), CSP (Chip Scale Package)

図1 エリアアレー型と周辺リード型とのパッケージサイズ比較

周辺リード型のパッケージではピン数の二乗に比例してパッケージ面積が大きくなるのに対し、エリアアレー型では比例関係にある。このため、多ピンになるほどエリアアレー型は小型化に有効である。

一方、少ピン系のパッケージでは、エリアアレー型パッケージを採用しても周辺リード型パッケージに比べてさほど面積縮小の効果はなく、新外形パッケージを採用するほどの小型化の恩恵は得られない。しかし、今後急速に進展すると思われる高速化へのニーズが、この状況を変えるものとする。パッケージ内配線間のインダクタンスと電気容量が信号ノイズの原因となるので、パッケージ内の配線長を短くする必要が生じるからである



注：略語説明 TSOP (Thin Small Outline Package), BGA (Ball Grid Array)

図2 パッケージの電気特性

システムの高速化に対応するため、パッケージ内の自己インダクタンスやキャパシタンスを低減することが必須となる。

(図2参照)。

パッケージ内を短配線にするには、周辺リード型パッケージよりもエリアアレー型パッケージのほうが、チップ上のパッドから基板への接続端子への距離を短くできるため、有利である。すなわち、少ピン系でも、エリアアレー型に移行していくものと考えられる。実際に、エリアアレー型では、すでに接続端子にはんだボールを採用し、ボールピッチが1mm以上と粗く実装しやすいBGAが一般に使われている。

パッケージの役割についてさらに深く考察すると、エリアアレー型パッケージを設計する際、最も重要な因子は接続端子ピッチであると考えられる。一般に、ピッチが広ければパッケージサイズが大きくなり、狭ければ基板への接続が難しくなる。現在の配線ルールは、チップでは1μm以下であるのに対し、一般の実装基板では数百マイクロメートルであると思われる。パッケージは、このチップ・基板間のスケール変換の役割を果たしている。現在、一般的には、チップとの接続には100μm程度のパッド間隔が必要であり、基板との接続には0.5mm以上のランド間隔を必要としている。技術的には0.3mm程度のファインピッチ接続端子を基板実装することは可能であるが、コストと信頼性を踏まえたシステムの最適解を得るために、パッケージを介して実装ピッチを広げているわけである。

このように、パッケージの役割として、半導体素子の保護だけでなく、パッケージの持つスケール変換の役割

にさらに注目する必要がある。従来のパッケージ技術は半導体素子を収納する「入れ物」を作る技術であったのに対し、現在では実装基板材料・設計との組合せ最適解を提供する手段となっている。すなわち、パッケージ技術に求められる役割は、単体パッケージの提供から、基板実装技術を含む「パッケージング技術」として、システムソリューションを提供することへと拡大しているものと言える。

### 3 CSP技術

CSPはチップサイズに近いパッケージの総称であり、種々のタイプが提案されている。エリアアレー型パッケージのうち、BGAのファインピッチ版が、2章で述べた理由で、CSPの主流と考える。このタイプは、従来の面実装パッケージと同じく一括リフロー実装ができる小型パッケージであるだけでなく、信頼性を兼ね備えているため、電子機器を小型化するうえで、現在最も有効なパッケージと考える。

一般に、CSPの外形としては、パッケージサイズとはんだボールピッチの組合せのバリエーションが存在するだけであるが、パッケージ構造としては、信頼性と生産性、パッケージ内配線設計など、さまざまな観点でのバリエーションがある。現在、このCSPは、小型化が必須な、高配線密度基板が採用されている携帯電話などの分野で使われている。

はんだボールピッチについては、テストソケット技術

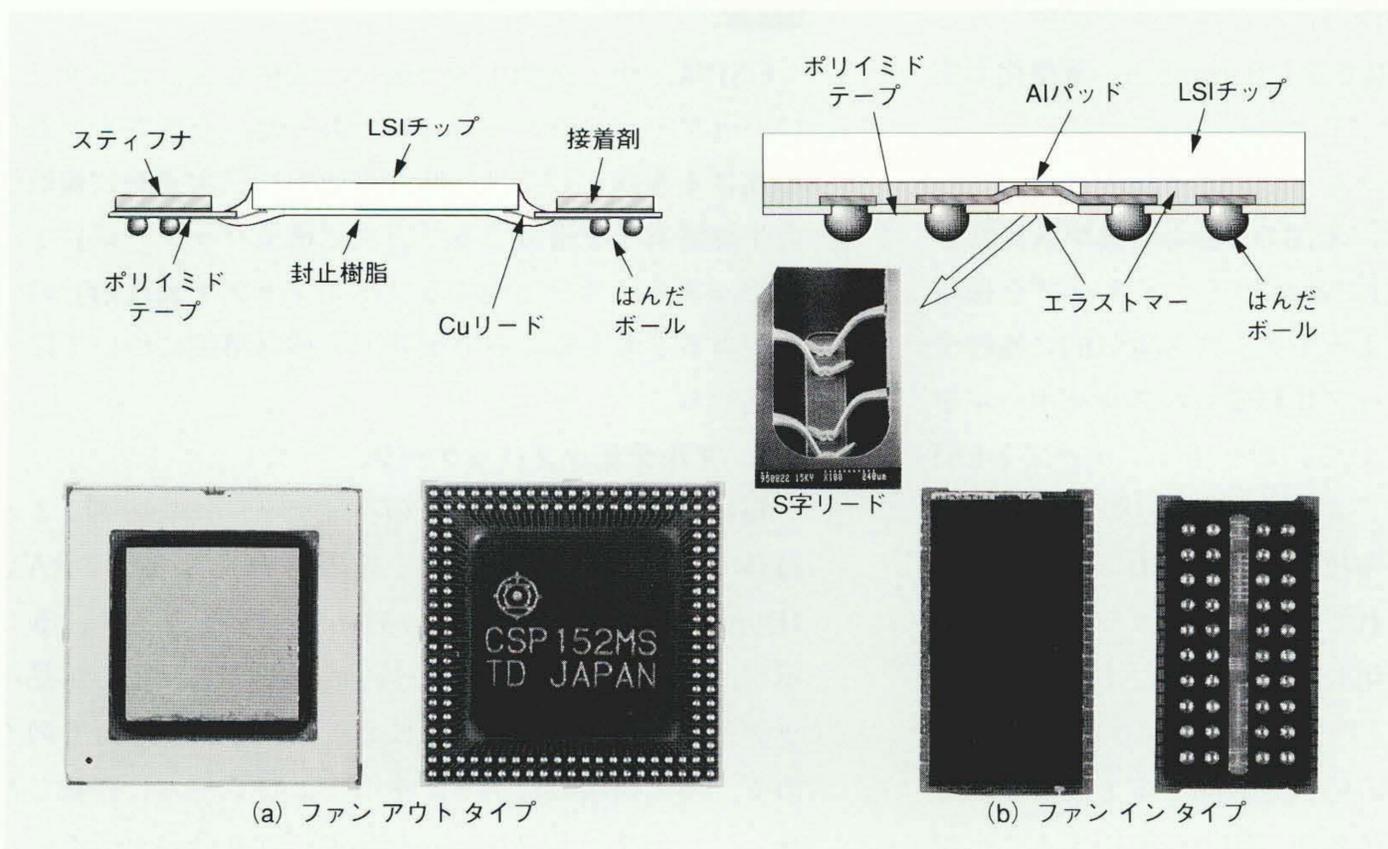


図3 CSPの構造例

日立製作所は、CSPとしてFBGA(Fine Pitch BGA)をラインアップしている。一つは多ピン用のファンアウトタイプ(はんだボールをチップ外側部に配置)であり、もう一つは少ピン用のファンインタイプ(はんだボールをチップ上に配置)である。

と実装基板の配線設計の観点から、現在0.5~0.8 mmの安定実用化技術が構築されている段階である。

信頼性に関しては、はんだ耐熱性と実装後の温度サイクル性、耐湿性および耐機械ストレスが主な観点である。CSPは薄型パッケージであるため、実装前にパッケージ内の吸湿量を低く保つことが難しく、従来のパッケージよりも、はんだ付けリフローでクラックを生じる危険性が高い。また、実装後の信頼性についても、CSPは小型・薄型であるために、従来よりも信頼性を保つのが難しい。日立製作所のCSPの構造設計例を図3に示す<sup>2),3)</sup>。

### 3.1 ファンアウトCSP

パッケージ基材は、TCPで一般的に用いられているポリイミドテープである。テープ上のCuリードは、チップとTAB(Tape Automated Bonding)技術で接続されている。はんだボールは、テープ上のソルダレジストの開口部を介してCu配線と接続される。はんだボールの平坦(たん)性(コプラナリティ)を確保するため、テープの裏側にはスティフナ(補強材)をはり付けている。スティフナはCuでできており、通常の樹脂系実装基板とほぼ等しい熱膨張係数を持っているため、はんだボールへの応力は小さい。搭載されるチップと実装基板との熱膨張係数差による応力は、間に介在する薄いポリイミドテープで緩和される。したがって、実装後のアンダフィルは不要である。

外形を小さくするために、はんだボールピッチを0.5 mmとし、周辺2列に配置することによって外形サイズ縮小を実現し、実装基板の配線引き回しも容易な設計としている。また、0.3 mm径のはんだボールを使用することにより、パッケージの厚さを1.0 mmとし、薄型化も実現している。

### 3.2 ファンインCSP

このパッケージ構造は、米国のTessera社から提案されたものである<sup>4),5)</sup>。基材にはポリイミドテープを採用し、テープ上のCu配線によってチップと電気的に接続する。はんだボールは、テープに形成したスルーホールを介してCu配線と接続している。ポリイミドテープとLSIチップとの接着材として、エラストマー(弾性のある樹脂)を用いているのが、この技術の特徴である。このため、これまで最も多く使用されている安価なガラスエポキシ基板を実装基板として使用しても、はんだボール付け根部の熱応力は抑えられる。

また、はんだボール部の応力を緩和すると、もう一方の接合界面であるチップ接合部に応力が集中することが

知られている。これに対し、この構造ではS字のリード接続形状を採用している。これは、熱応力によるひずみをリード部の緩み形状で緩和するのが目的である。この構造を採用することにより、はんだ付け後にアンダフィルを行う必要がない。

日立製作所は、特にエラストマー材質の最適化を行い、耐湿・耐熱の面で信頼性を向上し、JEDEC(Joint Electron Device Engineering Council)の耐リフロー信頼性レベル1を達成している<sup>6)</sup>。

### 3.3 ファンイン・アウトCSP

モールドタイプのCSPであり、パッケージ基材にはポリイミドテープを採用している。Cu配線を形成したテープ上に、チップのデバイス面を上にして搭載し、Au線ワイヤボンディングによってチップとCu配線を電気的に接続する。その後、エポキシ系封止樹脂でモールド封止する。はんだボールはテープに形成したスルーホールを介してCu配線と接続しているが、チップの下側にも配置できるので小型化が図れる。

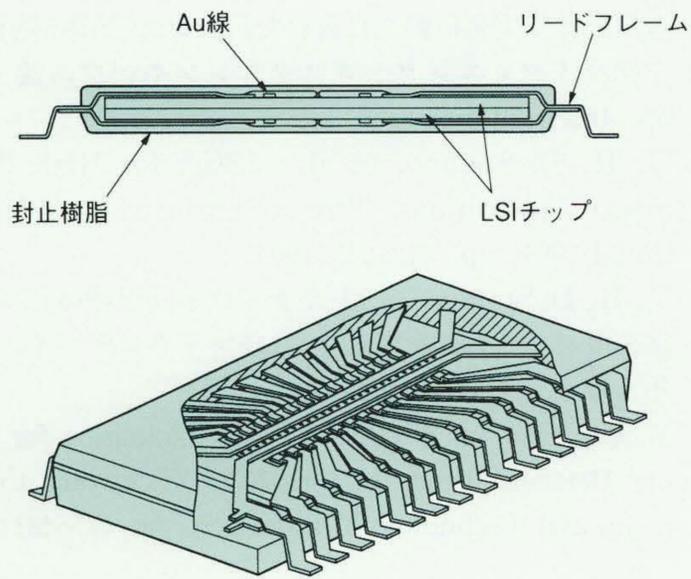
ガラスエポキシ基板に実装した場合に生じる、チップと実装基板の熱膨張係数差による応力は、チップ下のダイボンド接着材とポリイミドテープで緩和されるが、その効果が小さいので、実装後の信頼性は前述の二つのCSPに比べると劣る。このため、チップサイズの小さい小型パッケージに適している。パッケージサイズやチップサイズが大きい場合には、実装後のアンダフィルなどのくふうが必要となる。

## 4 次世代パッケージ技術

CSPは、チップサイズに近い、究極とも言えるサイズのパッケージソリューションであった。今後さらに進化を遂げる方向としては、同一平面内に三次元的に複数個の半導体素子を搭載する「三次元構造パッケージ」と、実チップサイズを実現する「ベアチップ実装技術」の二つがあると考えられる。日立製作所の検討事例について以下に述べる。

### 4.1 マルチチップパッケージ

複数の半導体素子を単一のパッケージに収納すること自体は、種々の技術として発表されている。DRAM(Dynamic Random Access Memory)の例を図4、5に示す。DDP(Double Density Package)は、従来の単品パッケージであるTSOPの中に2チップを収納したものである。薄く研磨したチップをリードフレームに搭載した後、二つのリードフレームを裏表ではり合わせてモールド

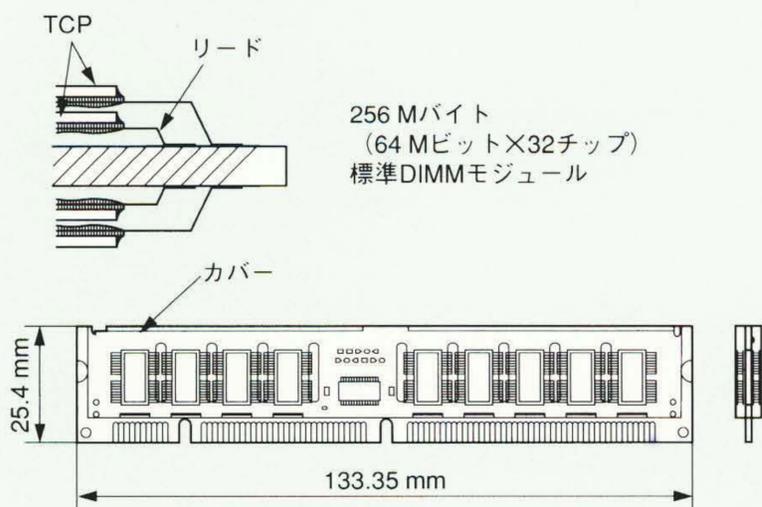


128 MビットDRAM (64 Mビット×2)  
TSOP (400 mm幅) と同一外形

図4 DDPの構造

日立製作所は、三次元パッケージとしてTSOP外形に2チップを搭載するDDPをラインアップしている。このパッケージ技術を用いると、64 MビットDRAMと同一サイズのパッケージに128 MビットDRAMが実装できる。

ド封止し、その後リードを接合している。また、積層TCPでは、リード長の異なる2種類のTCPを積層して搭載することにより、メモリモジュール上で2階建構造を実現している。ともに、パッケージの技術によってDRAMの容量を2倍にしている例である。



注：略語説明 DIMM (Dual Inline Memory Module)

図5 積層TCPモジュールの構造

三次元実装はモジュール実装でも有効である。日立製作所は、メモリモジュール上でTCPを積層する技術を採用している。

しかし、この技術を延長させて、DRAMの容量を4倍、8倍にするのは簡単ではない。チップの発熱量に見合ったパッケージの放熱能力の問題が生じるからである。

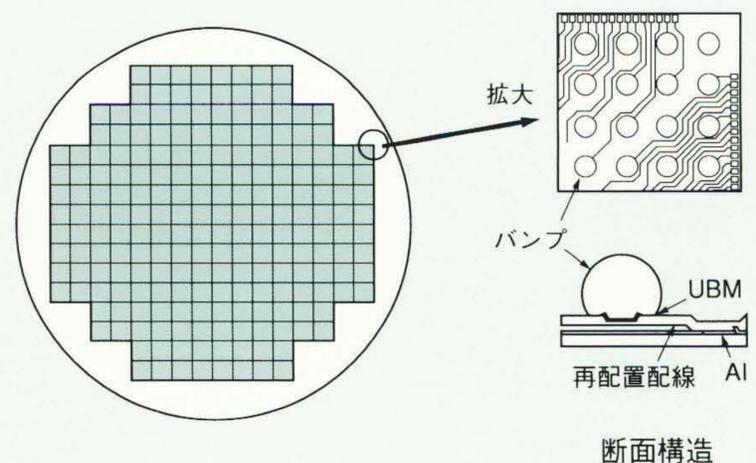
このように、どのような半導体を組み合わせるか、また、どのように結線すべきかといったIP (Intellectual Property) にかかわる部分が、今後マルチチップパッケージを開発するうえで鍵となる。

#### 4.2 ベアチップ実装技術

ベアチップ実装の魅力は、究極のサイズの実現と半導体組立工程が不要となる点であると言われてきた。しかし、以下に述べるような困難な問題のため、主流の実装技術にはなりえなかった。

第一に、良品保証 [KGD (Known Good Die)] が難しいことである。パッケージの機能であるピッチ拡大がないので、ファインピッチのテストコンタクト法が必要となるが、低コストのテスト法が確立できていなかった。第二は、信頼性の確保と保証の問題である。実装後の信頼性が実装メーカーの手法に依存し、かつ、不良が発生した場合、責任元を特定しにくいという問題があった。

現在、上記の困難な問題を克服するために、以下に述べるような開発を進めている (図6参照)。ファインピッチコンタクトを避けるために、チップ上での再配線によるエリアアレーバンプ配置を採用することである。チップサイズの限られた範囲にバンプを形成するため、多ピンではCSP以上にピッチが細密なバンプ配列が要求



注：略語説明 UBM (Under Bump Metal)

図6 ウェーハレベルパッケージ技術

CSP技術をさらに発展させ、ウェーハ工程でCSPと同等形状を実現する技術を開発中である。フリップチップ接続を用いて、Alパッドからエリアアレー状に接続を再配線する技術と、バンプ接続部の信頼性を保持するUBM技術から成る。

され、低コストの高配線密度実装基板の普及が必要条件となる。また、実装後の信頼性を確保するためには、実装基板の熱膨張係数がチップに近づくことが望ましく、さらに、少なくともチップ表面を保護する構造にしなければならない。特にバンプ接続部では、はんだの熱拡散防止のため、UBM構造を採用している。

この構造が実現すると、現在の組立工程をウェーハプロセスで行えることになり、TAT(Turnaround Time)の短縮などが図れる。特に、実チップサイズ実装が実現できるため、短配線を要求される高速用途には有望であり、高配線密度基板の普及とともに用途が広がるものと考えられる。

## 5 おわりに

ここでは、システムソリューションに寄与するものとして有望なパッケージ技術について述べた。

現在では、パッケージ技術とユーザーでの実装技術との間に境界線を引くのは困難になっている。技術的に優れたパッケージであっても、ユーザーのコンセプトと異なれば使えない。

今後も、技術開発段階から実装技術者と連携を図ってパッケージ技術を向上していく考えである。

## 参考文献

- 1) I. Anjo, et al.: Advanced IC Packaging for the Future Applications, IEEE Transactions on Electron Devices, Vol. 45, No. 3 (1998-3)
- 2) 安生, 外: テープBGAタイプCSPの開発, 電子情報通信学会信学技報, Vol.96, No.414, CPM96-121, pp.

1~8(1996)

- 3) 春田, 外: 実装信頼性に優れたFan Out CSPの開発, 第7回マイクロエレクトロニクスシンポジウム論文集, pp. 169~172(1997)
- 4) T. H. Di Stefano, et al.:  $\mu$ BGA for High Performance Applications, Proc. of Surface Mount International 1994, pp. 212-215(1994)
- 5) T. H. Di Stefano, et al.: チップと同面積の超多ピン, 高密度パッケージを実用化, 日経マイクロデバイス, 1994年5月号, pp. 98~102
- 6) Y. Akiyama, et al.: Chip Scale Packaging for Memory Devices, Proc. of 48th IEEE Electronic Components and Technology Conference, pp.477-481(1998)

## 執筆者紹介



### 安生一郎

1978年日立製作所入社, 半導体事業本部 半導体技術開発センター パッケージ技術開発部 所属  
現在, 先端システム実装技術開発に従事  
E-mail: anjoh@cm.musashi.hitachi.co.jp



### 西村朝雄

1975年日立製作所入社, 半導体事業本部 半導体技術開発センター パッケージ技術開発部 所属  
現在, パッケージのプロセス技術, 構造解析技術などの要素技術開発に従事  
工学博士  
日本機械学会会員, 日本材料学会会員  
E-mail: nishimua@cm.musashi.hitachi.co.jp



### 春田 亮

1979年日立製作所入社, 半導体事業本部 半導体技術開発センター パッケージ技術開発部 所属  
現在, LSI用新パッケージの開発に従事  
E-mail: haruta@cm.musashi.hitachi.co.jp