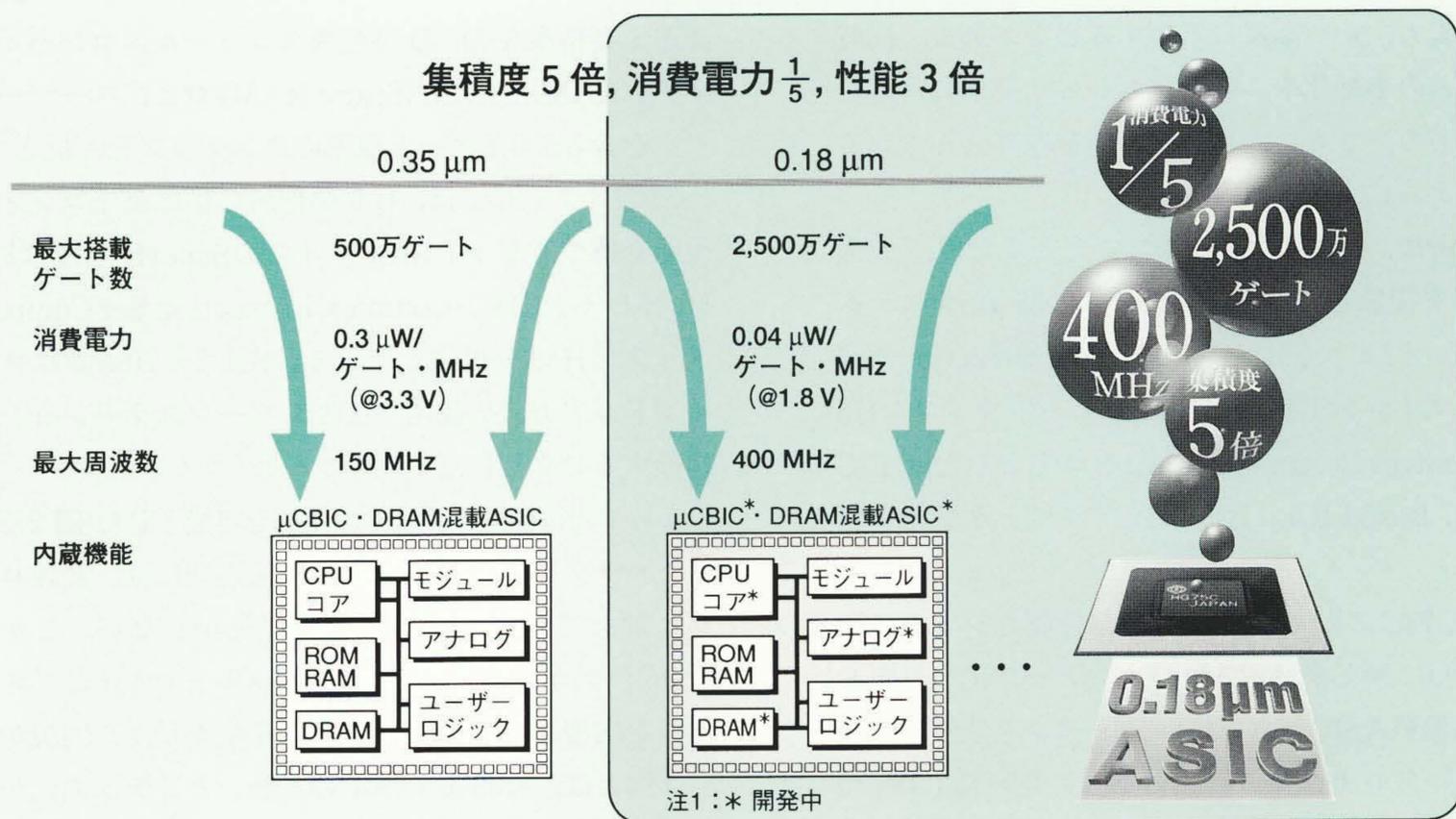


大容量メモリ・マイコン搭載システムASIC技術

System ASIC Technologies for Mounting Large Memory and Microcomputers

米戸 靖 Yasushi Yoneda 鈴木隆幸 Takayuki Suzuki
内田 覚 Satoru Uchida



注2: 略語説明 μCBIC (Micro Cell Based IC), ROM (Read-Only Memory), RAM (Random Access Memory), DRAM (Dynamic RAM) ASIC (Application Specific IC), CPU (Central Processing Unit)

微細化プロセス適用が進む日立製作所のシステムASIC

日立製作所のシステムASICは、0.35 μmから0.18 μmへのプロセス微細化の最中にある。0.18 μm CMOS (Complementary Metal-Oxide Semiconductor) プロセスの採用により、0.35 μm製品と比較して5倍の集積度、 $\frac{1}{5}$ 以下の消費電力、そして、2~3倍の高速動作を可能とする。今後、アナログ、CPUコア、DRAMも0.18 μmシステムASICの主要モジュールとして搭載する。

携帯情報機器をはじめとするマルチメディア機器市場が活況を呈している。これらの機器では、多彩な機能の凝縮とともに、システムの小型化、高速化、低消費電力化が求められる。日立製作所は、これらのニーズにこたえるために「システムASIC (Application Specific IC)」を提案している。0.8 μmプロセスの「HG71Cシリーズ」でデビューしたCPU (Central Processing Unit) 搭載のμCBIC (Micro Cell Based IC)は、0.5 μmプロセスの「HG72Cシリーズ」を経て、0.35 μmシステムASICへと進化した。0.35 μmシステムASICとして、CPU搭載μCBIC「HG73Cシリーズ」と、CPUに加えてDRAM (Dynamic Random Access Memory)のオンチップ化も可能とするDRAM混載ASIC「HG73Mシリーズ」を量産中である。このDRAMを搭載することにより、メモリバスネックが解消されて、高性能のシステムが実現できる

ようになった。

そして今、日立製作所のシステムASICは、0.35 μmから0.18 μmへのプロセス微細化の最中にある。すでに、0.18 μmシステムASICの先駆けとして、セルベースIC「HG75Cシリーズ」を製品化した。HG75Cシリーズでは、0.18 μm CMOS (Complementary Metal-Oxide Semiconductor) プロセス (5層メタル配線技術)の採用により、従来のHG73Cシリーズと比べて5倍の集積度、 $\frac{1}{5}$ 以下の消費電力、そして2~3倍の高速動作を可能とし、そのソリューションを飛躍的に拡大させた。今後、CPUコア「SH3-DSP」とともに、アナログほかのモジュールを提案する考えである。さらに、グラフィック関連用途に向けたDRAM混載ASIC化により、0.18 μmシステムASICの本格的な適用を目指す。

1 はじめに

ここ1, 2年, 携帯情報機器の一般ユーザーへの浸透はめざましく, もはや生活必需品の感さえある。動画も扱えるマルチメディア化の波は, この分野にも及んでいる。携帯情報機器に限らず, マルチメディアシステムは膨大なデータを蓄え, かつ高速に処理する必要がある。同時に, システムの小型化や, 軽量化といった要求にもこたえる必要がある。さらに, 多彩な機能を取り込んでいくことがシステムに求められる。

日立製作所は, これらのニーズにこたえるため, 「システムASIC」を提供している。すでに, 0.35 μmシステムASICとして, 32ビットRISC(Reduced Instruction Set Computer)マイコンSH-1とSH-3, 16ビットマイコンH8SのCPU(Central Processing Unit)をコアとしたμCBIC(Micro Cell Based IC)「HG73Cシリーズ」を量産中である。

また, 「HG73Cシリーズ」と同等の高性能ロジック(150 MHz)とCPUに加えて, DRAMのオンチップ化を可能としたDRAM混載ASIC「HG73Mシリーズ」も量産中である。このたび, プロセスの微細化をさらに進めた0.18 μmシステムASIC「HG75Cシリーズ」によって「システムオンチップ」への扉を開けた(図1参照)。

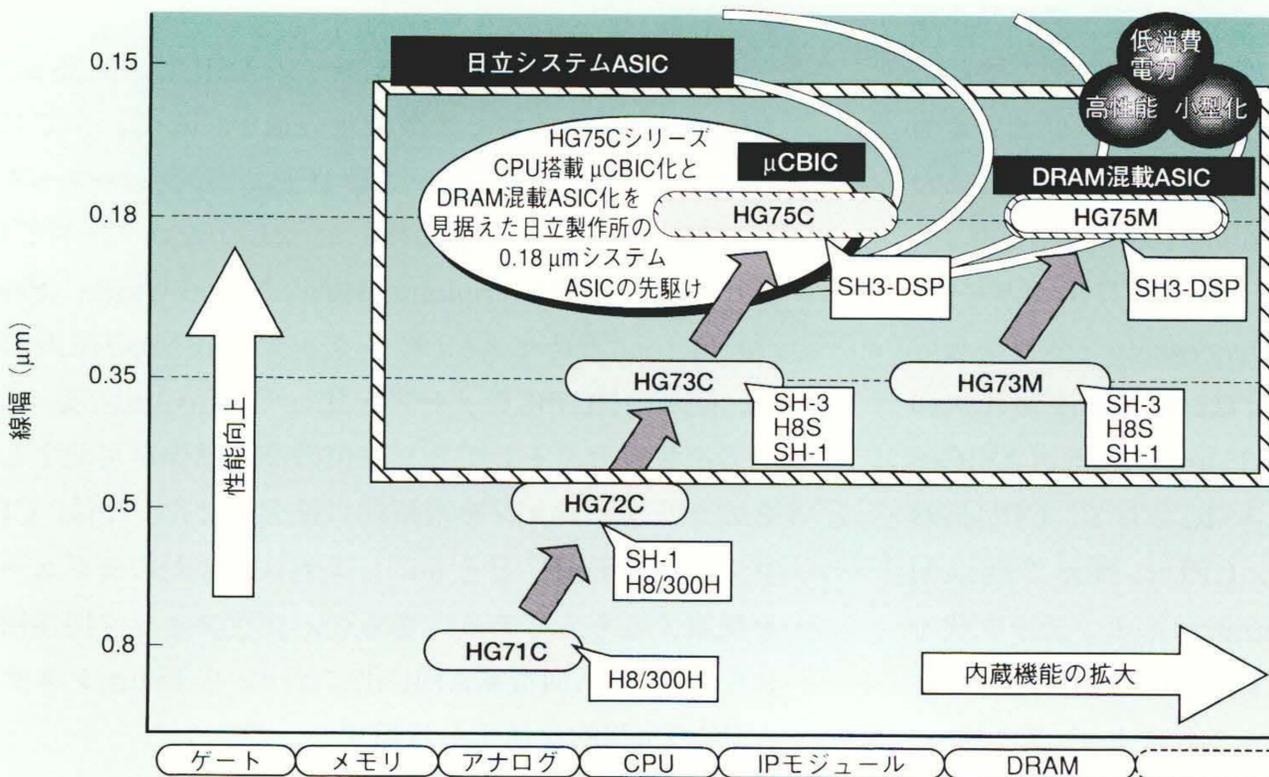
ここでは, 微細化・高集積化が進む日立製作所のシステムASICの特徴と, 今後の展開計画について述べる。

2 システムASICのラインアップ

CPU搭載型セルベースIC「μCBICファミリー」は, DRAM混載ASICとともに, 日立製作所のシステムASICの両翼を成す。中でも0.35 μmプロセスを採用した「HG73Cシリーズ」では, μCBICの中核として, CPUと高速・高精度A-D, D-A変換モジュール, コンパイルドROM/RAM, SRAM(Static RAM)およびユーザーロジックを含む500万ゲート規模のオンチップを可能とする。

CPUコアとしては, 日立製作所の標準マイコンと同じ機能を持つ32ビットRISCタイプのSuperH(SH-3とSH-1), 16ビットCISC(Complex Instruction Set Computer)タイプのH8Sを提供している。SH-1とH8Sではコンパイルコア方式の採用により, ワークステーション上で起動する日立製作所提供のツール「マイコンコンパイラ」によって周辺機能のカスタマイズを可能とした(図2参照)。

マルチメディアに不可欠な画像処理には, 高速ロジックに加えて, 大規模なメモリが欠かせない。しかし, ASICのプロセスと同様の平面(プレーナ)方式でメモリセルを実現するSRAMでは, 集積度が低く, 実現が難しい。例えば, 0.35 μmASICの場合, オンチップ化が可能なSRAM容量は1 Mビット程度と言われている。一方, 半導体のプロセス微細化を牽(けん)引している汎用DRAMでは, メモリセルの立体化と高密度化が進み, SRAMとはけた違いの大規模メモリを実現することができる。このため, 大規模なDRAMをモジュールとして



注: ○ (リリース済み)
 ○ (リリース済み (CPUを除く))
 ○ (開発中)

図1 日立製作所のシステムASICの展開

CPUを搭載したμCBICファミリーと, DRAMを搭載するDRAM混載ASICファミリーが日立製作所のシステムASICの両翼を成す。0.35 μmプロセスでは, μCBIC「HG73Cシリーズ」と, DRAMのオンチップを可能とした「HG73Mシリーズ」を量産中である。このたび, 0.18 μmシステムASIC「HG75Cシリーズ」をリリースした。

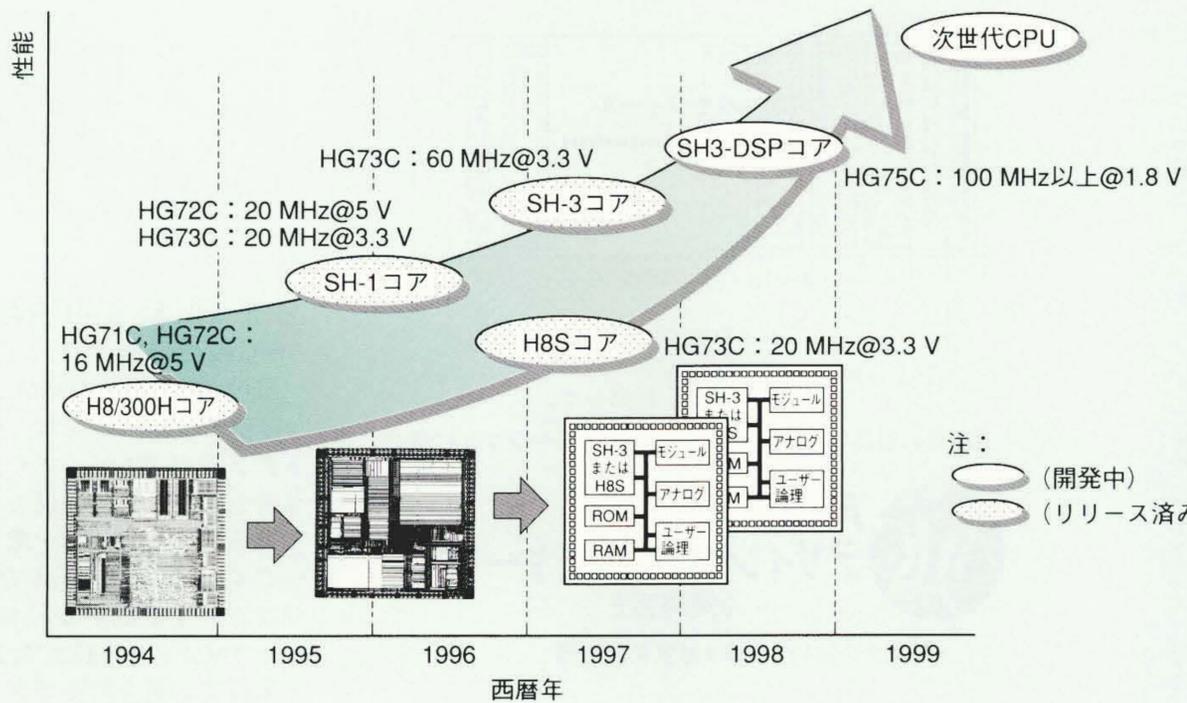


図2 CPUコアの展開
 H8/300H搭載のHG71CシリーズでデビューしたCPU搭載μCBICは、HG73Cシリーズに至り、日立製作所の標準マイコンと同じ機能を持つ32ビットRISCタイプのSuperH(SH-3, SH-1)と、16ビットCISCタイプのH8Sの搭載が可能となった。0.18 μmのHG75Cシリーズでは、SH3-DSPの搭載が可能となる。

取り込む「DRAM混載ASIC」が、システム オン チップの主演として注目されている。

DRAM混載の最大のメリットは、「バスネック」の解消にある。ボード上でのシステムをオンチップ化することにより、メモリとロジック間のバス幅を拡大でき、高速処理が可能となる。効率を別とすれば、動作クロックが同じであれば、バス幅がバス転送性能に直接影響する。汎用DRAMとロジックで構成する最も単純なシステムを想定した場合、汎用DRAMのバス幅が8ビット、動作クロックが66 MHzでは、その転送性能は66 Mバイト/sにすぎない。一方、DRAM混載ASICの場合には、バス幅を128ビット程度まで容易に拡大できるので、バス転送性能は1 Gバイト/sを超える。

バスネック解消による高性能化のほかに、DRAM混載技術は、メモリとロジックを同一チップ上に実現することによってシステムの小型化に貢献する。さらに、外部バス駆動用のドライバが不要なので、低消費電力化が図れる。

日立製作所は、汎用DRAMのベンダとして、64 MビットDRAMを提供している。DRAM混載ASIC「HG73Mシリーズ」では、この64 MビットDRAM技術と、「DRAMマイクロモジュールアーキテクチャ」と呼ばれるDRAMモジュール化手法により、DRAM混載で得られる高性能、低消費電力、小型化といった特徴をいっそう鮮明にする。この方式では、256 kビットのメモリアレーを持つマイクロメモリモジュール(4~16バンク)と、共通モジュールであるI/O(Input and Output)モジュール、電源モジュールの3種類の部品でDRAMモジュールを構成す

る。1 Mビットから4 Mビットの範囲で、256 kビット単位で容量を変更できる。このDRAMモジュールは、同一チップ上へ複数個搭載できる。

ところで、汎用DRAMでは外部ピン数の制限があるため、アドレス方式とI/O方式、さらにバス幅にピン数削減のくふうが凝らされている。反面、このくふうは、使い勝手の悪さと性能劣化を引き起こす。このためHG73Mでは、内部ピン数の制約を受けないというオンチップ化の最大のメリットを生かして、高性能のDRAMモジュールを実現している。許容されるピン数に関するHG73M用DRAMモジュールと、汎用64 MビットDRAMの主な相違点を以下にあげる([]内は汎用DRAMの場合)。

- (1) ピン数：約300(内部ピン) [約50(外部ピン)]
- (2) アドレス制御方式：ローアドレス、カラムアドレス完全独立制御 [ローアドレス、カラム アドレス マルチプレクス]
- (3) I/O：I/Oセパレート方式 [I/O共通]
- (4) バス幅：128ビット [×1, ×4, ×16]

HG73Mシリーズでは、DRAM混載に適したプロセスを採用することにより、HG73Cシリーズと同等の高性能ロジック(150 MHz)とDRAMのオンチップ化を可能としている。またHG73Mシリーズでは、HG73Cシリーズと同様に高性能32ビットRISCマイコン(SH-3, SH-1)と16ビットCISCマイコン(H8S)の搭載が可能である。設計環境としては、HG73Cシリーズと共通の「システムASIC統合設計環境」を使用する。DRAMモジュールは、CPUモジュールと同様に、高位言語のシミュレーションモデルをユーザーに提供している。なおこのシリーズは、産業

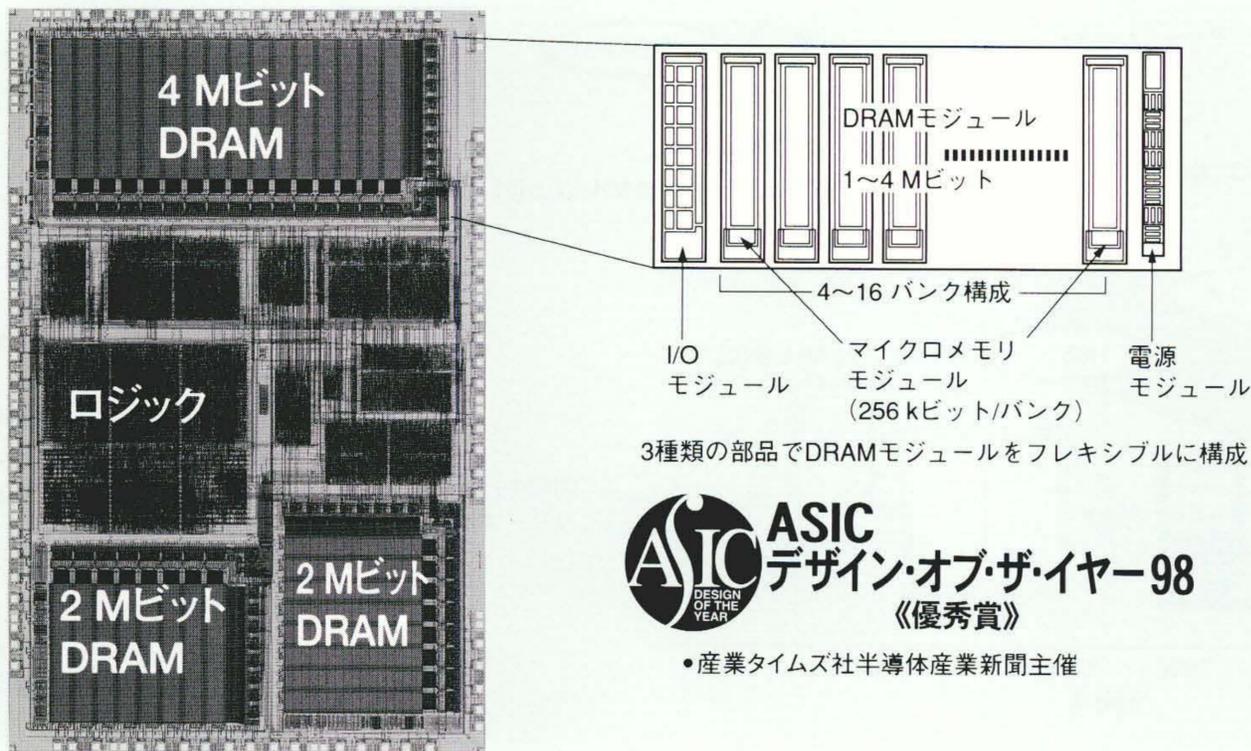


図3 0.35 μm DRAM混載ASIC製品の例

日立製作所のDRAM混載ASIC「HG73Mシリーズ」では、256 kビットのメモリアレー(マイクロメモリモジュール)と、共通モジュールであるI/Oモジュール、電源モジュールの3種類の部品でDRAMモジュールを構成する。1 Mビットから4 Mビットの範囲で、256 kビット単位で容量を変更できる。このDRAMモジュールは、同一チップ上へ複数個搭載できる。

タイムズ社半導体産業新聞主催の「ASICデザイン・オブ・ザ・イヤー98」の優秀賞を受賞している(図3参照)。

3 0.18 μm プロセス採用「HG75Cシリーズ」

マルチメディア機器や携帯情報機器の小型化、高速化、低消費電力化のニーズは拡大の一途をたどっている。日立製作所は、このような拡大するニーズに対応するため、プロセスの微細化を進め、0.18 μm システムASICとしてセルベースIC「HG75Cシリーズ」を製品化した。

このシリーズでは、0.18 μm CMOSプロセス(5層メタル配線技術)の採用により、従来製品(HG73C)と比べて5倍の集積度、 $\frac{1}{5}$ 以下の消費電力、2~3倍の高速動作を可能とした。ランダムロジックだけで設計した場合、2,500万ゲート規模の回路を1チップに搭載できる。さらに、動作電圧を1.8 Vにすることにより、0.04 μW /ゲート・MHzの低消費電力を実現した。ゲート遅延時間は75 ps(2入力NAND, 標準負荷時)で、300~400 MHzの高速システムLSIが実現できる。シングルポートとデュアルポートの高速シンクロナスSRAMもサポートしている。

HG75Cシリーズでは、HG73CシリーズとHG73Mシリーズに適用している「システムASIC統合設計環境(ワークステーション上での市販EDAツールを統合した一貫設計環境)」をそのまま継承して使用できる。さらに、HG75Cシリーズで本格化する100万ゲートクラスの大規模論理回路の設計の障害となる設計・検証時間増大に対処するため、サイクルベースシミュレータ、静的タイ

ミング解析ツール、および形式論理等価性比較ツール(フォーマルベリファイヤ)を順次サポートする。これにより、従来のイベントドリブンシミュレータ主体の設計環境に比べて、検証時間の大幅な短縮が可能となる。

HG75Cシリーズでは、ステップ1としてコアセル、I/Oセル、高速SRAMをリリースする。これに続いて、ステップ2では追加I/Oセルと低消費電力SRAMを、さらにステップ3としてアナログとCPUコア(SH3-DSP)をそれぞれ提供する。外部供給が必要な V_{BB} 制御用電圧では、ステップ3で内部発生を目指す。汎用256 MビットDRAM技術をベースとしたDRAMモジュール搭載製品の開発も、並行して進めていく。

4 IPモジュール展開

LSIの高集積化と高機能化に伴い、これまでに述べたCPUコア、大規模DRAMモジュールなどに加え、IP(Intellectual Property)モジュールへの要求が高まっている。IPは、IEEE(Institute of Electrical and Electronics Engineers)をはじめとする標準化組織で規格統一された機能や、広く一般に使われている業界標準の機能などを実現するもので、システムオンチップを実現するには必要不可欠な要素となってきた。また最近では、VSI(Virtual Socket Interface)アライアンスにより、IP全体にわたる標準化が進められている。このようなIPをASICのライブラリとしてユーザーに提案することにより、LSIの設計開発工数を大幅に低減することが可能となり、ユーザーの負担を軽くすることができる。

日立製作所は、各アプリケーション分野に対応した、次のようなIPモジュールのラインアップを進めている。

- (1) パソコン周辺：USB(Universal Serial Bus), IEEE1284, IEEE1394, IrDA(Infrared Data Association), PCI(Peripheral Component Interconnection)
- (2) 画像系：JPEG(Joint Photographic Experts Group), NTSC(National Television System Committee)/PAL(Phase Alternation by Line)エンコーダ
- (3) ネットワーク系：CAN(Controller Area Network), Ethernet^{※)}など

このようなIPでは、汎用のマイコンなどを使用してその制御を行うのが一般的である。したがって従来の方法では、ボード上で汎用マイコンLSIと、例えばIEEE1284用の汎用LSIを複数チップ搭載し、システムを構築することになる。日立製作所のシステムASICでは、これらIPやマイコンのCPUコアを搭載することはもちろんのこと、ユーザー独自の回路を一つのLSI上に集積して、システムオンチップを実現することができる。

IPモジュール搭載システムASICの例として、シリアルインタフェースの一種であるUSBファンクションモジュールを搭載したプリンタ用 μ CBICを図4に示す。

日立製作所のIPモジュールの一つであるUSBファンクションモジュールには、USBのプロトコル処理を行うUDC(USB Device Controller)コアと、マイコンとの接続を行うインタフェースコアが含まれる。インタフェー

スコアには、マイコンへの割込み要求を出力するための割込みインタフェース回路、各種レジスタアクセス用のレジスタインタフェース回路、およびエンドポイント[FIFO(First in, First out)バッファ]が含まれる。このインタフェースコアを介して、SuperHマイコンCPUコアやDRAMモジュール、ユーザーロジックなどが接続される。

IPモジュールの使用により、このような高機能なASICを開発する場合でも、ユーザーはユーザーロジックの開発に専念すればよく、大規模なASICの開発が容易となる。これらIPの多くは、一般的におおの標準化された規格仕様に準拠している。しかし、一つのIPの中でも、標準的な仕様に基づいて構成している回路部分と、ユーザーの仕様やアプリケーションに依存してその回路構成が異なってくる部分がある。USBの例では、UDCコアの部分はUSBプロトコルで一義的に仕様が決まっているが、インタフェースコア部分は構成が変わる場合がある。例えば、エンドポイント(FIFOバッファ)の個数は、プリンタアプリケーションの場合、基本的には3個であるが、ユーザー仕様によっては4個になることもある。また、プリンタ以外のアプリケーションの場合は、その数やバッファ容量が変わることもある。この点、日立製作所のUSBファンクションモジュールでは何種類かのエンドポイント数とバッファ容量を準備して、柔軟に対応できるようにしている。

このUSBの例のように、IPモジュールは単にマクロブロックという形で準備するだけでは十分ではない。システムASICの開発では、ユーザー仕様、アプリケーション、マイコンインタフェースなどにいかに柔軟に対応できるかが重要なポイントとなる。また、ハードウェアだけでなく、例えば、マイコンのファームウェアなどのサポートも必要であり、それぞれに対応していく考えである。

IPモジュールについては、現在、HG73CとHG73Mでのラインアップを中心に進めている。今後は、0.18 μ mシステムASICであるHG75Cへの展開を進めるとともに、さらに豊富な品ぞろえを計画中である。

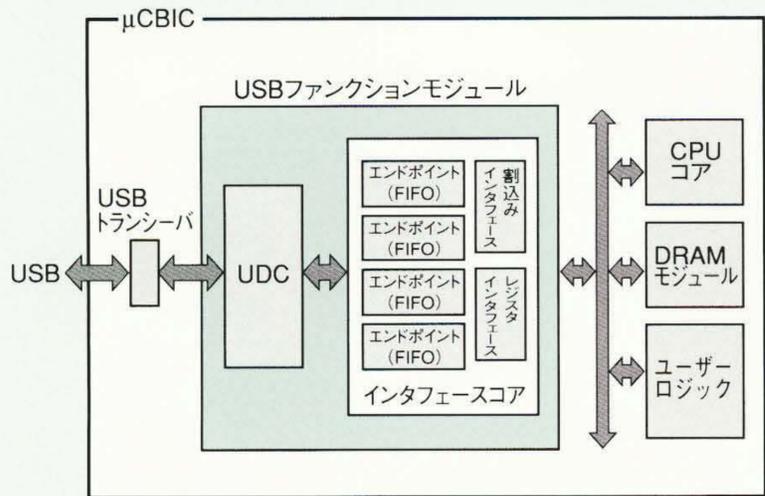


図4 USBファンクションモジュールを内蔵したプリンタ用 μ CBIC

IPモジュールとマイコン、ユーザーロジックなどを組み合わせて1チップ化することにより、システムASICが容易に実現できる。ユーザー仕様やアプリケーションに応じた柔軟な対応が可能となる。

※) Ethernetは、米国Xerox Corp.の商品名称である。

5 おわりに

ここでは、微細化・高集積化が進む日立製作所のシステムASIC「CPU搭載 μ CBIC」と「DRAM混載ASIC」について述べた。0.35 μ mプロセス採用のHG73CシリーズとHG73Mシリーズが、現在の主力製品である。このたび、0.18 μ mシステムASICの初製品としてHG75Cシリ

ーズを開発した。

携帯情報機器用として、小型化と低消費電力化ニーズの拡大に加えて、グラフィック関連分野では、高性能システム構築のため、大容量メモリ搭載によるメモリ バス ネットワーク解消が、これまで以上に求められてきている。この課題にこたえるため、日立製作所は、0.18 μmシステム ASICの核となるDRAM混載ASICを開発中である。高性能CPUと大容量DRAMの搭載、いっそうの微細化プロセスの追求、高効率システム オン チップ設計環境の確立、そしてIPラインアップの拡充が、0.18 μmシステム ASIC

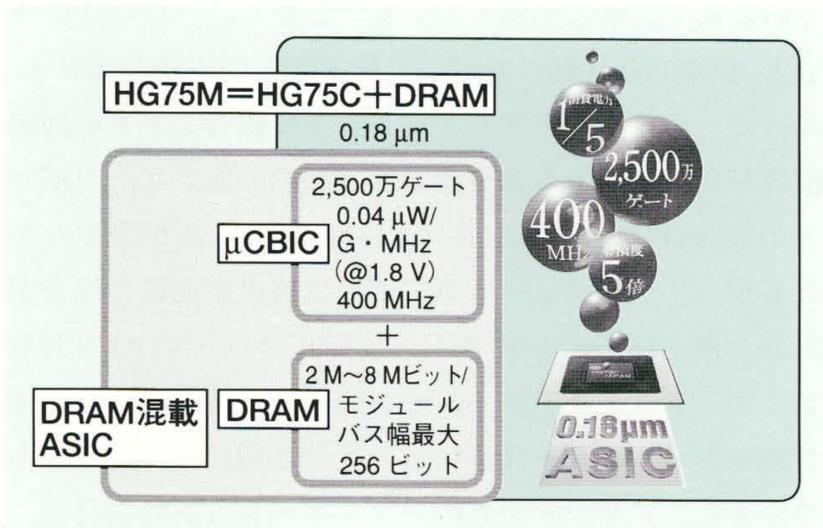


図5 0.18 μmDRAM混載ASIC

日立製作所は、0.18 μmシステムASICの核となるDRAM混載ASICを開発中である。高性能CPU搭載と大容量DRAM搭載による相乗効果で、システム オン チップ化を推進する。

とこれに続く次世代製品開発のキーポイントになるもの
と考える(図5参照)。

参考文献

- 1) 柳沢, 外: ロジックLSIに載せやすい32kバイト単位のDRAM-IPを開発, 日経マイクロデバイス, 1997年7月号
- 2) 斉藤, 外: システム オン チップを実現するASIC技術, 日立評論, 79, 11, 837~842(平9-11)

執筆者紹介



米戸 靖

1991年日立製作所入社, 半導体事業本部 システムLSI事業部
システムLSI本部 第三システムLSI設計部 所属
現在, システムLSIのマーケティングと拡販に従事
E-mail: y-yoneda@denshi.head.hitachi.co.jp



内田 覚

1984年日立製作所入社, 半導体事業本部 システムLSI事業部
技術開発センタ 設計環境開発センタ 設計技術開発部 所属
現在, システムLSI設計技術の開発に従事
E-mail: uchidas@cm.musashi.hitachi.co.jp



鈴木隆幸

1980年日立製作所入社, 半導体事業本部 システムLSI事業部
システムLSI本部 第三システムLSI設計部 所属
現在, システムLSIのマーケティングと拡販に従事
E-mail: suzukit@cm.musashi.hitachi.co.jp