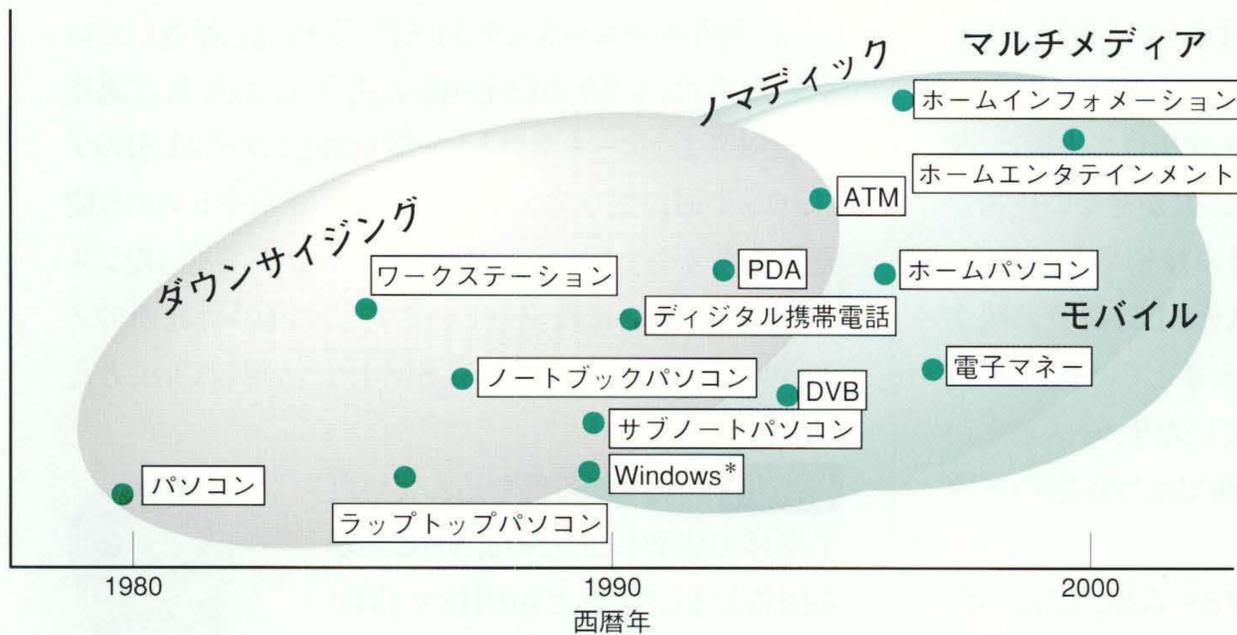


システムLSIを実現する半導体技術

Semiconductor Technologies for System LSIs

長尾真樹 Masaki Nagao 西 邦彦 Kunihiko Nishi
 宿利章二 Shôji Shukuri 萩原吉宗 Yoshimune Hagiwara
 工藤 聡 Satoshi Kudô



注：略語説明ほか
 PDA (Personal Digital Assistant)
 ATM (Asynchronous Transfer Mode)
 DVB (Digital Video Broadcasting)
 *Windowsは、米国およびその他の国における米国Microsoft Corp.の登録商標である。

情報化時代のメガトレンド
 半導体の高性能・高機能化により、システムの多様化が進む。縦軸は、技術の相対的高度化を示す。

マルチメディアやモバイル分野のニーズを実現するシステムLSIの製造では、微細加工技術に代表されるプロセス技術や異なった機能を同一Si上に形成するデバイス技術に加え、複雑かつ大規模な論理を効率よく短期間で設計し、高精度な検証技術やテスト技術が必要となる。また、Siチップの実装分野でも、小型・軽量化のほかに、複数のチップの組合せ実装によるシステム化の実現や、高速化、電磁輻(ふく)射低減のための新しい実装技術が求められている。日立製作所は、これらのマーケットニーズを実現するための技術開発を進めている。

1 はじめに

1980年代に入り目覚ましい進歩を遂げたパソコンでは、現在、数百MIPS (Million Instructions per Second) の高性能が実現し、サイズでも、デスクトップから手のひらサイズへと大幅な小型化が進められた。一方、1990年代には通信技術の進歩により、多機能携帯電話や電子マネーなどが登場してきた。これらエレクトロニクス機器の発展に欠かせないのが、半導体技術である。特に、今後のエレクトロニクス機器には、(1) 携帯性、(2) マルチメディア対応、(3) ネットワーク、(4) 低コストの要件が求められる。この実現にはシステムLSIの開発が必須であり、これを支えるプロセス・デバイス技術、高効率設計技術、高機能・高密度実装技術をユーザーにタイムリーに提供することが重要となる。

ここでは、これらの半導体技術について述べる。

2 システムLSIを支える半導体プロセス、デバイス技術

2.1 微細化を実現するリソグラフィー技術

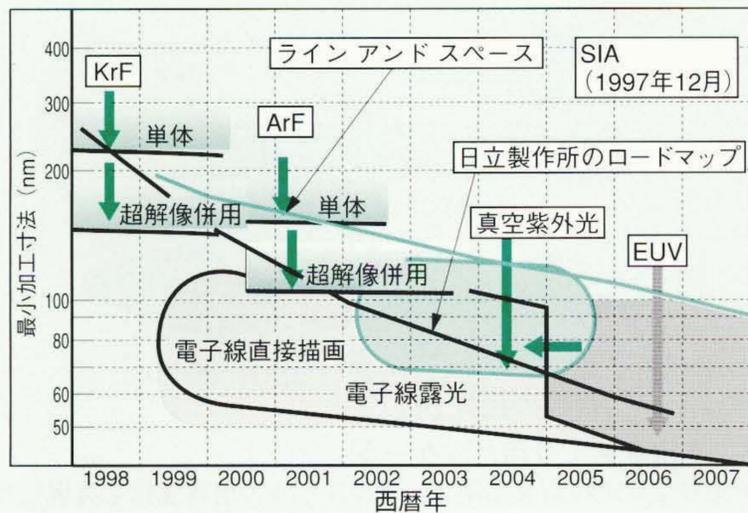
一般的に、リソグラフィー技術での解像限界は次に示すレイリーの式で規定され、パターン転写に使用される波長が短いほど、また、使用されるレンズの開口数が大きいくほど、より微細なパターンの形成が可能である。

$$R = \frac{k \cdot \lambda}{NA}$$

ここに、 λ ：露光波長

NA：レンズ開口数

現在の先端リソグラフィー技術では、KrF (246 nm) のエキシマレーザーによる紫外光で、 $\sim 0.2 \mu\text{m}$ レベルのパターン形成が可能である。さらに、照明方法の改善やマスク(レチクル)の構造に改良を加える、いわゆる「超解像



注：略語説明 EUV(Extremely Ultra Violet)

図1 リソグラフィー技術のトレンドと日立製作所のロードマップ

露光波長の短波長化と超解像技術の適用により、いっそうの微細加工レベルを実現した。

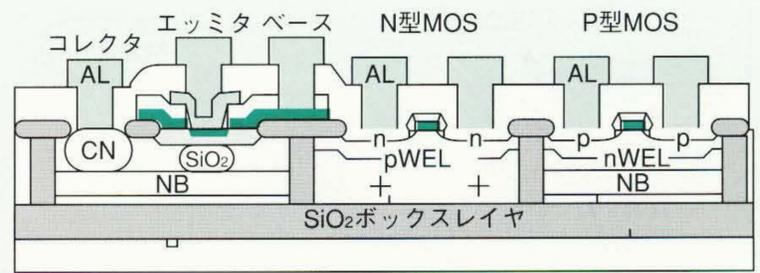
技術」を適用すると $\sim 0.13 \mu\text{m}$ レベルまでのパターンを実現することができる。日立製作所は、この超解像技術のうちで最も効果が大きなマスク(レチクル)を加工し、光の位相差を制限する「レベンソンマスク技術」をいち早く確立し、量産への適用を開始した(図1参照)。

現在のプロセス開発のレベル判定は米国半導体技術協会(SIA)の半導体ロードマップをベースとしているが、日立製作所は、このレベンソンマスク技術により、他社に先駆けた微細加工レベルを実現した。

2.2 混載デバイス技術

システムLSIの代表としては、パソコンのグラフィックスやデジタル スチル カメラなどの携帯機器用DRAM (Dynamic Random Access Memory)混載デバイスと、民生機器やパソコン周辺機器の製品サイクルの短縮化に伴うプログラム変更・データ修正で市場ニーズが大きいプログラマブルメモリ搭載のデバイスがある。

日立製作所は、前者の分野では、CoとSiを反応させて拡散層の抵抗を下げるサリサイドプロセスや、デバイスの駆動能力を向上させるデュアルゲートプロセスを適用することにより、高性能ロジックに高密度DRAMを混載した「75Mシリーズ」を開発した。また、後者では、日立製作所が開発した、マイコンにフラッシュメモリを搭載したF-ZTAT(Flexible Zero Turnaround Time)マイコンが有効である。今回、 $0.35 \mu\text{m}$ 技術により、高速かつ大容量のフラッシュメモリを搭載したF-ZTATマイコン“SH7055F”を製品化した。この製品は、周波数40 MHzの512 kバイト フラッシュ メモリ モジュールを



注：略語説明 MOS(Metal-Oxide Semiconductor), AL(アルミ配線) CN(N+コンタクト層), NB(コレクター低抵抗層) WEL(活性デバイスの基板領域)

図2 $0.35 \mu\text{m}$ UIISO/SOIバイポーラCMOSプロセスのデバイス構造

基板にはSOI構造を用い、埋込型アイソレーション技術によって隣接するデバイスを分離し、ノイズの影響を低減した。

内蔵している。

2.3 アナログ高周波デバイスプロセス技術

今日、急速な発展をしている携帯電話や移動体通信では、電池駆動で持ち運びが容易な、小型・低消費電力で動作周波数が高くかつ低ノイズなデバイスが求められている。

高周波で低ノイズが要求されるデバイスでは、キャリアがバルク内を移動するバイポーラトランジスタが優位となり、低消費電力、小型化が可能となる。今回、SOI (Silicon on Insulator)基板と酸化膜埋込型トレンチアイソレーションを組み合わせることにより、基板容量の削減と高集積化を行い、また、高性能自己整合バイポーラトランジスタの搭載により、高速でかつ低ノイズなデバイスを実現した(図2参照)。

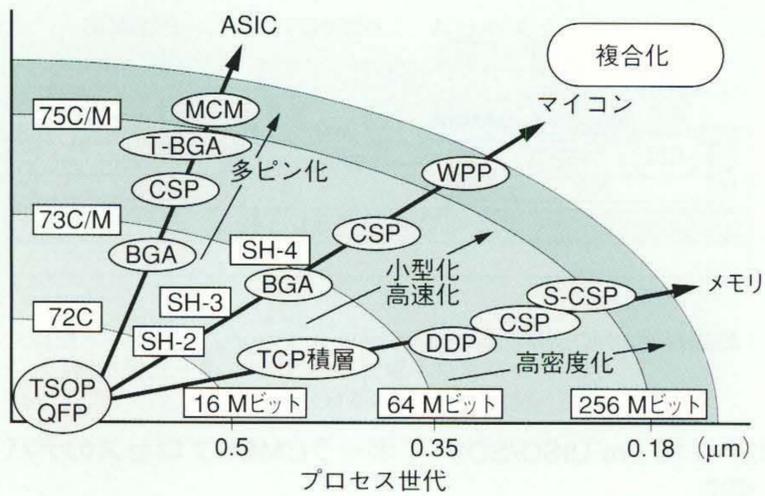
3 システムLSI対応実装技術

3.1 半導体実装技術の動向

デジタルマルチメディア時代の情報処理機器での大規模情報の高速処理や携帯機器での小型・軽量実装、さらに、通信機器やサーバなどに必要な高機能化に対応するためには、システム全体を考えた実装形態とパッケージ技術が必要となる。これら実装技術の動向を図3に示す。

3.2 携帯機器対応小型・軽量・薄型実装技術

携帯機器の小型・軽量実装を支える重要な技術として、BGA(Ball Grid Array)やCSP(Chip Scale Package)などのエリア アレー パッケージが開発された。各種CSPの構造を図4に示す。メモリに展開しているCSPは“ $\mu\text{BGA}^{\text{®}}$ ”と呼ばれ、米国Tessera社が開発したものを基に、日立製作所が生産性や信頼性を改良した。ピン数が比較的少ないマイコン系の半導体で用いるCSPは、従来のBGAを小型化したものである。多ピンを必要とするマ



注：略語説明

TSOP (Thin Small-Outline Package), QFP (Quad Flat Package)
 T-BGA (Tape BGA), MCM (Multichip Module)
 WPP (Wafer Process Package), TCP (Tape Carrier Package)
 DDP (Double Density Package), S-CSP (Stacked CSP)

図3 実装技術の動向

小型携帯機器および半導体の高速化に対応してエリアアレー型小型パッケージの品ぞろえを強化した。また、複合化に向けて積層パッケージ、フリップチップ技術を開発している。

名称	ファンインCSP (T-TFBGA)	ファンアウトCSP (T-TFBGA)	ファンイン・アウトCSP (P-TFBGA)
断面構造	LSIチップ Alパッド エラストマー ポリイミドテープ はんだボール	ステップナ LSIチップ リード ポリイミドテープ はんだボール カプセル材	Auワイヤ LSIチップ レジジン ポリイミドテープ はんだボール
適用製品	メモリLSI	ASIC	民生用マイコン

注：略語説明 T-TFBGA (Tape Thin Fine pitch BGA)
 P-TFBGA (Plastic Thin Fine pitch BGA)

図4 代表的なCSPパッケージ

マイコン、メモリ、ASICそれぞれに適した、小型で高信頼性のCSPを開発した。

マイコンやASIC (Application Specific IC) 用には、ファンアウトタイプのCSPを開発した。この構造は従来のTCP技術の応用である。

3.3 カード、モジュール対応高密度実装パッケージ

日立製作所は、液晶用のTCP技術をメモリへ応用し、これを積層にすることにより、メモリモジュールの高密度化を図ってきた(図5参照)。この技術の確立により、一世代先のデバイスの容量を実現している。TCPのモジュール組立が困難であるユーザー用には、従来のTSOP内チップを積層する技術を開発した。この技術により、DRAMやフラッシュのパッケージ当たりの倍容量化が可能となった。

3.4 システムパッケージMCP/MCM技術

パッケージに複数個のチップを搭載し、システムにマ

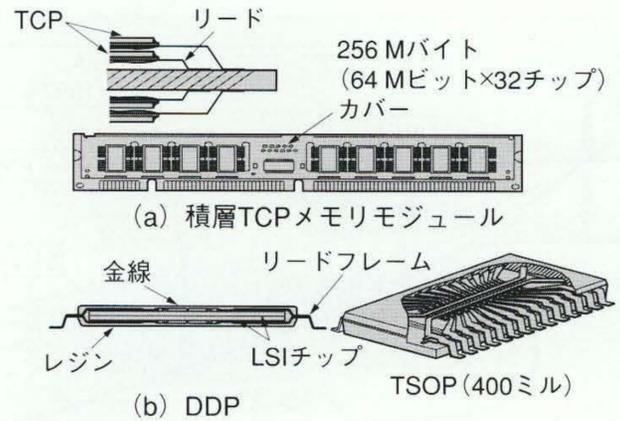


図5 高密度メモリ用パッケージ

メモリにTCP技術を応用し、モジュールの倍容量化を実現した。また、一つのパッケージにチップを積層実装し、パッケージ当たりの倍容量化を実現した。

ッチした使いやすいLSIを提供する技術として、MCP (Multichip Package) とMCMを開発した。

3.4.1 ロジック・フラッシュ混載パッケージ

チップをチップ上に接着するダイボンディング技術と低ループワイヤボンディング技術の開発により、フラッシュメモリとコントローラを同一パッケージに収納することを可能とした。

3.4.2 バイトワイドメモリ

BGAに4個のDRAMチップを搭載し、×32または×64といったバイトワイドの製品を実現した。これは、日立製作所が独自開発したKGD (Known Good Die: スクリーニングされたチップ) 技術で可能にしたものである。

3.4.3 高性能MCM技術

BGA基板に複数個のチップを搭載したMCMを開発した。CPUにDRAMをバス幅×32で接続し、バスクロック133 MHzの動作を可能にした。

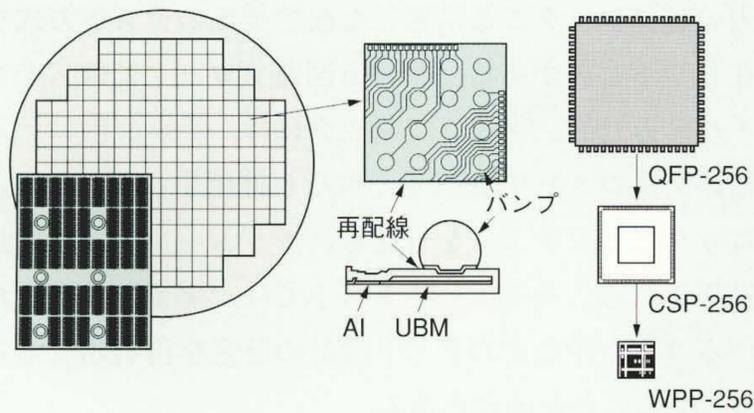
3.5 フリップチップ技術

フリップチップ実装やMCM用途に開発されたのが、WPP (Wafer Process Package) である(図6参照)。ウェーハプロセスでCuベースの再配線や、ポリイミド保護膜とはんだバンプ形成を行い、信頼性の高いパッケージを短時間で提供できる。

3.6 高速回路実装技術

3.6.1 高速対応実装技術

デジタルマルチメディアの画像処理では高速信号処理とワイドバス化が進行しており、パッケージの電気特性のコントロールが必要となる。特に問題となるのが同時切替ノイズであり、電源とグラウンドの強化、およびインダクタンスの低減が必要となる。これに対しては、パッケージの三次元LCRパラメータを抽出し、回路シミュレータ



注：略語説明 UBM (Under-Bump Metal)

図6 WPPの構造

ウェーハプロセスで高信頼性のパッケージング技術を開発した。従来のリフロー技術で実装を可能とした。

で解析することにより、適切化を図ることができる。パッケージのインダクタンスはQFP>BGA>CSPの順となる。一方、容量は、BGA>QFP>CSPの順である。電源とグラウンドプレーンを持ったBGAが、設計でコントロールできる範囲が最も大きい。適用製品の特性を考慮したパッケージの選択と設計が重要となる。

3.6.2 EMC(電磁環境両立性)技術

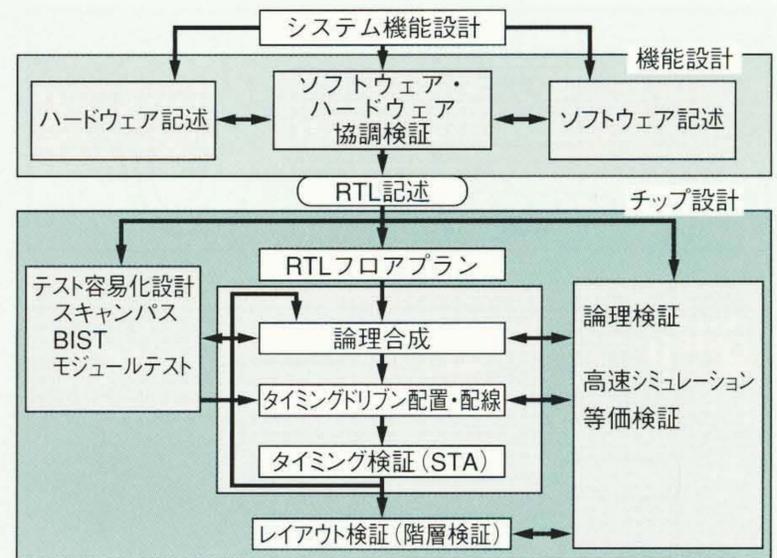
高分解能の近磁界プローブ装置を開発した。この装置で実装基板上を走査することで、問題個所の検出を行う。この結果を解析し、デカップリングコンデンサの最適配置を効率よく行い、不要な電磁輻射を確実に低減することを可能にした。

4 システムLSI設計環境

4.1 設計技術の動向

システム オン チップの時代を迎え、LSI設計の生産性向上のために、設計技術の改善がますます活発化している。例えば、以下のような設計技術の実現に向けて、DA (Design Automation) ツールと、設計手法の開発が進められている。

- (1) 設計技術の上流となる機能設計の新規技術
- (2) 設計財産の再利用を可能とするIP (Intellectual Property) と、その利用設計技術
- (3) 大規模回路を効率的に設計するチップ設計技術
- (4) コアやIPを含むチップのテスト容易化設計
- (5) 低消費電力化のための電力推定技術
- (6) チップ内電圧分布予測などのSI (Signal Integrity) 対応技術



注：略語説明 STA (Static Timing Analysis), BIST (Built-in Self-Test) RTL (Resistor Transistor Logic)

図7 システムLSI設計フローと設計環境

システムLSIの設計は、「機能設計」と、そのアウトプットであるRTL記述を基に論理合成、配置・配線、検証を行う「チップ設計」に分けられる。

4.2 システムLSI設計フローと設計環境

日立製作所のシステムLSI (HG75Cシリーズ) の設計フローと設計環境を図7に示す。上流は、ソフトウェアとハードウェアの協調検証を可能にする機能設計環境を整備する。ここで設計された機能設計データは、論理合成、配置・配線、およびタイミング検証により、チップ設計データとなる。この大規模な設計データを短期間に効率よく設計するために、これまでは個別で行っていた論理合成や、配置・配線、タイミング検証を一体化した設計手法と環境を整備する。この設計フローの構築には、EDA (Electronic DA) ベンダの市販DAツールを組み合わせることにより、システムLSIに適した設計環境を実現している。

4.3 上流機能設計

システムLSIには、スタンダードセルブロックやメモリの個別機能に加え、マイコンコア、DRAMモジュール、各種IP、さらに、特殊用途向けファームウェアなど多くの機能が搭載される。このようなシステム機能をオンチップ化し、全体の動作を効率よく検証する必要がある。この検証を行う一つに、ハードウェア・ソフトウェア協調検証 (Hardware-Software Co-Simulation) がある。日立製作所のSHマイコンシリーズの協調検証を行うためのシミュレーションモデルは、ISS (Instruction Set Simulator) や割込み・バス制御回路、タイマ、SCU (Serial Communication Unit) などの周辺回路で構成する。

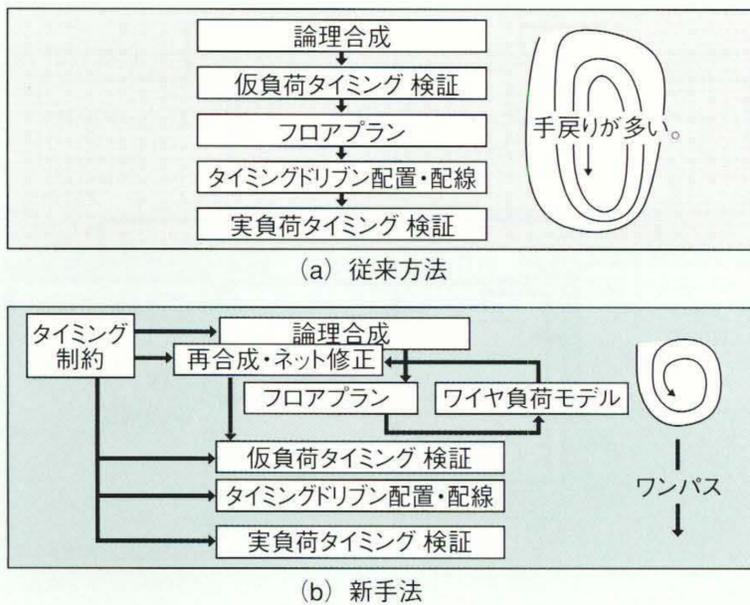


図8 タイミングドリブンレイアウト設計のフロー

設計の上流における最適化、指定されたタイミング制約による配置・配線をDAツールで行うことにより、設計の手戻りを低減する。

4.4 チップ設計

近年、LSIのチップ設計はHDL (High-Level Description Language)で記述され、論理合成ツールによってゲート回路を合成する。その後、論理検証や配置・配線、タイミング検証などの設計工程を経て、マスクパターンのデータを生成していく。

LSIの微細化に伴い、内部信号の遅延要因は、ゲート回路部分よりも配線の割合が大きくなってきた。このため、論理合成、配置・配線、タイミング検証を順次行う従来手法では、設計の手戻りが繰り返され、設計期間が長期化する。これを解決するため、論理合成、配線・配置、タイミング検証を一体化して行う「タイミングドリブンレイアウト設計」の手法を適用する(図8参照)。これにより、論理合成から配置・配線、タイミング検証までの設計工程で、大きな手戻りの最少回数化が可能になる。

4.5 タイミング検証

タイミング検証では、記憶素子間のゲート回路パスの遅延時間を積算して、遅延時間計算を行う静的タイミング検証を適用することにより、時間の短縮を図る。

すでに開発、検証されているコアなどが混在する場合は、コアの入出力部のタイミング特性(セットアップ・ホールド)をコアの設計データから抽出し、コアの入出力部にタイミングを付加する。これにより、コアの混在したシステムLSIの静的タイミング検証を実現する。

4.6 テスト容易化設計

従来のASICでは、シフトレジスタでテストデータを出し入れする、スキャン・パス方式が中心であったが、

LSIの構成の複雑化と規模の増大に対応するため、チップ内の各ブロックごとに適した複数種類のテスト方式を混在させる必要がある。ゲート回路ブロックにはスキャン・パス方式を、メモリブロックには、チップ内にテスト回路を持つメモリBISTをそれぞれ適用する。また、各ブロックごとにテストを行える、モジュールテスト方式も適用される。モジュールテストでは、すでに設計されているコアやIPなどのテスト設計の財産を再利用できるようにすることが重要となる。

5 おわりに

ここでは、システムLSIの開発に必要とされるプロセス技術や実装技術、および設計環境について、主に日立製作所が開発したものを中心に述べた。

これらの技術により、いっそう高性能で小型・軽量のシステムLSIの設計開発を、短期間で効率よく進めることが可能となる。今後も、ユーザーのニーズにこたえる半導体が提案できるように、技術開発を進めていく考えである。

執筆者紹介



長尾真樹

1979年日立製作所入社、半導体グループ 半導体技術開発センター プロセス技術開発部 所属
現在、半導体プロセス技術の開発に従事
工学博士



宿利章二

1982年日立製作所入社、半導体グループ 半導体技術開発センター プロセス技術開発部 所属
現在、半導体プロセス技術の開発に従事



工藤 聡

1977年日立製作所入社、半導体グループ 汎用半導体事業部 技術開発部 所属
現在、半導体プロセス技術の開発に従事



西 邦彦

1972年日立製作所入社、半導体グループ 生産統括本部 高密度実装技術開発センター 実装プロセス設計部 所属
現在、半導体実装技術の開発に従事
E-mail: nishiku @ cm. musashi. hitachi. co. jp



萩原吉宗

1972年日立製作所入社、半導体グループ システムLSI事業部 開発本部 設計技術応用部 所属
現在、設計技術・DAの応用技術開発に従事
E-mail: hagiwary @ cm. musashi. hitachi. co. jp