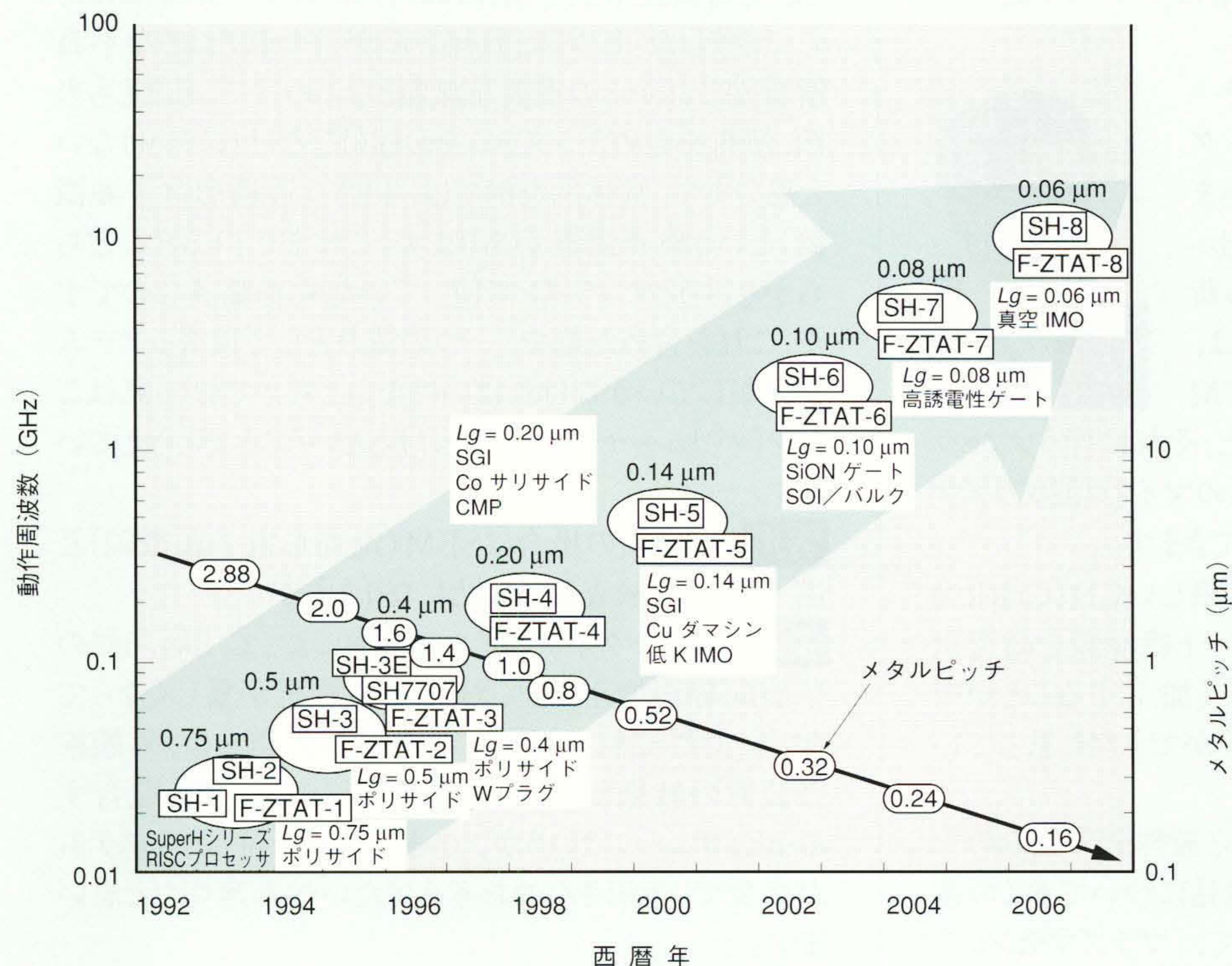


0.1 μm 時代の半導体プロセス・製造技術の展望

An Outlook for Semiconductor Process and Manufacturing Technologies in the 0.1 μm Age

川本佳史 Yoshifumi Kawamoto
木村勝高 Katsutaka Kimura

中里 純 Jun Nakazato
長尾眞樹 Masaki Nagao



注：略語説明

RISC (Reduced Instruction Set Computer)
F-ZTAT (Flexible Zero Turnaround Time)
Lg (ゲート長)
SGI (Shallow Groove Isolation)
CMP (Chemical-Mechanical Polish)
IMO (Inter-Metal Oxide)
SOI (Silicon on Insulator)

微細化と先端プロセス技術の適用によるRISCプロセッサの高性能化

日立製作所は、微細加工技術と多層配線技術の開発により、システムLSIの高性能化を図っている。SuperHシリーズRISCプロセッサでは、高速化と低消費電力化を推進している。

0.1 μm 時代には、シリコンチップ上に10億個以上のトランジスタを搭載することが可能になり、いわゆる「システム オン チップ化」を迎える。この時代のLSIには、高性能化と低コスト化、および開発から生産のQTAT(Quick Turnaround Time)化がますます要求されることになる。

デバイス技術とプロセス技術の開発はますます加速され、DRAM(Dynamic Random Access Memory)だけでなく、マイクロプロセッサなどのロジック製品も先端技術をけん引することになる。DRAMは主にメモリセル技術と微細加工技術を、ロジック製品はトランジスタの高性能化と多層配線技術の開発をそれぞれけん引する。

メモリセルでは、キャパシタ構造とその絶縁膜の選択が課題である。微細加工技術では、エキシマレーザ露光装置での微細化の極限追求が課題であり、0.1 μm 以降では、短波長化や電子線描画の選択が必要となる。多層配線技術では、配線抵抗と配線間容量の低減による高速配線システムの構築が必要となる。

生産技術では、低コスト化と製品の短寿命サイクル化に対応するため、革新的な生産性向上を図る必要がある。開発時点からQTAT化と高歩留り化技術を仕込み、生産への移行を短TATで行うことが重要な課題である。

1 はじめに

1994年に米国半導体技術協会(SIA)から半導体技術ロードマップが公表され、世界中の半導体関連産業は、その目標をいち早く実現するために開発を進めてきた。1997年以降SIAロードマップは毎年見直され、最新版では0.1 μm (ロジック系デバイスのゲート寸法)時代は2年前

倒しされている(図1参照)。製造技術では、CMP(Chemical-Mechanical Polish)技術の導入によって加工表面が平坦化され、さらに、エキシマレーザ露光装置と超解像技術の適用によって微細加工技術が一段と進歩したことが、この前倒しの大きな要因である。また、DRAM(Dynamic Random Access Memory)の低コスト化競争と、システム オン チップ化を指向したLSIの高速

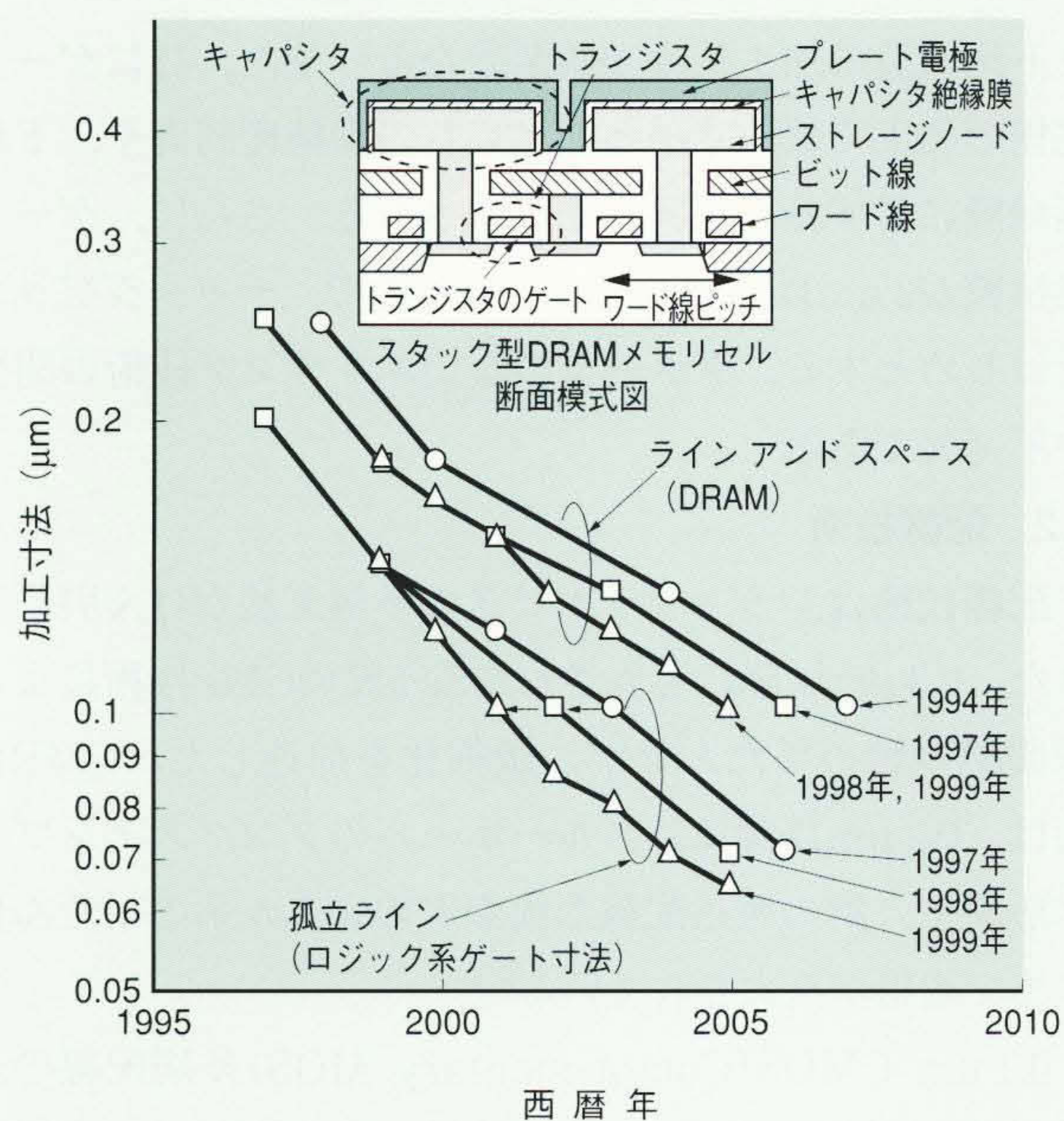


図1 SIAロードマップでの微細化の変遷

DRAMでは、ワード線ピッチの半分に対応するライン アンドスペースが、ロジック系デバイスではゲート寸法に対応する孤立ラインが、それぞれ最小寸法になる。0.1 μm 時代のロジック系デバイスについては、1997年版に比べて1999年版では微細化が2年加速されている。

化、および低消費電力化により、微細化が加速されてきたものと考ええる。

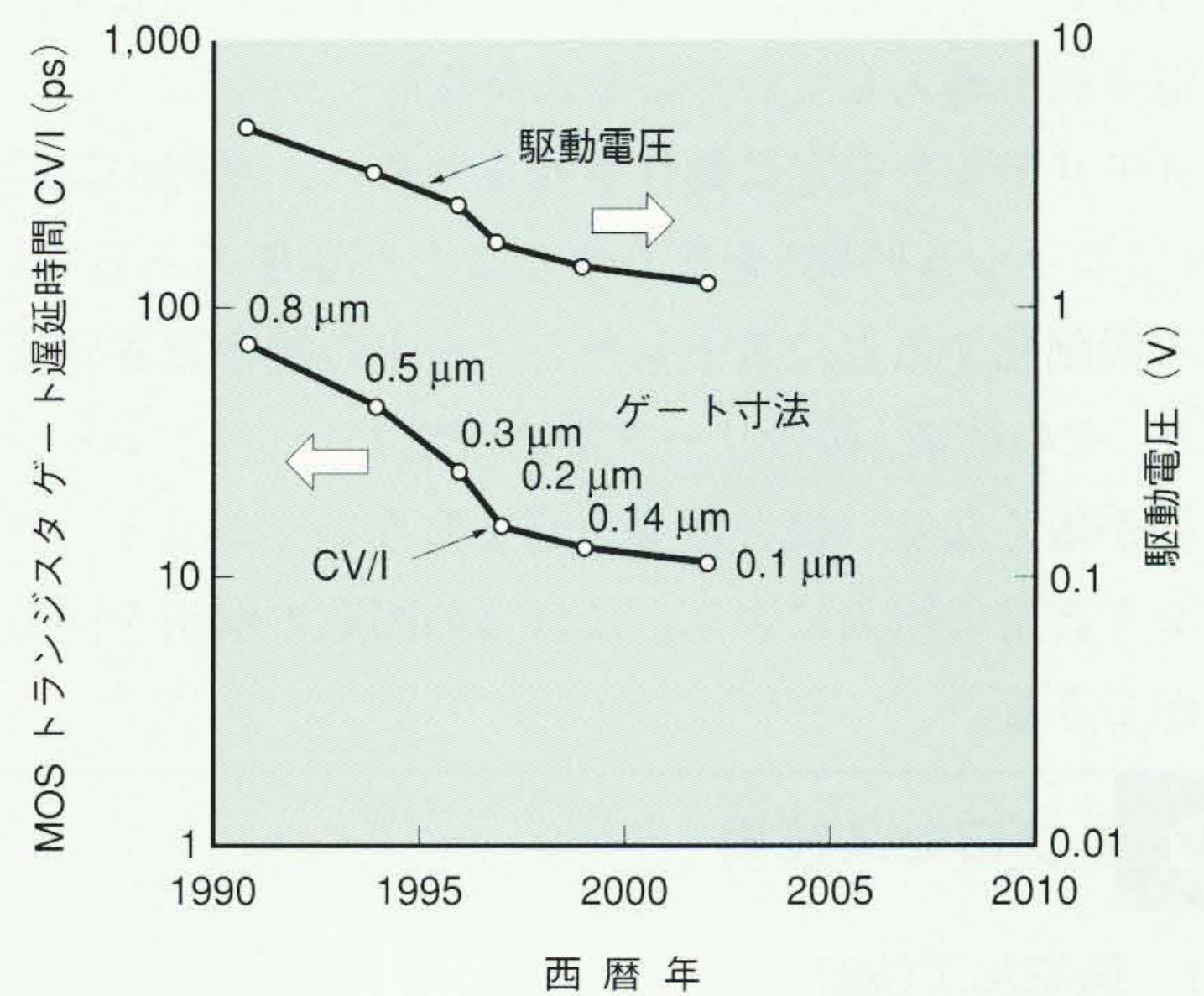
ここでは、2001年以降に到来する0.1 μm 時代に焦点を当て、高性能化を目指すデバイス技術とそれを実現するプロセス技術について、また、生産技術として、低コスト化の観点から、開発TAT(Turnaround Time)短縮と高歩留り化技術について述べる。

2 デバイス技術

2.1 高性能トランジスタ

システム オン チップ化を実現するためには、LSIの高速化と低消費電力化がポイントとなる。高速化は、複雑で高度な情報処理を行うために必要となる。また、低消費電力化は、携帯機器の長時間稼働や大規模なシステムの発熱の低減に不可欠である。

高速化のためには、LSIの基本素子であるMOS(Metal-Oxide Semiconductor)トランジスタの高速性が追求されてきた¹⁾。高速性能はトランジスタのゲート遅延時間で表される。世代ごとの推移を図2に示す。駆動電圧の低下とともに、世代ごとに高速化されている。高速化のポイントは、ゲート寸法の微細化とゲート絶縁膜の薄膜化



注：略語説明 C(ゲート容量), V(駆動電圧), I(トランジスタ電流)

図2 MOSトランジスタのゲート遅延時間と駆動電圧のトレンド

ゲート寸法の微細化に対応して、ゲート遅延時間を短縮させ、駆動電圧も低下させている。これにより、LSIの高速化と低消費電力化を図ることができる。

により、駆動電圧を下げても電流を大きくすることである。ゲート絶縁膜が2 nm以下になると SiO_2 ではトンネル電流が増大するため、 TiO_2 や Ta_2O_5 などの誘電率の高い材料の適用の検討が始められている。

LSIの高速化には、トランジスタそのものの高速化のほかに、さまざまな寄生効果の改善が必要である。ゲート電極の低抵抗化のためのメタル電極の導入や、寄生容量低減のためのSOI(Silicon on Insulator)基板の適用が検討されている。

消費電力の低減のためには低電圧化を進め(図2参照)、0.1 μm 時代には、駆動電圧を1.2 Vまで下げることが要求される。

2.2 DRAMのメモリセル

システム オン チップ化で注目されるのが、DRAM搭載システムである。大容量のメモリを搭載するためには、メモリセルの微細化とともに、ロジックプロセスとの整合性が重要となる。

DRAMのメモリセルは、基本的には一つのトランジスタと一つのキャパシタで構成する。微細化に伴ってワード線やビット線の抵抗が上昇し、高速化の妨げとなる。抵抗を下げるため、タンゲステンなどのメタル配線を採用する。また、十分なノイズマージンのある信号電荷を蓄積するためには、世代ごとに微細化されるメモリセル領域にほぼ一定の値のキャパシタ容量を確保しなければ

ならない。そのため、キャパシタの表面積の増大や、高誘電率膜を導入していくことになる²⁾。

メモリセルを安定に動作させるために、電荷保持時間(リフレッシュ時間)を長くすることが重要である³⁾。単純に微細化すると、ストレージノードの接合電界が高くなり、その結果、接合リーク電流が増大し、リフレッシュ時間が短くなる。接合電界を高くしないくふうと、キャパシタ容量の増大により、これらの問題の解決を図ることができる。

3 プロセス技術

3.1 微細加工技術

従来、微細加工技術は、DRAMの高集積化がけん引してきた。0.2 μm 以降は、ロジック系のゲート寸法の微細化が急速に進められ、DRAMとロジックの両者が微細加工技術をけん引することになる。

リソグラフィー技術の微細化のトレンドを図3に示す。これまでは、光源の短波長化により、加工寸法の微細化が進められてきた。0.1 μm 時代には、KrF(波長248 nm)やArF(波長193 nm)エキシマレーザを光源として用いる。波長以下の寸法を解像するために、位相シフト法や変形照明と呼ばれる超解像技術を適用する。位相シフト法の適用にあたっては、OPC(Optical Proximity Correction)技術、高精度なEB(Electron Beam)描画装置によるマスク製造技術、および高NA(Numerical Aperture)の露光装置や高解像レジストの開発が必要となる。

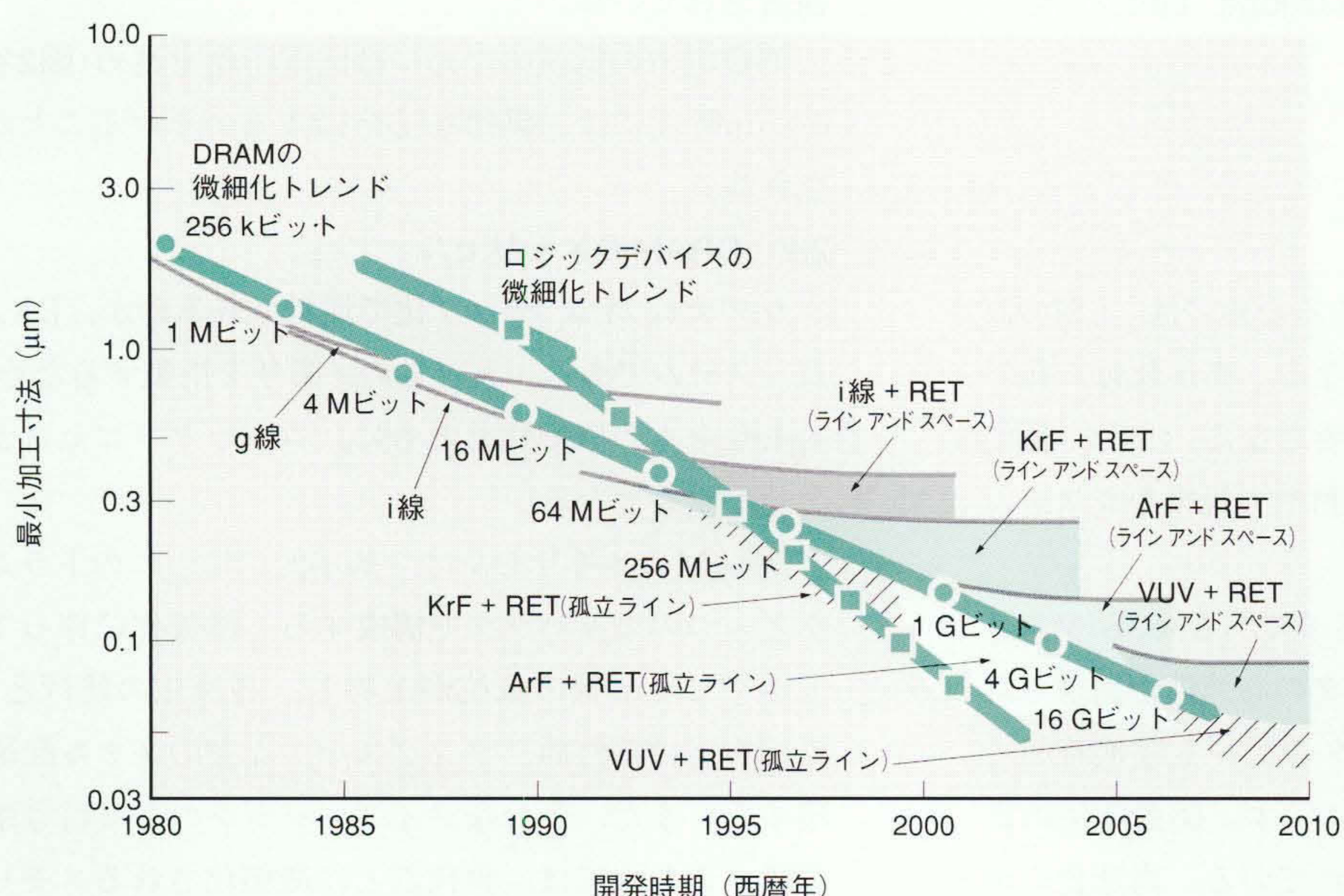
ドライエッチング技術では、微細化に伴って高アスペクト比構造の加工技術が重要となる。また、特にゲート電極の加工では、寸法と加工形状の高精度制御や、下地絶縁膜に対する高選択性が要求される。さらに、ゲート絶縁膜が2 nm以下に薄膜化されるので、チャージアップをはじめとする、ダメージのないエッチング技術の開発が不可欠である⁴⁾。

3.2 配線技術

配線技術は、ロジックデバイスの多層配線がけん引してきた。0.3 μm 以降に導入されたSiO₂膜のCMP技術による層間絶縁膜の平坦化が、微細化を加速した。CMP技術は、0.2 μm 以降にはスルーホールタンゲステンプラグ形成や、銅の埋込配線形成などのメタル系の平坦化にまで適用が拡大されている⁵⁾。

0.1 μm CMOS(Complementary MOS)多層配線の基本的な構造の断面模式を図4に示す。微細化によるRC(Resistance-Capacitance)遅延の問題を解決するため、配線材料には、これまで用いられてきたアルミニウムの半分の抵抗値を持つ銅を用いる。また、層間絶縁膜には、SiO₂よりも誘電率の低いSOG(Spin on Glass)などの低誘電率膜を用いる。CMP技術の適用により、スルーホールと配線を銅を用いて同時に埋め込んで形成する方式(デュアルダマシン法)の採用を進めている。

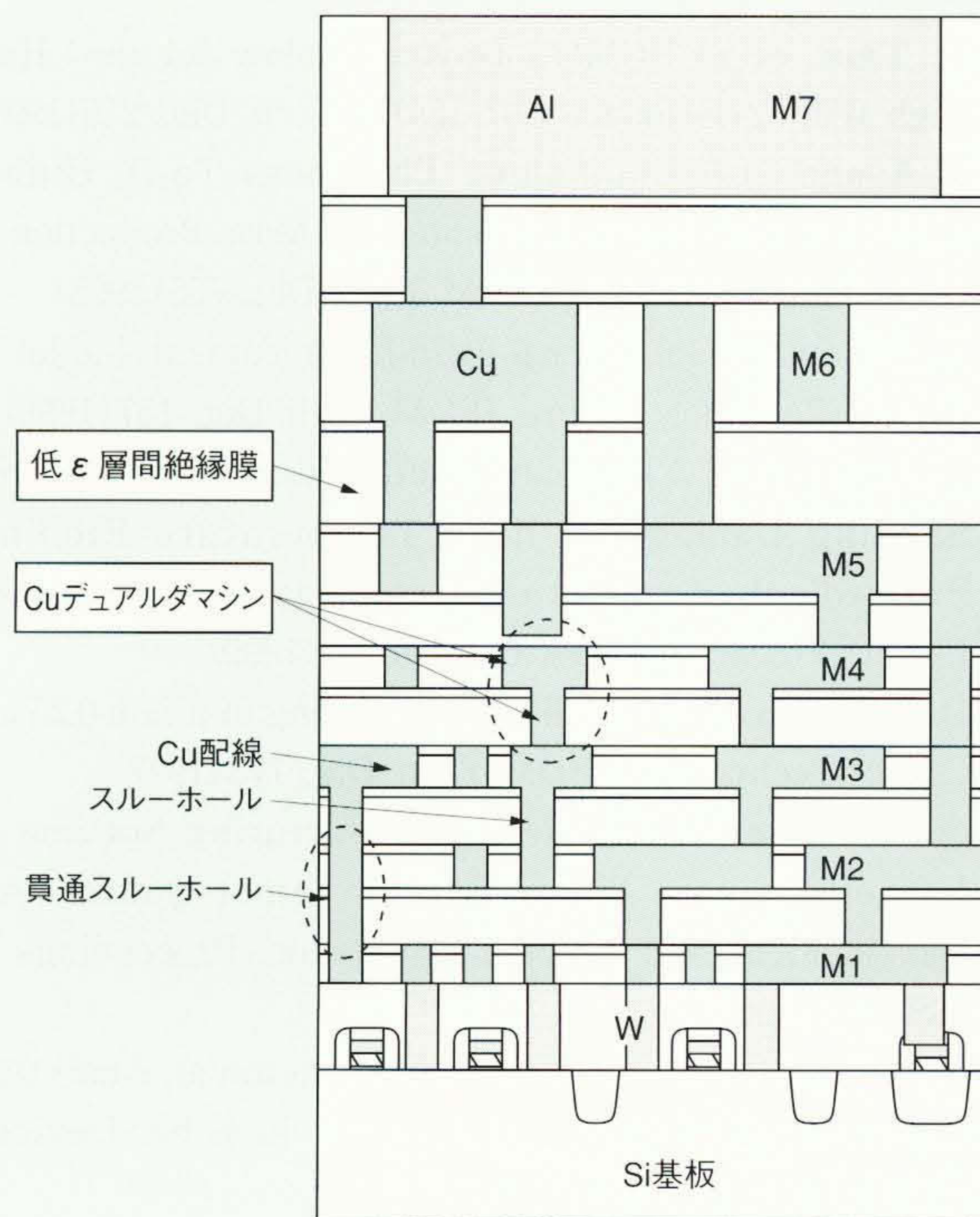
デュアルダマシン法による配線プロセスでは、スルーホールの孔と配線の溝との2段構造を形成する必要がある。異種絶縁膜の高選択ドライエッチング技術が必要と



注：略語説明
VUV (Vacuum Ultraviolet)
RET (Resolution Enhanced Technology ; 超解像技術)

図3 最小加工寸法のトレンドとそれに対応するリソグラフィー技術の解像限界

DRAMに比べて、ロジック系デバイスの微細化が加速されている。KrFやArFエキシマレーザ露光装置に超解像技術を駆使することにより、0.1 μm 時代に対応できる。それ以降は、露光波長のいっそうの短波長化や、EB描画などの選択が必要となる。



注：略語説明 M (Metal)

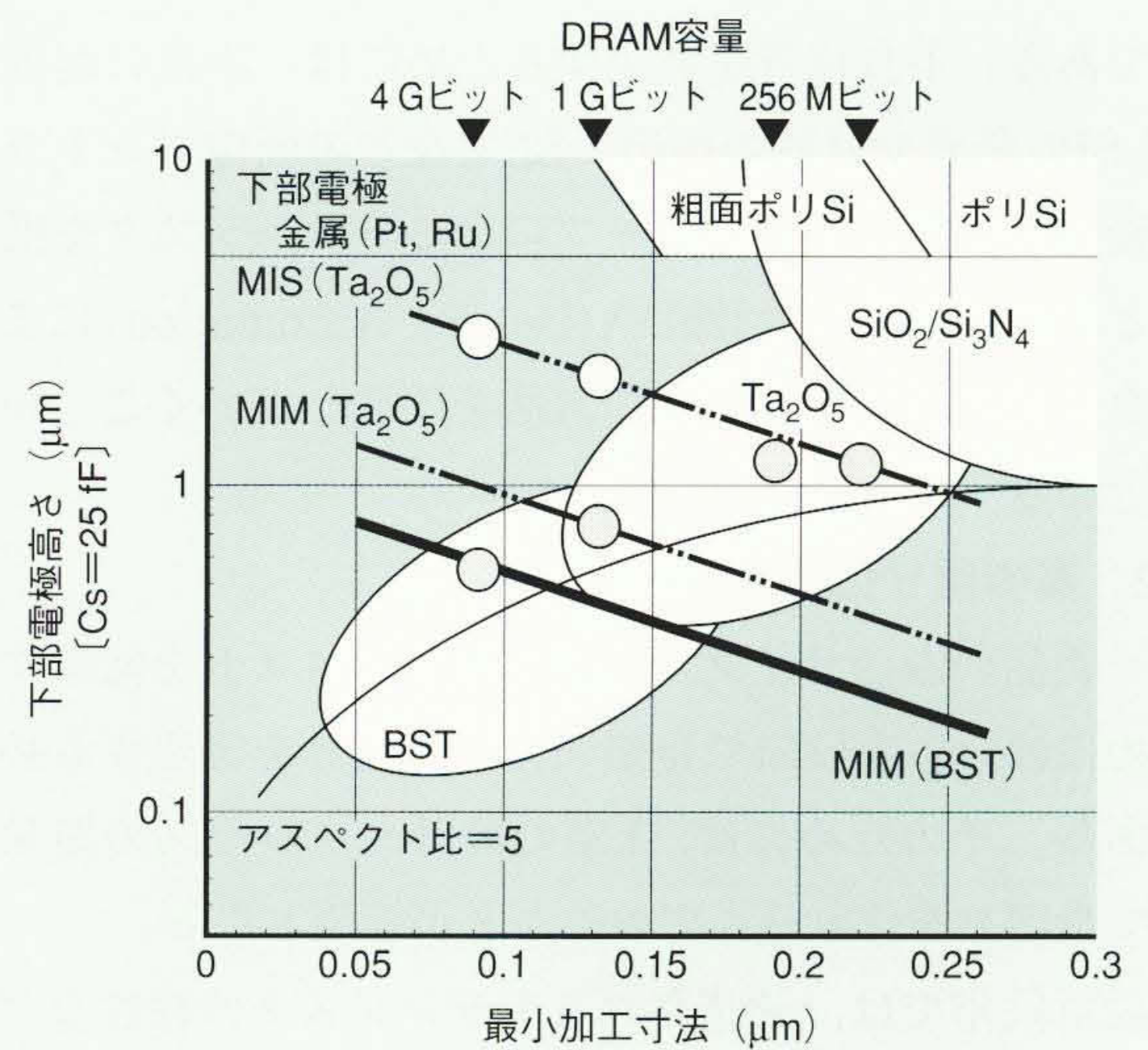
図4 0.1 μm CMOS LSIの多層配線構造の断面模式

配線とスルーホールを同時に埋め込む銅の埋込配線（デュアルダマシンの構造）を用いることにより、平坦化配線を実現する。ただし、Si基板との接続には、銅の汚染を防止するためにタングステンを埋め込んでいる。配線系の高速化に対応するため、層間絶縁膜には低誘電率膜を用いている。

なる。また、高アスペクト構造での、銅の層間絶縁膜中への拡散を防止するためのバリアメタル形成、銅の埋込を行うためのめっき技術と、そのシード層の形成などの成膜技術の開発も不可欠である。

3.3 DRAMのキャパシタ技術

DRAMプロセスでは、キャパシタの構造と絶縁膜の選択が最も重要なポイントである。日立製作所は、スタック型のメモリセルを基本として開発を進めてきた。DRAMの各世代でのキャパシタ絶縁膜の推移を図5に示す。スタック型メモリセルでは、作りやすさを考慮すると、キャパシタの下部電極の高さは約1 μm 以下でなければならない。そこで、キャパシタ絶縁膜として、256 Mビットでは、従来の $\text{SiO}_2/\text{Si}_3\text{N}_4$ 複合膜に代えて、五酸化タンタル膜(Ta_2O_5)を導入した。1 Gビット以降では、MIS (Metal-Insulator-Silicon) 構造に代えて、MIM (Metal-Insulator-Metal) 構造を採用する。絶縁膜としては、 Ta_2O_5 、または、さらに誘電率の高いチタン酸ストロンチウムバリウム(BST)の導入を検討している。



注：略語説明 Cs (Storage Capacitance)

図5 最小加工寸法とスタック型DRAMメモリセルの下部電極高さの関係

作りやすさの観点から、下部電極高さを約1.0 μm 以下とすると、1 Gビット以降は、 Ta_2O_5 を絶縁膜としたMIM構造、または絶縁膜としてBSTの適用が必要となる。

MIMキャパシタでは、下部電極にメタルを用いることが大きな変更点である。耐酸化性のあるメタルとして、ルテニウムや白金を候補として検討を進めている。さらに、下地のSiとの導通を確保するための、バリア材料の開発も必要となる。

4 生産技術

4.1 開発TAT短縮

半導体技術の微細化が加速され、システム オン チップ化傾向が進展すると、多種多様なLSI製品が短期間で開発される。また、その生産期間も短くなる。したがって、LSI開発でのTAT短縮と、生産を短期間で立上げることが、きわめて重要な課題となる。

試作段階では、そのTATの短縮が必要である。枚葉処理装置の適用比率を向上することにより、SQTAT (Super Quick TAT) ラインを構築する⁶⁾。また、インラインでの計測・解析技術の開発による、プロセスのモニタや欠陥の早期発見が必要となる。欠陥は微細なものまで検出しなければならなくなり、従来の光による検査に加えて、SEM (Scanning Electron Microscope) による欠陥検査や欠陥分類が適用されていくものと考えている。

開発TAT短縮には、試作したLSIの不良解析技術が重要である。不良位置を特定するためには、不良に起因したLSIの発光や発熱の検出、SEMなどの画像コントラスト変化の検出、ナノプローブによるトランジスタや抵抗などの直接計測⁷⁾、回路DA(Design Automation)による不良位置の推定など種々の方法を開発していくことが必要となる。

4.2 高歩留り化技術

一製品の寿命サイクルが短くなり、コストを低減するためには、生産段階で短期間に高歩留りを実現する必要がある。そのためには、LSIの設計やプロセスの開発段階で歩留りを作り込んでおくことが重要となる。

設計段階では、製造されるトランジスタの特性などのばらつきを考慮した性能予測に基づいて回路を設計する。レイアウト設計では、異物数やパターン欠陥の歩留りへの影響を事前評価するCAA(Critical Area Analysis)法を用いる^{8), 9)}。レイアウトの仕方によって異物の数や大きさがどのように歩留りに影響するかが異なってくるが、その感度を定量化することが課題である。

プロセス開発では、TEG(Test Element Group)の試作により、トランジスタ特性、抵抗、容量などのばらつきを事前評価して、これらを回路設計に反映させる。また、個々のプロセス技術では、品質工学手法を用いて、安定した処理条件の設定を行う。さらに、寸法や膜厚、不純物、絶縁膜耐圧、抵抗など、これまで用いてきたQC(Quality Control)技術の高感度・高精度化と、適用工程の充実が必要である。

5 おわりに

ここでは、システム オン チップ化を迎える0.1 μm 時代の半導体デバイス技術、プロセス技術、および生産技術について述べた。

この時代には、LSIの高性能化と低コスト化、開発から生産のQTAT化がますます要求される。誌面の都合で、それにこたえるための特に主要な技術の要点を述べるとどめた。まだ多くの課題があり、その解決のためには、さまざまな技術開発が必要である。それらを着実に克服していくことにより、将来の半導体産業の発展に寄与していく考えである。

参考文献

- 1) Y. Taur, et al.: CMOS Devices below 0.1 μm : How High Will Performance Go?, IEDM Tech. Dig., 215(1997)
- 2) I. Asano: 1.5 Equivalent Thickness Ta_2O_5 High-k Dielectric with Rugged Si Suited for Mass Production of High Density DRAM's, IEDM Tech. Dig., 755(1998)
- 3) A. Hiraiwa, et al.: Local-Field-Enhancement Model of DRAM Retention Failure, IEDM Tech. Dig., 157(1998)
- 4) K. Nojiri, et al.: Evaluation and Reduction of Electron Shading Damage in High Temperature Etching, Proceedings of the 4th International Symposium on Plasma Process-Induced Damage, 29(1999)
- 5) D. Edelstein, et al.: Full Copper Wiring in a Sub-0.25 μm CMOS Technology, IEDM Tech. Dig., 773(1997)
- 6) A. Koike, et al.: A New Manufacturing Scheme in Large-Diameter Wafer Era for Super-Quick TAT Development and Volume Production, Proceedings of ISSM, 239(1995)
- 7) Y. Mitsui, et al.: Physical and Chemical Analytical Instruments for Failure Analysis in G-bit Devices, IEDM Tech. Dig., 329(1998)
- 8) C. H. Stapper: Modeling of Integrated Circuit Defect Sensitivities, IBM J. Res. Develop., Vol. 27, 549(1983)
- 9) Y. Inoue, et al.: Killer Defects Control on Patterned Wafers for the Sub Quarter Micron Interconnect Formation Process, Proceedings of IWSM, 24(1998)

執筆者紹介



川本 佳史

1973年日立製作所入社、情報・通信グループ デバイス開発センタ プロセス開発部 所属
現在、半導体プロセス技術開発に従事
応用物理学会会員、日本物理学会会員、電気学会会員
E-mail: kawamoto @ ddc.hitachi.co.jp



木村 勝高

1980年日立製作所入社、中央研究所 ULSI研究部 所属
現在、CMOSプロセス・デバイス、半導体メモリの研究開発取りまとめに従事
電子情報通信学会会員、応用物理学会会員、IEEE会員
E-mail: kkimura @ crl.hitachi.co.jp



中里 純

1975年日立製作所入社、生産技術研究所 プロセスFA部 所属
現在、半導体および薄膜製品の研究開発に従事
経営工学会会員、オペレーションズ・リサーチ学会会員
E-mail: nakazato @ perl.hitachi.co.jp



長尾 眞樹

1979年日立製作所入社、半導体グループ 半導体技術開発センタ プロセス技術開発部 所属
現在、半導体プロセス技術の開発に従事
工学博士