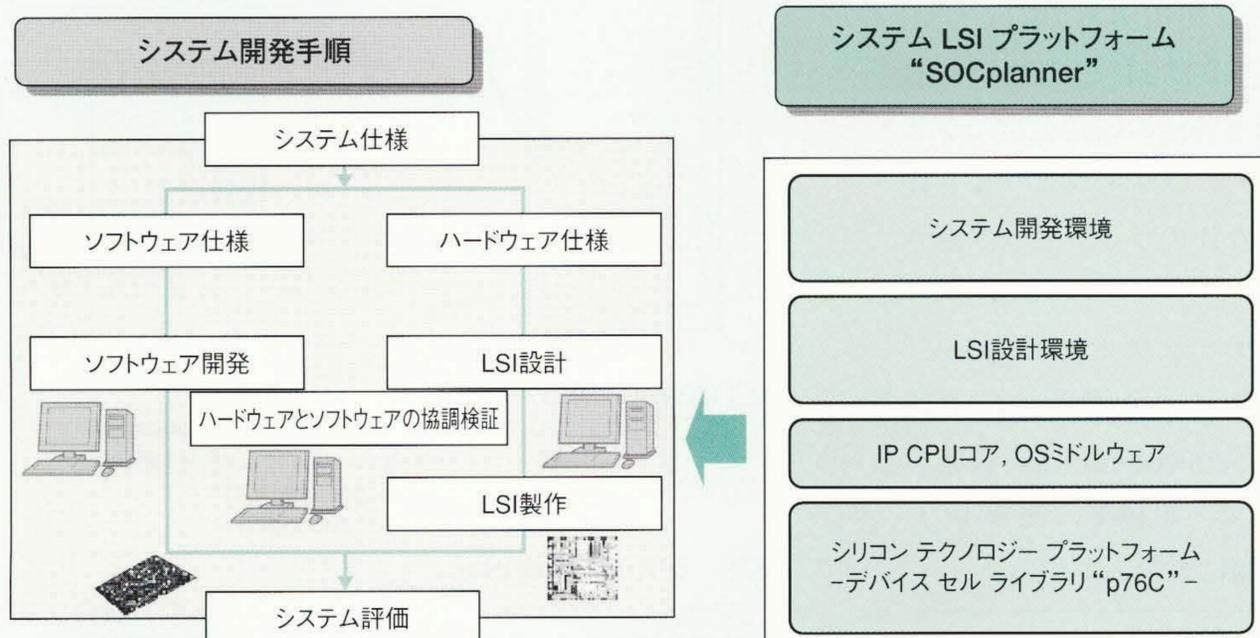


システムLSIプラットフォーム

—システム開発の短期、低コスト化を可能とする“SOCplanner”—

Platforms for System LSI Development

清水 剛 Tsuyoshi Shimizu 萩原吉宗 Yoshimune Hagiwara
 岡村芳雄 Yoshio Okamura 内田明久 Akihisa Uchida



注：略語説明
 SOC (System-on-a-Chip)
 IP (Intellectual Property)
 CPU (Central Processing Unit)
 OS (Operating System)

日立製作所が開発したシステムLSIプラットフォーム“SOCplanner”
 大規模化、複雑化するシステムの開発期間短縮に必要な部品、設計ツール、および設計技術をシステムLSIプラットフォームに統合することにより、設計者に使いやすい設計環境を提供する。

ワンチップまたは数チップでシステムを実現する「システムLSI」あるいは“SOC (System-on-a-Chip)”では、数チップをパッケージに入れた“SIP (System in Package)”やモジュール化した“MCM (Multi-Chip Module)”でシステムを実現することも可能になっている。

日立製作所は、仕様設計から評価に至るプロセスで、最適なシステムの短期間開発に必要とされる部品、設計ツール、および設計技術を統合した設計環境である「システムLSIプラットフォーム“SOCplanner”」を開発した。これにより、システムを構成するソフトウェアとシステムLSIの並行開発が可能となり、速く、低コストで、確実なシステム開発が可能となる。

1 はじめに

エレクトロニクス製品の高機能化や低消費電力化、ライフサイクル短期化に対応するためには、ソフトウェア比率を高め、製品のシステム化を加速することが必要である。このため、システム機能のハードウェア (LSI) とソフトウェアへの最適分割およびハードウェア・ソフトウェアの協調検証 (Co-verification) は、開発期間短縮のための重要な設計技術となってきている。

また、半導体の微細化技術により、一つのLSIに数百万ゲートの論理回路を集積し、数百メガヘルツを超える動作周波数の実現も可能となっている。そのため、大規模、複雑かつ高速なシステム製品の短期間開発と設計効率向上は、設計者にとって一段と困難な課題となっている。システムLSIプラットフォームは、このような設計者に対する一つのソリューションを提供する。

ここでは、日立製作所が開発した「システムLSIプラットフォーム“SOCplanner”」について述べる。

2 システムLSIプラットフォームの概要

システムLSIプラットフォームは、(1) システム開発環境、(2) LSI設計環境、(3) IP (Intellectual Property) コアとOS (Operating System) ミドルウェア、および(4) シリコンテクノロジープラットフォームから成る。

システム開発環境 (SDE : System Development Environment) では、日立製作所のマイコンを使用するシステム開発のための高性能なソフトウェア開発ツールや、ハードウェアとソフトウェアの協調検証環境、システム評価に有効なエミュレータ (オンチップ デバッガ) などを提供する。

LSI設計環境 (LDE : LSI Design Environment) では、設計下流工程から上流工程への後戻りのない「ワンパス

設計」を基本コンセプトに、大規模・高速システムLSI設計環境を提供する。

大規模なシステムの設計効率向上のためには、IP(設計資産)の活用が必須である。IPコアとしては、SuperHシリーズマイコン“H-8”などのCPU(Central Processing Unit)コアのほか、日立製作所で使用実績のあるUSB(Universal Serial Bus)、IEEE1394、JPEG(Joint Photographic Expert Group)など各種の周辺機能モジュールや、A-D・D-A変換などのアナログモジュールを提供する。今後、応用分野に必要なIPのラインアップをさらに充実させていく考えである。

シリコンテクノロジープラットフォーム“p76C”は、「76CセルベースIC」で使用される最新のCMOS(Complementary Metal-Oxide Semiconductor)技術である。日立製作所の従来製品比で、集積度、消費電力、および動作周波数のいずれも大幅に改善している。

3 システム開発環境(SDE)

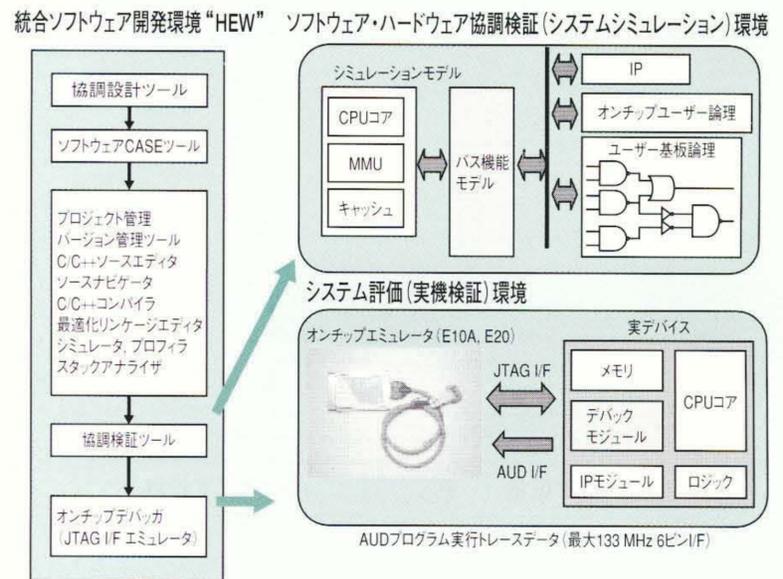
システム開発設計者にとって、LSIハードウェア技術だけでなく、開発環境はシステム開発期間を左右する重要な要素である。日立製作所は、設計者に役立つ開発環境の整備を目指し、システム設計の早期段階で操作性のよい環境を提供する。システム開発環境と、日立製作所が提供する開発ツールを図1に示す。

3.1 ソフトウェア・ハードウェア協調設計環境

上流工程でのシステム設計・評価とソフトウェア・ハードウェア協調検証に必要となる各CPUコアのC言語によるシミュレーションモデルを用意することにより、EDA(Electronic Design Automation)ベンダから提供される協調設計・検証ツールが利用できる。さらに、LSIの論理設計完了後、FPGA(Field Programmable Gate Array)化されたユーザー論理と標準コア用インサーキットエミュレータにより、ユーザーの実機でのシステム評価環境をLSI完成前に構築することができる。CPUコアにはオンチップデバッグ機能が搭載されており、JTAG(Joint Test Action Group)インタフェースを介したオンチップデバッグ“E10A”により、リアルタイムエミュレーションでシステムのデバッグ・テストが可能である。また、100 MHzまでの外部バスをリアルタイムでトレースできる高性能エミュレータ“E8000”も用意している。

3.2 統合ソフトウェア開発環境

統合ソフトウェア開発環境“Hitach Embedded Workshop”(以下、HEWと略す。)は、ソフトウェア開発



注：略語説明 HEW (Hitachi Embedded Workshop)
CASE (Computer-Aided Software Engineering)
JTAG (Joint Test Action Group), I/F (Interface)
MMU (Memory Management Unit)
AUD (Advanced User Debugger)

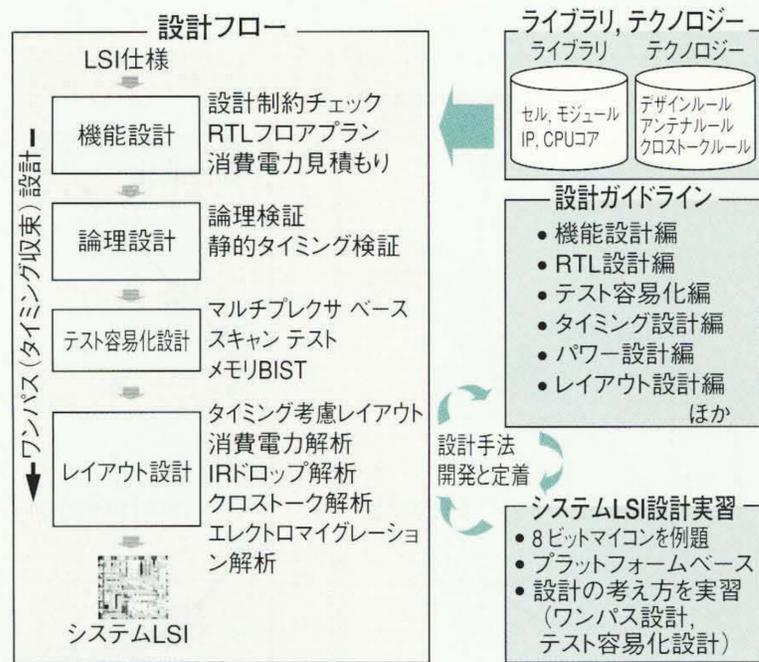
図1 システム開発環境

サードパーティから提供されるツールも含んだ、統合ソフトウェア開発環境“HEW”により、効率のよいシステム開発フローを提供している。

プロジェクト管理からシステム評価までのソフトウェア開発全体をカバーする、操作性に優れた統合開発環境である。C/C++、最適化リンカ、プロファイラ、シミュレータ、デバッガ、ソースナビゲータ、評価ボードなどのポイントツールを、一貫したコンセプトで結合した。

4 LSI設計環境(LDE)

大規模化・高速なディープサブミクロンLSIの実現には、タイミング設計収束、低消費電力化、およびテスト容易化が特に重要な課題である。LSI設計環境(LDE)では、「ワンパス設計」でこれを実現する(図2参照)。機能設計レベルでは、設計工程間で矛盾のない一貫した設計を行うために、設計ガイドラインを整備するとともに、各種の設計制約チェックツールにより、レイアウトを考慮した論理合成を可能とするRTL(Register-Transfer Level)フロアプラン、RTLレベルでの消費電力見積もりができる。また、論理設計段階では、形式的論理検証と静的タイミング検証によるSTA(Static Timing Analysis)設計、および論理シミュレータと連動した消費電力見積もりツールを提供する。テスト設計では、高い故障検出率を実現し、ゲート数増加が小さいテスト容易化設計が可能である。レイアウト設計では、論理設計時に見積もった配線遅延を尊重し、タイミング設計収束を容易にする「タイミング考慮レイアウト」を整備している。レイアウト後



注：略語説明 RTL (Register Transfer Level)
STA (Static Timing Analysis)
BIST (Built-in Self-test)

図2 LSI設計環境

ワンバス設計フロー、設計ガイドライン、およびシステムLSI設計実習により、効率のよいLSI設計環境を実現している。

に確定する配線遅延を論理設計段階で精度よく予想することは困難である。このため、ディーブサブミクロンLSIでは、レイアウト後に、しばしば論理設計のやり直しが生じる。タイミング考慮レイアウトによってタイミング設計のフィードフォワード制御が可能となり、設計の手戻りを回避することができる。RTLフロアプランとともに使用すれば、設計効率向上に有効である。また、一段と微細化する半導体プロセスに対応するために、IR (Internal Resistance) ドロップ (配線抵抗による電圧降下) 検証や、クロストークノイズ (配線間の電磁的影響ノイズ) 検証などの解析ツールを用意している。

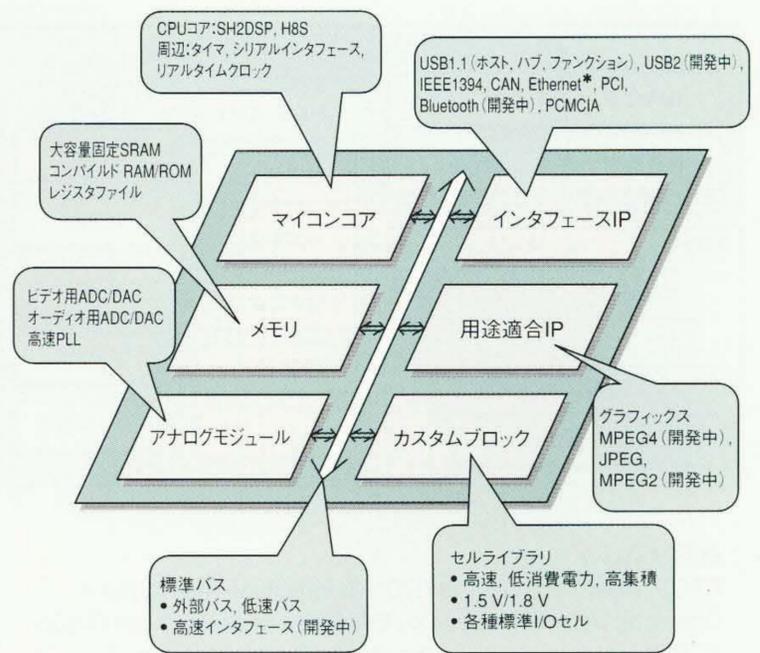
さらに、これらの設計手法を定着させるために、「システムLSI設計実習」教育を実施し、徹底を図っている。

5 システムLSIを実現するIP、ソフトウェア

数百万ゲートの回路規模のシステムLSIを開発するためには、すでに開発され、検証されたIPや、複数のシステムLSIに利用されることを前提に設計された、回路などを再利用するシステムLSIの設計がかぎであると言われている。

特に、再利用化を可能にするために、日立製作所は、以下の基本技術の上に各種のIPを設計開発している。

(1) 半導体テクノロジーに依存しないIP設計と標準化



注：略語説明ほか

SRAM (Static Random Access Memory), ROM (Read-Only Memory)
ADC (Analog-to-Digital Converter), DAC (Digital-to-Analog Converter), PLL (Phase-Locked Loop), CAN (Controller Area Network), PCI (Peripheral Component Interconnection Interface)
PCMCIA (Personal Computer Memory Card International Association)
MPEG4 (Moving Picture Expert Group 4), I/O (Input-Output)
* Ethernetは、米国Xerox Corp.の商品名称である。

図3 システムLSIを実現するIP

多種多様なIPにより、システムLSIの開発効率の向上を可能にしている。

設計

- (2) 各種IPを容易に結合させるIPのソケットサイズ
- (3) IPの管理・配信

このようなIPの標準設計手法と管理・配信手法をベースとして、各種のIPの開発を進めている(図3参照)。

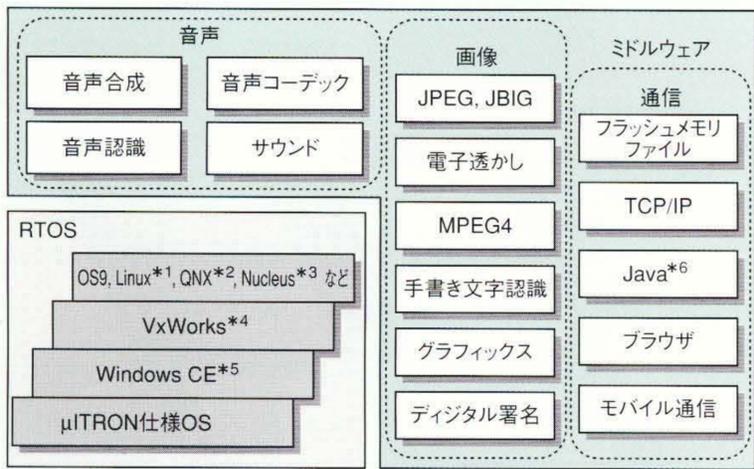
さらに、日立製作所は、上記のようなIP群で構成するシステムLSIを制御するさまざまなソフトウェアの開発を推進している(図4参照)。

このように、再利用が可能なIPや組込みOS、ミドルウェアにより、種々の応用分野のシステムLSIが容易に開発できるようになる。

6 シリコンテクノロジープラットフォーム“p76C”

プラットフォームの概要と特徴を図5に示す。設計者の多様なニーズに柔軟に対応するために、シリコンテクノロジープラットフォーム“p76C”上で、日立製作所の高性能Super Hマイコンからアナログ混載を含むさまざまなシステムLSIを実現できることが特徴である。

IPやCPUコア、システムLSIを実現するうえで、セルライブラリがシステムLSIプラットフォームの基本要素となる。今回は、0.18 μmのシリコンテクノロジーを用いた新しいセルライブラリを開発した。種々の応用分野への



注：略語説明ほか

RTOS (Real Time OS), μITRON (μ Industrial The Realtime Operating System Nucleus), JBIG (Joint Bi-level Image Group) TCP/IP (Transmission Control Protocol/Internet Protocol)

*1 Linuxは, Linus Torvaldsの米国およびその他の国における登録商標あるいは商標である。

*2 QNXは, QNX Software Systems, Ltd.の登録商標である。

*3 Nucleusは, Accelerated Technology, Inc.の登録商標である。

*4 VxWorksは, ウィンドリバーシステムズの登録商標である。

*5 Windowsは, 米国およびその他の国における米国Microsoft Corp.の登録商標である。

*6 JavaおよびすべてのJava関連の商標およびロゴは, 米国およびその他の国における米国Sun Microsystems, Incの商標または登録商標である。

図4 組込みOSとミドルウェア

業界標準の組込みOSと、通信、音声、画像などの多種多様なミドルウェアを提供している。

適用を考慮し、電源電圧1.5 Vと1.8 Vの標準ロジックセルに加え、高速用と高集積・低消費電力用ロジックセルライブラリを整備した。また、ユーザーの用途・仕様に応じてワード・ビット構成を柔軟に設計できるコンパイルドメモリをはじめ、1 Mビット以上の大容量メモリモジュールや各種アナログモジュールをハードウェアコアとして提供する。

p76Cを支えるキーテクノロジーとして、ゲート長0.14 μmの微細CMOSデバイスプロセス技術と、3層から5層まで利用が可能な配線ピッチ0.52 μmの高密度配線技術を採用した。

7 おわりに

ここでは、システムLSIプラットフォーム“SOCplanner”について述べた。

SOCplannerは、システム仕様設計からシステム評価まで、設計者に役立つ設計技術、設計ツール、および設計手法をシステムLSIプラットフォームとして統合したものである。半導体技術の変化とエレクトロニクス製品設計者のニーズに合わせ、今後もこのプラットフォームの拡充を図っていく考えである。

進化するシリコン テクノロジー プラットフォーム

特徴：同一シリコン テクノロジー プラットフォーム上で標準ロジックからSuperHマイコン、アナログ混載を含むシステムLSIを実現

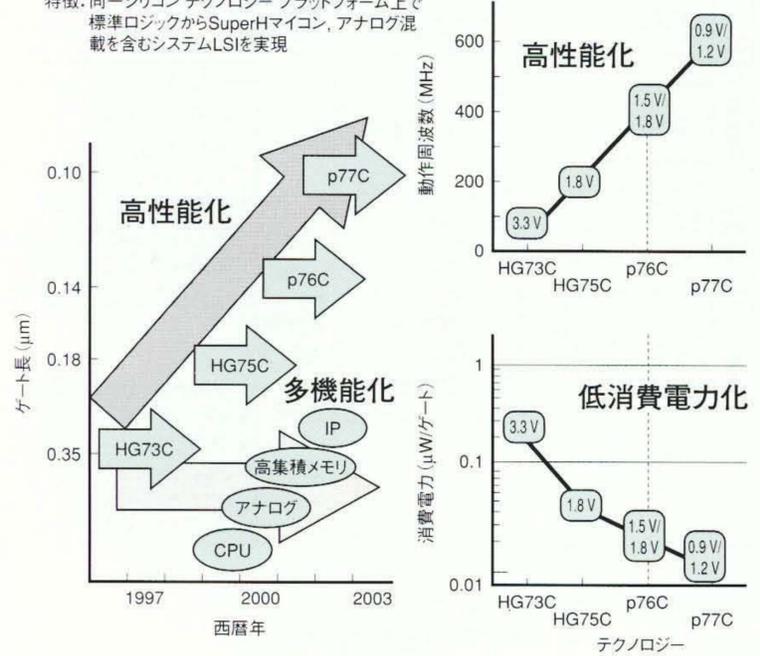


図5 シリコン テクノロジー プラットフォーム

最先端CMOSハードウェア技術により、高性能で低消費電力のシステムLSIを実現している。

執筆者紹介



清水 剛

1978年日立製作所入社、半導体グループ システムLSI事業部 基本ソフト開発設計部 所属
現在、システムLSIプラットフォームの基本ソフトウェア開発に従事
E-mail: shimizu-tsuyoshi@sic.hitachi.co.jp



岡村芳雄

1977年日立製作所入社、半導体グループ システムLSI事業部 設計技術開発部 所属
現在、システムLSIプラットフォームの設計技術開発に従事
E-mail: okamura-yoshio@sic.hitachi.co.jp



萩原吉宗

1972年日立製作所入社、半導体グループ システムLSI事業部 IP統括センタ 所属
現在、システムLSIプラットフォームのIP開発に従事
E-mail: hagiwara-yoshimune@sic.hitachi.co.jp



内田明久

1979年日立製作所入社、半導体グループ システムLSI事業部 デバイス第2開発部 所属
現在、システムLSIプラットフォーム“p76C”の開発に従事
E-mail: uchida-akihisa@sic.hitachi.co.jp