

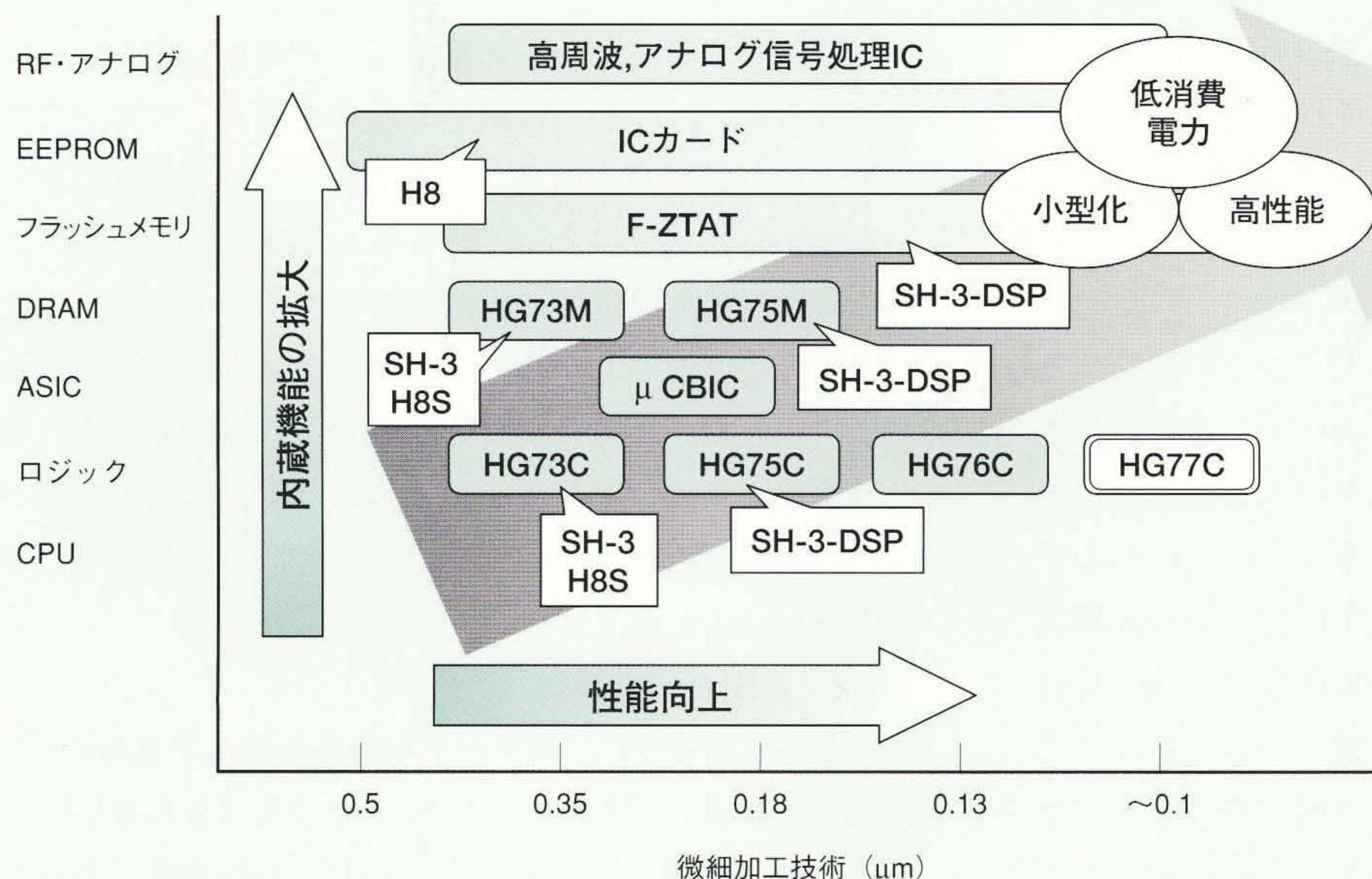
システムLSIを支えるプロセス技術

Process Technologies for System LSI

池田修二 Shûji Ikeda

尾内享裕 Takahiro Onai

山中俊明 Toshiaki Yamanaka



注1: □ (計画中), □ (製品化)

注2: 略語説明

RF (Radio Frequency)

EEPROM (Electrically Erasable Programmable Read-Only Memory)

DRAM (Dynamic Random Access Memory)

ASIC (Application Specific IC)

CPU (Central Processing Unit)

DSP (Digital Signal Processor)

F-ZTAT (Flexible Zero Turn-around Time)

μCBIC (Micro Cell Based IC)

日立製作所のシステムLSIの展開

SuperHシリーズRISC (縮小命令セットコンピュータ) プロセッサをコアとして、先端CMOS (相補形MOS) トランジスタのほか、メモリやアナログデバイスの混載プロセス技術により、高性能、低消費電力、小型化を推進している。

マルチメディアやモバイル分野の拡大を支えるシステムLSIの製造では、高性能化、低消費電力化、および小型化のために、微細加工技術をはじめとするプロセス技術の進展が不可欠である。

日立製作所は、0.1 μm時代に先駆けてこれらの技術を開発し、高性能トランジスタの試作に成功した。この技術をプラットフォームとして、高周波やアナログ信号処理、メモリ混載LSIなど幅広い製品群に展開し、デジタル情報機器の旺 (おう) 盛なニーズにこたえていく。

1 はじめに

インターネットや携帯電話に代表される移動体端末の普及に伴い、LSIの高性能化、低消費電力化、および小型化への要求が高まっている。半導体素子の微細化は、これらの要求すべてを満足させるものであり、過去の半導体の歴史は、半導体素子の微細化の歴史と言っても過言ではない。これまでの歴史を振り返ると、トランジスタの性能を決めるゲート長の寸法はおよそ15年で $\frac{1}{10}$ になった。以前は、微細化のロードマップは各社独自に設定していたが、現在のように微細化技術が高度化すると、半導体技術や製造装置技術の開発を高効率化するために標準的なロードマップが示されるようになった。これがITRS (International Technology Roadmap for Semiconductors) である。システムLSIに関連したITRS

表1 システムLSIに関連したITRS (1999年版)

ITRSによると、0.1 μm時代は2001~2002年から始まると予測されている。

西暦年 項 目	2000	2001	2002	2003	2004
ゲート長(MPU) (nm)	120	100	85	80	70
電源電圧 (V)	1.5~1.8	1.2~1.5	同左	同左	0.9~1.2
駆動電流 (μA/μm)	750/350	同左	同左	同左	同左
オフ電流 (μA/μm)	7	8	10	13	16
ゲート絶縁膜厚 (nm)	1.9~2.5	1.5~1.9	同左	同左	1.2~1.5
中間配線ピッチ (nm)	450	405	365	330	295

注: 略語説明 MPU (Microprocessing Unit)

の項目を表1に示す。ITRSによれば、2002年に0.13 μm 世代が製品化され、トランジスタのゲート長は85 nmとなり、短距離配線ピッチはおよそ0.36 μm となる。

ここでは、この世代に必要なとされる主要なプロセス技術と、それらを用いて試作したトランジスタの特性、およびCMOS(相補形MOS)トランジスタ以外にも移動体端末で必須の部品である、高周波LSI(IC)やメモリ混載LSIについて述べる¹⁾。

2 高性能CMOS技術(0.1 μm トランジスタ)

85 nmという細いゲート電極を形成するためには、リソグラフィ技術や高精度のドライエッチング技術などの微細加工技術が必要となるほか、ゲート絶縁膜厚やソース・ドレイン接合深さといった縦方向も同時に縮小する必要がある。ゲート絶縁膜の薄膜化はゲート容量増大による駆動電流取得や短チャネル効果防止に、浅い接合は短チャネル効果防止にそれぞれ必要となる。特に、この世代のゲート絶縁膜は2 nm程度と非常に薄くなることから、ゲート絶縁膜を貫通する直接トンネル電流によるゲート漏れ電流の問題が無視できなくなってくる。この問題を回避するためには、従来用いられていたシリコン酸化膜よりも高誘電率の材料に置き換え、物理的に厚い膜でも大きな容量を実現するといったくふうが必要となる。また、50 nm以下の浅い拡散層を低抵抗に保ったまま形成するのにも、新しい技術の導入が要求される。

ゲート長85 nmのトランジスタ実現のための主要なプロセス技術について以下に述べる。

2.1 窒化シリコンゲート絶縁膜

シリコン窒化膜はシリコン酸化膜に比べて2倍程度の誘電率を持つため、2倍の厚さでも同等のゲート容量を

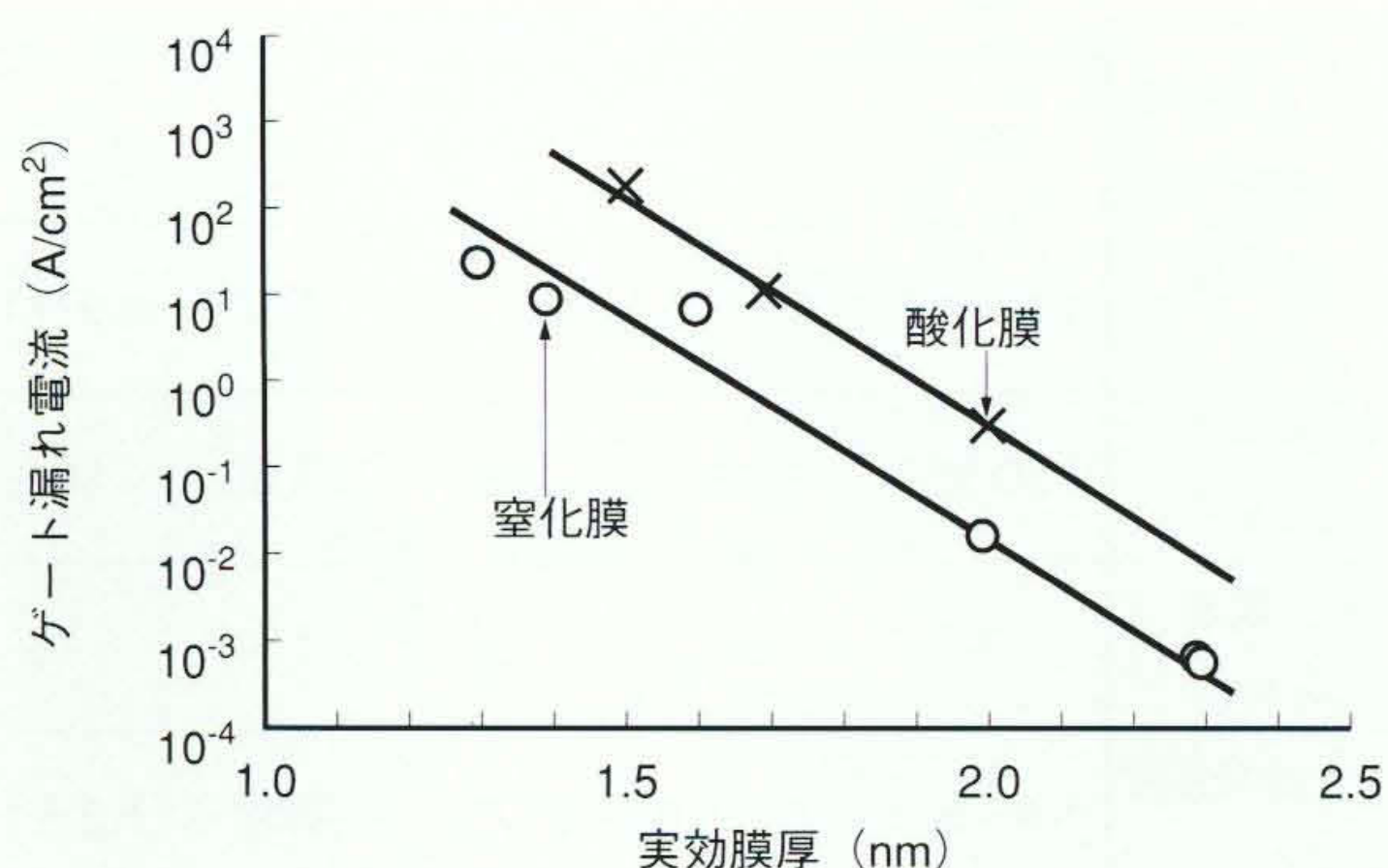


図1 酸化膜と窒化膜におけるゲート漏れ電流

窒化膜により、従来用いられていた酸化膜に比べて約1けたのリーク電流の低減を確認した。

得ることができる。物理的に厚い膜を用いることで、ゲート漏れ電流を防ぐことができる。酸化膜と窒化膜でのゲート漏れ電流の実効膜厚依存性を図1に示す。窒化膜を用いることにより、漏れ電流を約一けた低減することができた。

窒化膜によるゲート絶縁膜は、PMOS(p形MOS)で発生する「ボロン漏れ」抑制にも効果がある。ボロンは酸化膜中を移動できるので、高濃度にボロンを含んだゲート電極から熱処理によってチャネル領域に入り込む。これにより、しきい電圧の変動やばらつきの増大といった問題が発生する。しかし、窒化膜中にはボロンが入り込みにくいので、ボロン漏れを回避することができる。実験結果によれば、窒化膜を用いることで、酸化膜に比べて約2 nm薄膜化することができた。今回の試作では、実効膜厚1.9 nmを適用した。

2.2 浅接合形成技術

上述したように、短チャネル効果を防止するためには、浅いソース・ドレインを形成しなければならない。さらに、高い駆動電流を取得するため、浅接合化によってソース抵抗を増大してはいけい。すなわち、高濃度の浅接合形成技術が必要である。浅接合形成には、表面に不純物を導入する低エネルギーイオン注入技術が必須である。また、不純物濃度を高くして低抵抗化を図るには、高温の熱処理が必要となる。しかし、この処理では不純物が移動して接合が深くなるため、短時間の熱処理を行わなければならない。

試作では、5 keV以下の低エネルギーによるイオン注入と、1,000 $^{\circ}\text{C}$ で10秒以内の高温・短時間熱処理を適用することにより、接合深さ約50 nmの浅いソース・ドレインを実現した。

2.3 リソグラフィ技術

微細加工を実現するうえで最も重要なのはリソグラフィ技術である。微細なパターンを解像するために、光の短波長化やレンズの大口径化が行われている。現在の0.18 μm 製品では波長248 nmのKrFエキシマレーザが用

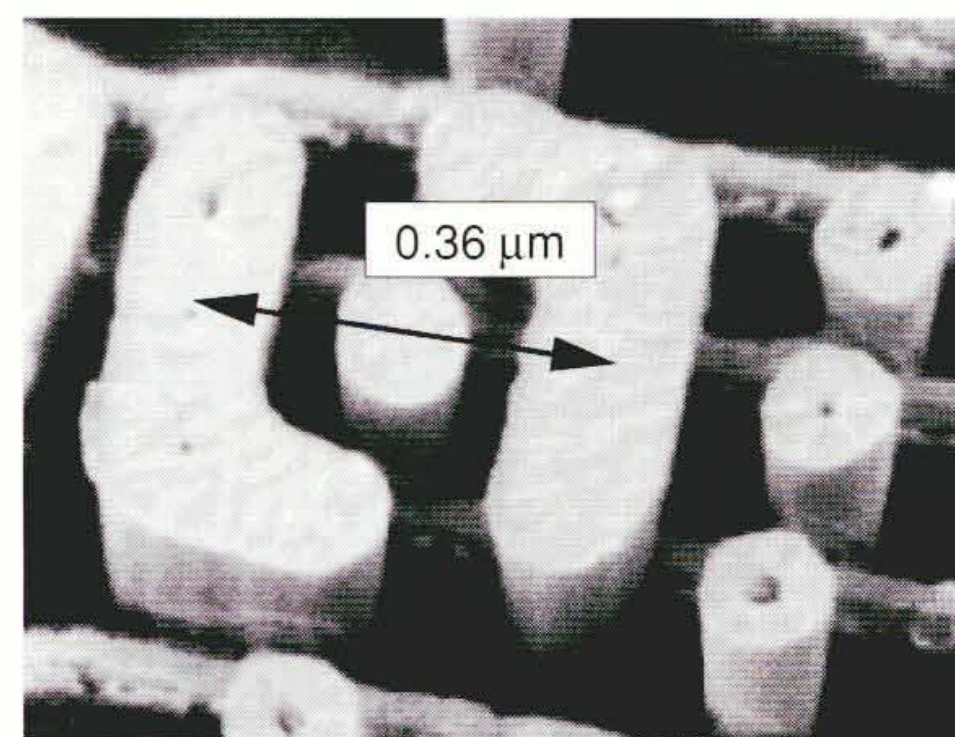


図2 SRAM(Static Random Access Memory)セルの鳥観図

位相シフト技術により、KrFエキシマレーザを用いて0.36 μm の配線ピッチを実現した。

いられており、次世代では波長193 nmのArFエキシマレーザが用いられるようになると予測されている。露光装置の限界以上に微細パターンを形成できるのが、位相シフト技術や近接効果補正技術、輪帯照明技術などの超解像技術である。日立製作所は、KrFエキシマレーザと超解像技術を用いることにより、ArFエキシマレーザによる解像度と同等のパターンを形成した。配線ピッチは0.36 μm 、ゲート長は0.1 μm である(KrFエキシマレーザによる一般的な露光方法ではそれぞれおよそ0.4 μm 、0.15 μm) (図2参照)。ArFリソグラフィーでもこの技術を適用することができることから、常に露光装置限界以下の寸法を解像することが可能となった。

以上、トランジスタ縮小のキーとなる技術について述べた。その他の要素プロセス技術については、この特集の他論文で述べている。

2.4 トランジスタ特性

試作トランジスタの断面写真を図3に示す。NMOS(n形MOS)で1,000 $\mu\text{A}/\mu\text{m}$ 、PMOSで430 $\mu\text{A}/\mu\text{m}$ の大電流をそれぞれ取得した。ゲート長0.1 μm 以下までしきい電圧の低下がなく、縦方向の縮小によって短チャネル効果を抑制することができた(表2参照)。

今後、このトランジスタの集積化といっそうの高性能化を図り、製品化に結び付ける考えである。

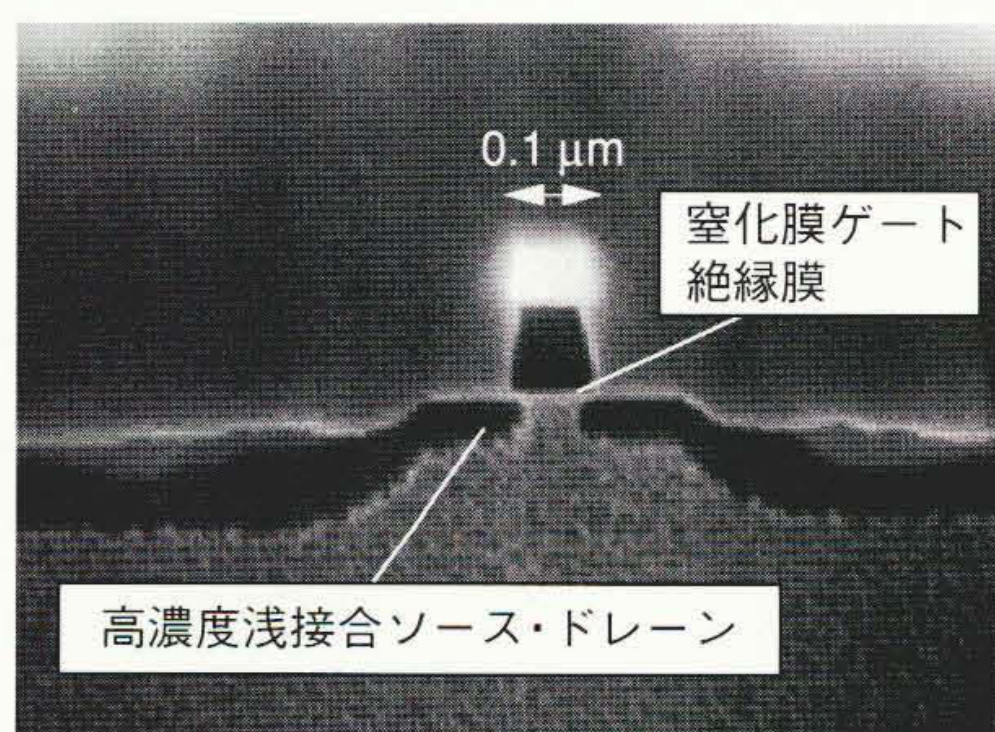


図3 0.1 μm トランジスタの断面

窒化膜ゲート絶縁膜と高濃度浅接合の形成により、0.1 μm のゲート長を実現している。

表2 トランジスタ特性

ITRSロードマップ(表1参照)の0.1 μm トランジスタを超える性能を取得した。

ゲート長(μm)	0.1		
ゲート酸化膜厚(nm)	2.8		
電源電圧(V)	1.5	1.2	
駆動電流(N) ($\mu\text{A}/\mu\text{m}$)	900	950	620
駆動電流(P) ($\mu\text{A}/\mu\text{m}$)	370	404	230
オフ電流(nA/ μm)	1	3	1

3 デジタル情報機器用LSI

日立製作所は、デジタル情報化時代の携帯端末やデジタル家電用に、高性能でかつ低消費電力・低コストを特徴とする、以下に述べる技術を適用したシステムLSIを開発している。

3.1 DRAM混載プロセス

携帯機器の画像処理などでは、CMOSロジックにDRAM(Dynamic RAM)を混載することにより、バンド幅の拡大や入出力ピンの削減、およびそれらによる消費電力の低減が可能になる。日立製作所は、高性能CMOSトランジスタに高密度DRAMを混載したLSI“HG75M”を開発した。第1層目の配線電極に高融点金属のタンゲステンを用いることにより、DRAMのビット線とロジック部の局所配線を共有するなど、作りやすさに配慮したプロセスを用いている。

また、CMOSトランジスタのいっそうの高性能化を図るためには、DRAMのキャパシタ形成プロセスの熱処理の影響を少なくする必要がある。汎用DRAMで開発したTa₂O₅キャパシタ絶縁膜の採用も進めている²⁾。

3.2 不揮発性デバイス技術

携帯情報機器のプログラム格納用途には、小容量のフラッシュメモリを混載するマイコンが主流である。日立製作所は、0.35 μm プロセスを用いて、32ビットRISC(縮小命令セットコンピュータ)プロセッサ“SH-DSP”をコアとする、48 kバイトのフラッシュメモリを搭載したF-ZTAT(Flexible Zero Turnaround Time)マイコン“SH7410F”を開発した。F-ZTATマイコンでは、オンボードのプログラム書込みが可能なおことから、プログラムの開発とサンプル製造をコンカレント化し、開発期間を短縮することができる。今回、ビット線分割とセンス増幅器回路の改良により、読み出し速度を向上した。同時に、これらの回路性能を十分引き出すために、2種のゲート酸化膜厚のトランジスタを開発した。さらに、0.2 μm のF-ZTAT技術を開発することにより、いっそうの高性能化を進めている。

一方、携帯情報機器のメディア ストレージ デバイスには、大容量のフラッシュメモリが使われる。日立製作所は、高速書込みに有利なAND型のフラッシュメモリと、その大容量化のための多値セル方式を開発した³⁾。この方式は、しきい値の精密制御やそのばらつき低減技術によって達成できるものであり、電子トラップの少ない良質なトンネル絶縁膜形成技術がかぎとなる。

ICカード分野では、セキュリティ性に優れた、高信頼、高集積の不揮発性メモリ技術が必須であり、日立製作所独自のMONOS(Metal-Oxide Nitride-Oxide Semiconductor)構造によるEEPROM(Electrically Erasable Programmable Read-Only Memory)でユーザーのニーズにこたえている。また、非接触カードでは、PZT(鉛、ジルコニウム、チタン酸化物の化合物)強誘電体メモリ技術の実用化を進めている。

3.3 アナログ信号処理IC

移動体通信や携帯電話用のICでは、部品点数の削減や小型・低消費電力に加え、高周波特性がよいことと、かつ低ノイズ性が要求される。日立製作所は、部品点数を削減するために、RF(Radio Frequency)部の大半をワンチップ化した。また、バイポーラ素子をSOI(Silicon on Insulator)基板に混載することによって寄生容量を従来の $\frac{1}{10}$ に低減した0.35 μm BiCMOS(Bipolar CMOS)を開発し、高速でかつ低ノイズなアナログ信号処理IC“HD155131TF”を製品化した。さらに、バイポーラトランジスタの高周波特性向上のために、ベース・エミッタ形成部にIDP(In-situ Phosphorus Doped Polysilicon)を用いた「自己整合技術」を開発した⁴⁾(図4参照)。いっそうの特性向上に向けて、SiGeを用いたトランジスタも開発中である。

3.4 高周波電力増幅器(RFパワーモジュール)

携帯電話の電力増幅器用として、CMOS技術を用いて低電圧・高効率で動作するRFパワーMOSFET(MOS型電界効果トランジスタ)を開発した。この素子では、オン抵抗低減と高耐圧化を同時に達成するために、オフセットゲート構造を用いた。また、ゲート抵抗を低減するために、Al短絡シリサイドゲート構造を新たに開発し、

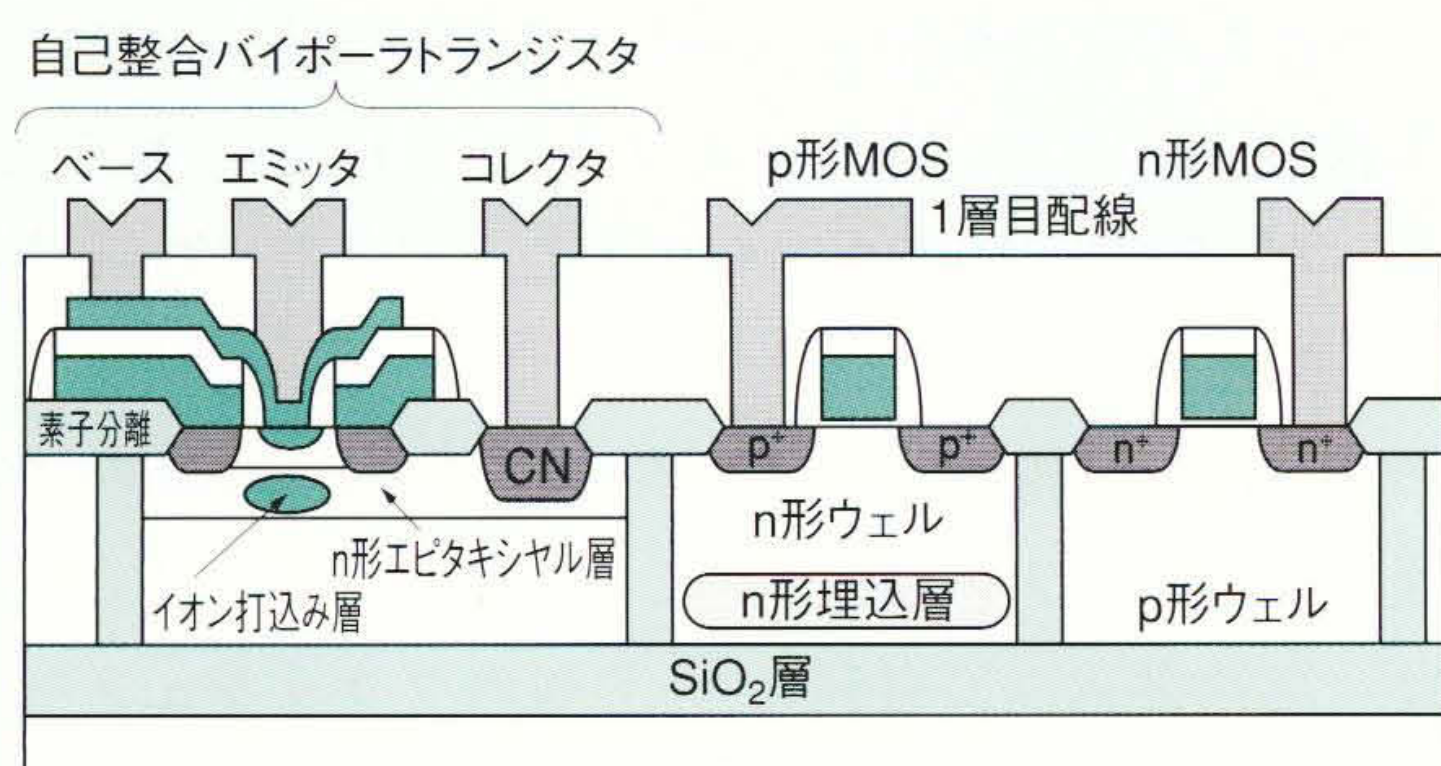


図4 アナログ信号処理ワンチップICの断面

部品点数の削減や低コスト化を図るために、RF部の大半をワンチップ化した。さらに、バイポーラ部にIDP技術を適用することにより、優れた高周波特性を得た。

2 GHzまでの高周波特性を得ることができた。高周波特性をさらに向上するために、ゲートエッジ部分のゲート酸化膜を自己整合的に厚くするなどの技術も開発した。今後、GaAsデバイスも含め、W-CDMA(広帯域符合分割多元接続)方式も視野に入れ、高効率でコスト面でも有利な高周波デバイスを開発する考えである。

4 おわりに

ここでは、デジタル情報機器の急速な市場の拡大を支える最先端のCMOSトランジスタと、システムLSIのプロセス技術について述べた。

日立製作所は、今後も、ユーザーのニーズに迅速にこたえる半導体が提案できるように、技術開発を進めていく考えである。

参考文献

- 1) T. Onai, et al.: 0.1- μm CMOS Technology for High-speed Logic and System LSI's with SiO/SiN/poly-Si/W Gate System, IEDM Tech. Dig., 937(1999)
- 2) Y. Ohji, et al.: Ta₂O₅ capacitors' dielectric material for Giga-bit DRAMs, IEDM Tech. Dig., 111(1995)
- 3) H. Nozoe, et al.: A 256Mb Multilevel Flash Memory with 2MB/s Program Rate for Mass Storage Application, ISSCC Dig. of Tech. Papers, 110(1999)
- 4) T. Kikuchi, et al.: A 0.35 μm ECL-CMOS Process Technology on SOI for 1ns Mega-bits SRAM's with 40ps Gate Array, IEDM Tech. Dig., 923(1995)

執筆者紹介



池田修二

1978年日立製作所入社、半導体グループ 半導体技術開発統括本部 プロセス技術開発部 所属
現在、半導体プロセスの開発に従事
IEEE会員
E-mail: ikeda-shuji @ sic. hitachi. co. jp



山中俊明

1982年日立製作所入社、中央研究所 先端技術研究部 所属
現在、半導体プロセスと製造・検査装置の研究開発に取り組みに従事
電子情報通信学会会員、IEEE会員
E-mail: yamanaka @ crl. hitachi. co. jp



尾内享裕

1984年日立製作所入社、中央研究所 ULSI研究部 所属
現在、高速CMOSデバイスと集積化技術の研究開発に従事
工学博士
応用物理学会会員、IEEE会員
E-mail: Takahiro-crl. Onai @ c-net3. crl. hitachi. co. jp