

ネットワーク時代を切り開く半導体実装技術

Semiconductor Assembly Technologies for Networking Equipments

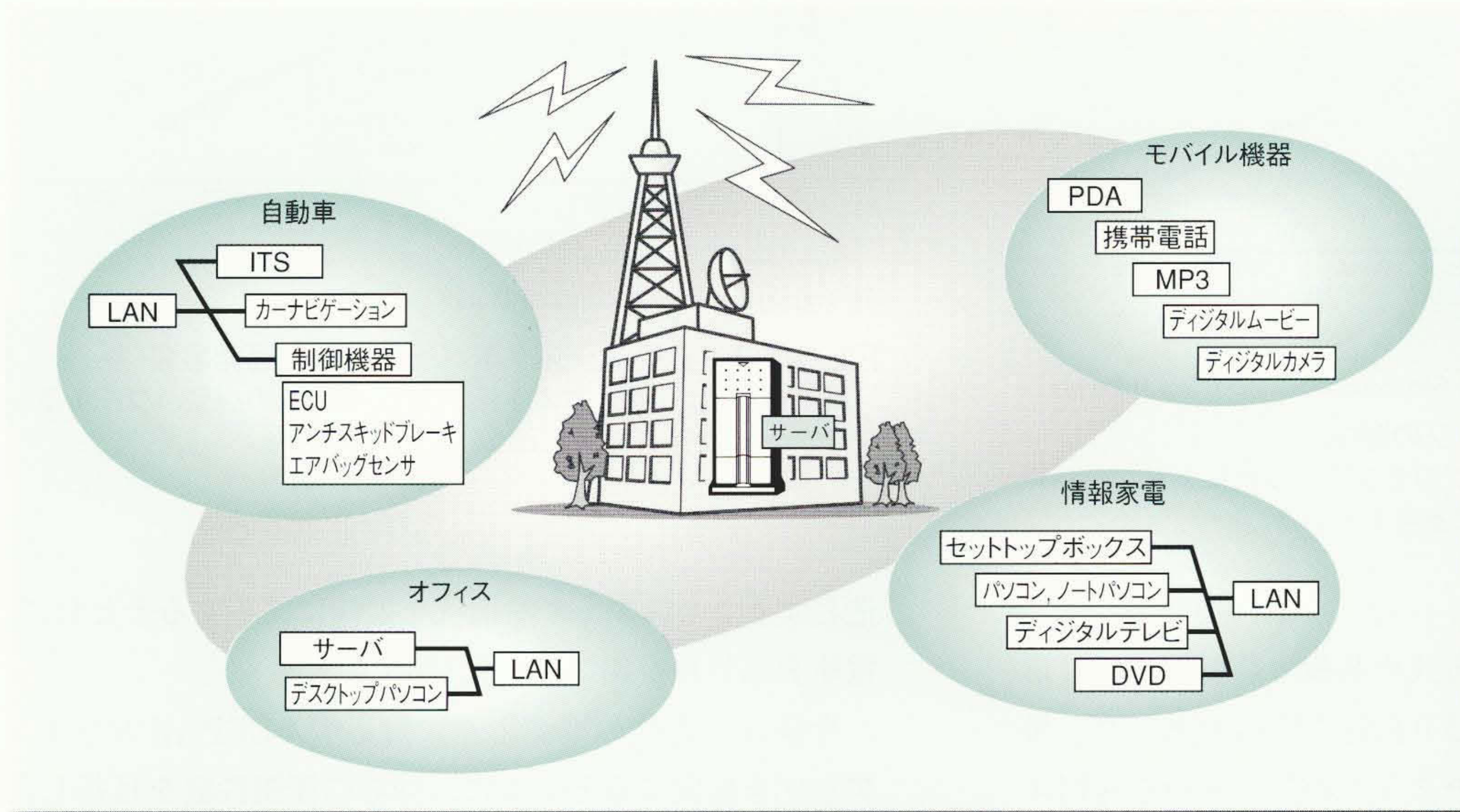
西 邦彦 Kunihiro Nishi

岸本宗久 Munehisa Kishimoto

小林邦雄 Kunio Kobayashi

赤沢 隆 Takashi Akazawa

佐藤俊彦 Toshihiko Satô



注：略語説明

ITS (Intelligent Transport Systems)

ECU (Electronic Control Unit)

PDA (Personal Digital Assistant)

MP3 (MPEG1 Layer-3 Audio)

DVD (Digital Versatile Disc)

ネットワーク社会を構成するさまざまなデジタル機器

情報の発信源となる基地局と主要4分野では、端末機器間の融合が起きている。

21世紀を迎え、本格的なネットワーク時代が到来しようとしている。据え置き型機器もモバイル機器もすべてネットワークで結ばれ、情報やデータのやり取りが頻繁に行われるようになる。通信速度の向上、情報処理の高速化、大容量情報へのアクセス速度の向上などハードウェアに要求される仕様は厳しい。また、モバイル機器などでは、これまでの軽薄短小に加えて、高密度実装、低消費電力化などのニーズも強い。

このため、これらの機器に対する半導体実装技術は、従来の面実装パッケージを中心にしてきた実装技術から大きく変わろうとしている。日立製作所は、これらのニーズに対応した実装技術の開発に取り組んでいる。

1 はじめに

21世紀に向けて、ネットワークを中心とした機器での半導体実装技術は目覚ましい変化を起こしつつある。携帯端末では軽薄短小ニーズがいっそう高まっており、サーバなどでは、高速化対応と高密度実装がこれまで以上に求められている。

ここでは、今後高密度実装をけん引すると思われる携帯電話を例に、これらのニーズに対応する日立製作所の半導体実装技術について述べる。

2 実装機器動向と実装ニーズ

ネットワーク機器では、従来の文字情報に加えて、音声や画像、特に動画の処理が必要になるため、半導体の高速化と多ビット化が進行している。実装機器によっては、これに加えて、小型薄型軽量実装、高密度実装、高

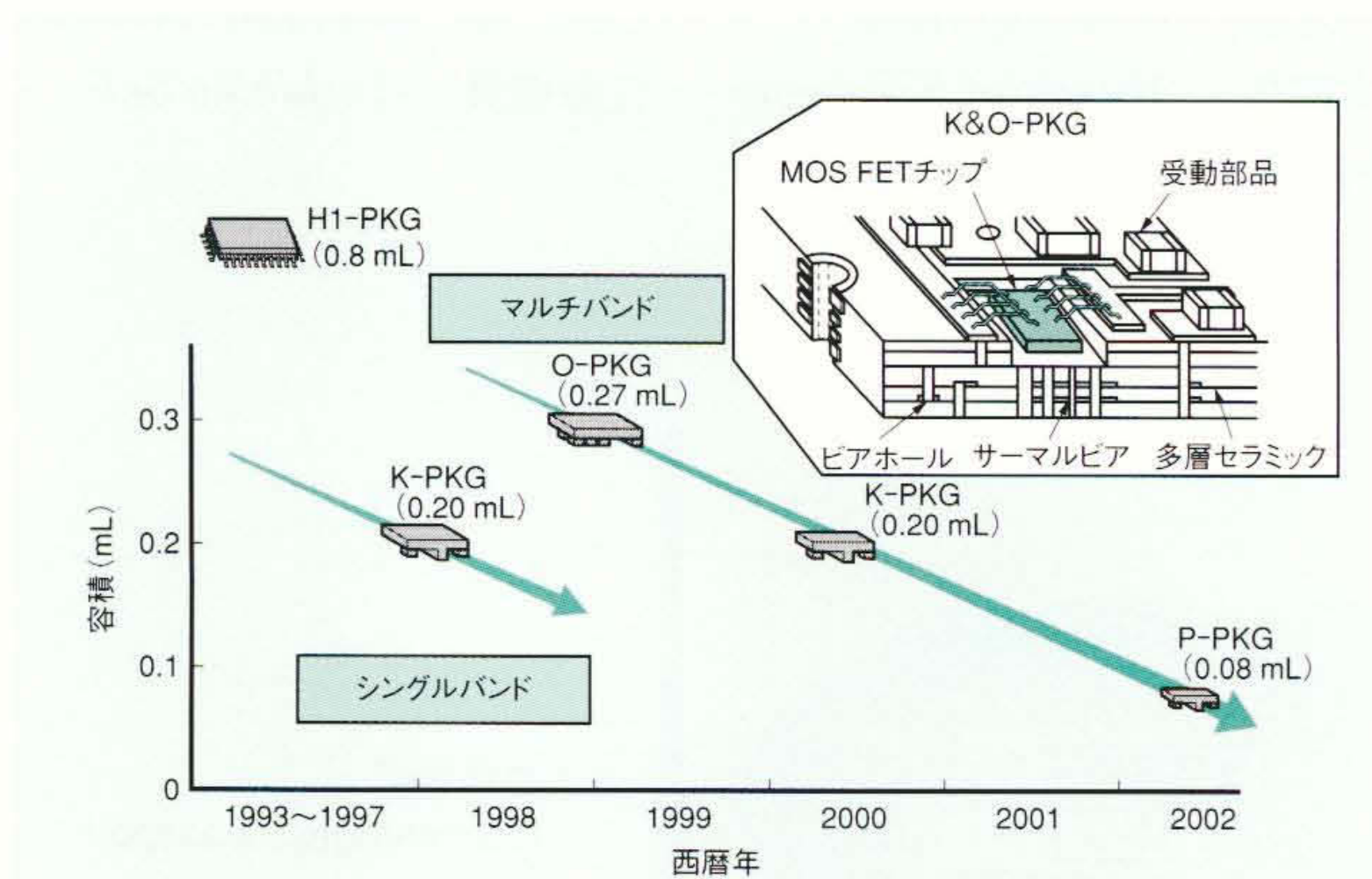
信頼度実装などが要求されるため、分野ごとの対応が必要である。

特に注目されるのが携帯電話であり、今後の実装技術をけん引していくものと予想される。携帯電話は、高周波部、ベースバンド部、および電源部で構成する。これまで小型化と軽量化が進み、実装技術でも高周波部のモジュール化や、ベースバンド部のCSP (Chip Size Package) 化が進んできた。また、MCM (Multi-Chip Module) も使われ始めている。今後はさらに、メール端末や音声・動画端末に発展する可能性を秘めており、いっそうの高密度実装化、システム化、高速対応が求められている。

3 システム化を支える高密度実装技術

3.1 携帯電話用HPAの実装技術

日立製作所のHPA (高周波パワーモジュール) 用パッケージの小型化トレンドを図1に示す。従来品 (H1-PKG) で



注：略語説明 MOS FET (Metal-Oxide-Semiconductor Field-Effect Transistor)

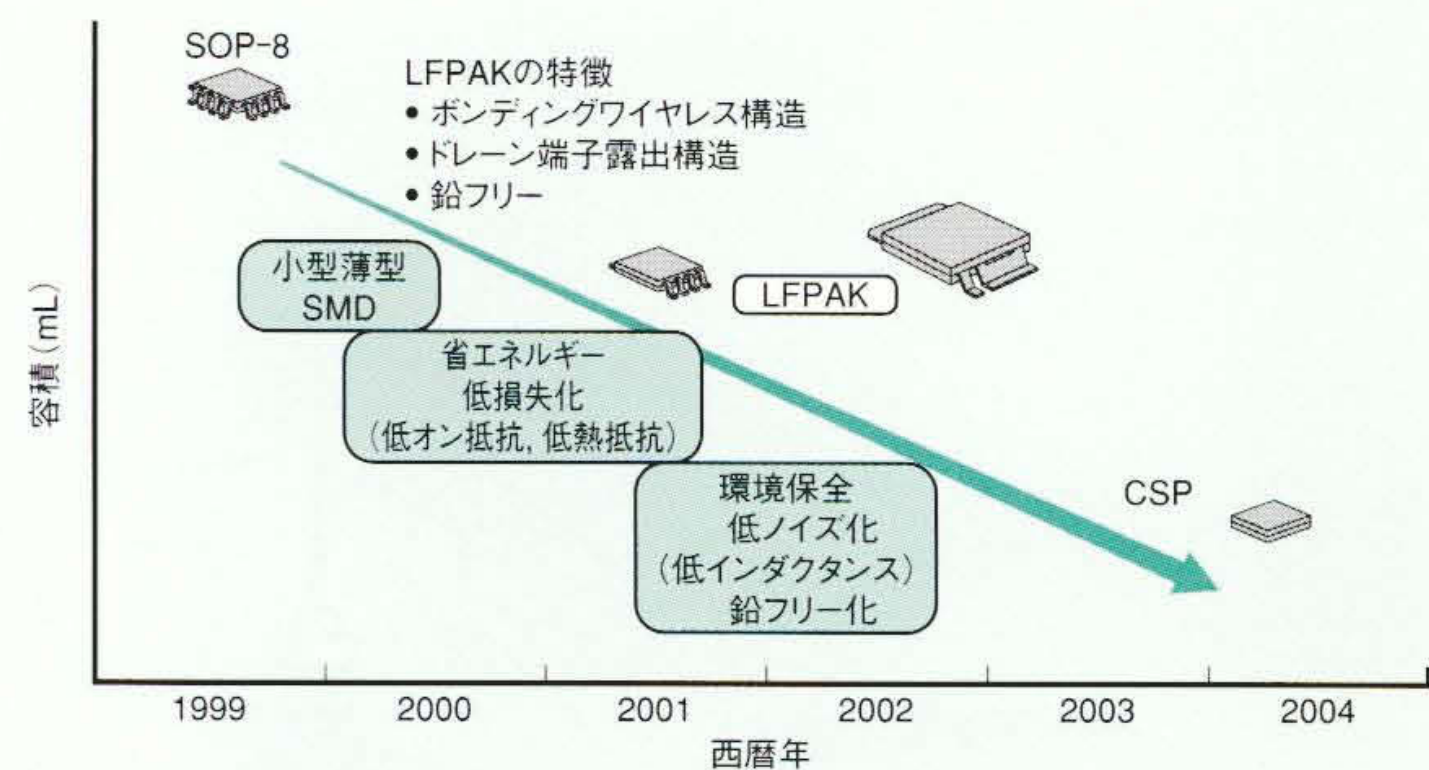
図1 高周波半導体のパッケージの動向

携帯電話用高周波パワーアンプのモジュール化により、部品点数の削減と、実装設計の容易化に寄与している。

は、アルミナ厚膜両面印刷方式の基板で熱抵抗を下げるため、銅のヒートシンクをはり付けた構造であった。最新のK-PKGでは、ガラスセラミックの多層基板を採用することにより、サーマルビアを形成して熱抵抗を低くする構造とした。パッケージ外形はリードレスの面付け構造とし、また、チップ部品（抵抗、コンデンサなど）を、従来の1608サイズ[1.6×0.8×0.8(mm)]から1005サイズ[1.0×0.5×0.5(mm)]に小型化することにより、高密度実装化を図った。このようなパッケージ構造の変更や高密度実装技術の採用により、H1-PKGの容積0.8 mLに対し、K-PKGでは約 $\frac{1}{4}$ の0.2 mLまで大幅に小型化している。今後は、さらに小型のP-PKGを開発するとともに、HPA周辺の回路を取り込んだモジュール(MCM)の開発も進めていく考えである。

3.2 電源用ディスクリート半導体のパッケージ

携帯電話をはじめとするバッテリー駆動型の携帯情報端末機器には長時間動作が求められており、電力を効率的に運用し、電池の負担を低減する回路が組み込まれている。この電源制御には、SOP (Small Outline Package) に搭載されたパワーMOS FETが使用されている。近年、高速・低消費電力化が強く求められるようになり、低オン抵抗と高速動作を実現する新型パッケージ“LFPACK (Loss-free Package)”を開発した(図2参照)。LFPACKでは、導体電極板をシリコン上に直接接合する構造(ワイヤレス構造)とすることにより、ワイヤに起因していた抵抗成分とインダクタンスを極限まで抑え、オン抵抗を約20%低減するとともに、パッケージの厚みを1.1 mmと薄型化した。また、ドレーン端子を外形裏面に露出する構



注：略語説明 SMD (Surface Mount Device)

図2 パワートランジスタ用パッケージの開発展開

携帯機器用に、電池寿命を延命する、高性能の小型パワートランジスタパッケージを開発した。

造とすることによって熱抵抗を大幅に改善するとともに、電極表面処理を鉛フリー化した。

今後は、各種の電源用途に対応するLFPACKのラインアップを展開するとともに、さらに極限性能を目指したCSP化を推進していく考えである。

3.3 マイコン、ASICの実装技術

携帯電話やデジタルカメラ、デジタルムービーなどの携帯機器向けにCSPを開発した。ピン数の少ないアナログデバイスやメモリから、ピン数の大きいマイコン、ASIC (Application Specific IC) に至るすべてのデバイスに対応したCSPを品ぞろえしている。CSPの構造と特徴を表1に示す。

CSPは、(1) 外形を小型化すること、(2) 従来の実装技術が使えること、および(3) 実装後の強度確保を目標に設計している。

CSPの実装面積は、従来パッケージの半分に縮小することが可能である(図3参照)。また、低いインダクタンスとキャパシタンスを持つことから、高速動作が可能である。今後は、さらに微細なピッチのCSPを開発することにより、いっそうの小型化を目指す考えである。

3.4 多ビット化に対応したDRAM高密度実装技術

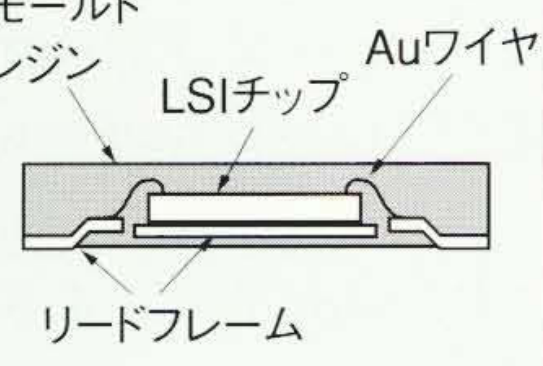
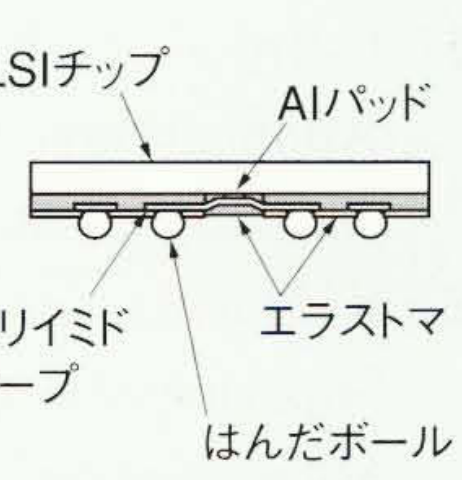
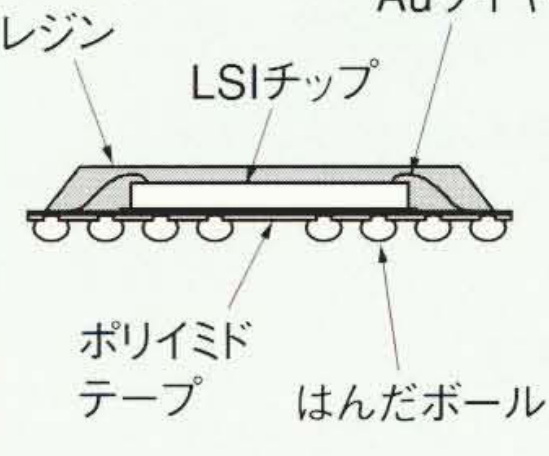
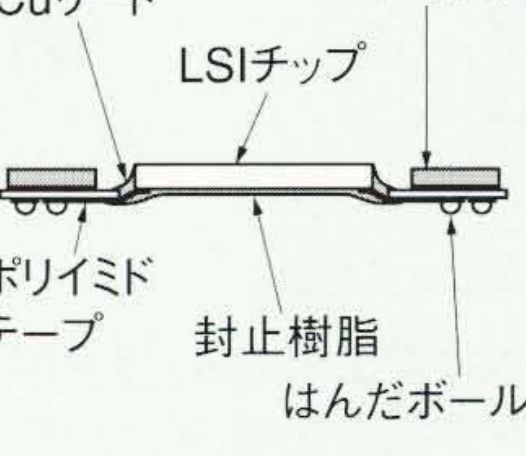
近年、画像処理のニーズが増え、デジタルカメラなどで、バス幅の広いDRAM (Dynamic Random Access Memory) への要求が高い。日立製作所は、BGA (Ball Grid Array) 基板とCSP基板に複数個のDRAMを搭載し、バス幅を32ビットまたは64ビットにしたメモリを開発した。64ビットの例を図4に示す。

3.5 積層技術

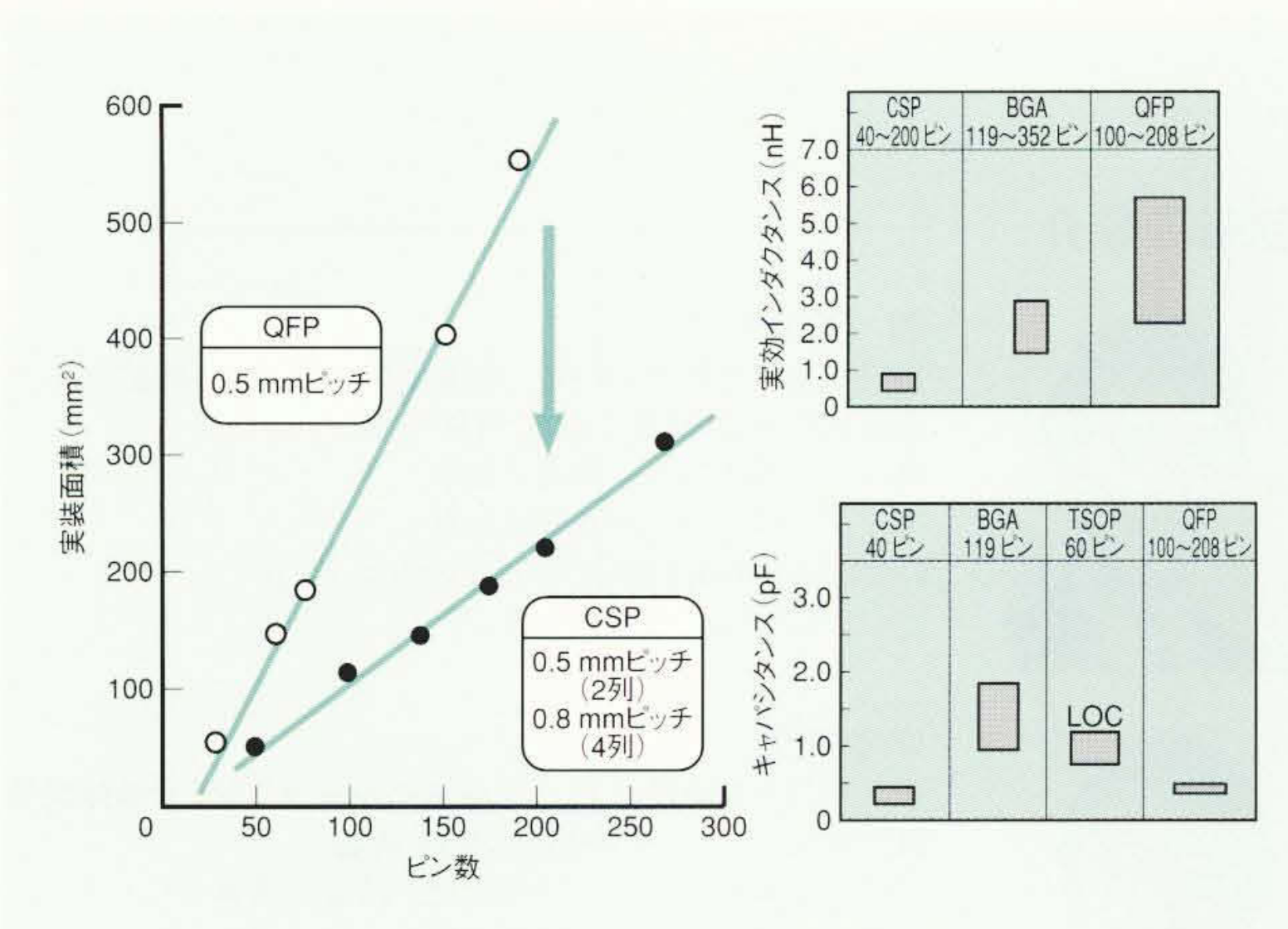
さらに高密度実装をねらったパッケージ技術としては、

表1 CSPの構造と特徴^{1),2)}

リードフレームタイプの小型のCSPをはじめとして、テープと基板タイプでは、少ピンから超多ピンに至る範囲を3種類のCSPでカバーしている。

パッケージの通称	QFNタイプ	ファンインタイプ	ファンイン・アウトタイプ	ファンアウトタイプ
EIAJ名称	P-VQFN	T-TFBGA	T-TFBGA	T-TFBGA
ピン数	～60	～100	80～200	200～
搭載デバイス	アナログデバイス	メモリ	メモリ、マイコン、ASIC	マイコン、ASIC
構造				
特徴	・低コスト	・リアルチップ サイズ ・高接続信頼性	・小型 ・低熱抵抗	・多ピン対応 ・高接続信頼性

注：略語説明
EIAJ(日本電子機械工業会)
QFN(Quad Flat Non-leaded)



注：略語説明 QFP(Quad Flat Package)
TSOP(Thin Small Outline Package)

図3 CSPのピン数と実装面積、および性能の関係

CSPは実装サイズが小さく、他のパッケージと比較して電気特性が非常に優れているため、携帯機器や高速バスを持つ半導体に適している。

パッケージ内にチップを積層して実装する手法を開発することにより、(1) QFP内にロジックとメモリを積層したもの、(2) TSOP内にDRAMまたはフラッシュメモリを積層したもの、(3) チップを薄くしてCSP内にフラッシュメモリとSRAM(Static RAM)を混載したものなどを開発し、高密度実装用途のサブシステムとして展開している。

3.6 システムパッケージ(フリップチップ/MCM技術)

いっそうの高密度実装化、高速回路への対応、開発期間の短縮などを目的として、MCMが見直されている。日立製作所がこれまで製品化している“COB(Chip on Board)-MCM”では、Siチップの横に接続領域が必要となるため、サイズはMCMの中では大きいものとなる。また、ワイヤボンディングを用いていることから、高速のバスを持った回路には向かない。そのため、サイズの

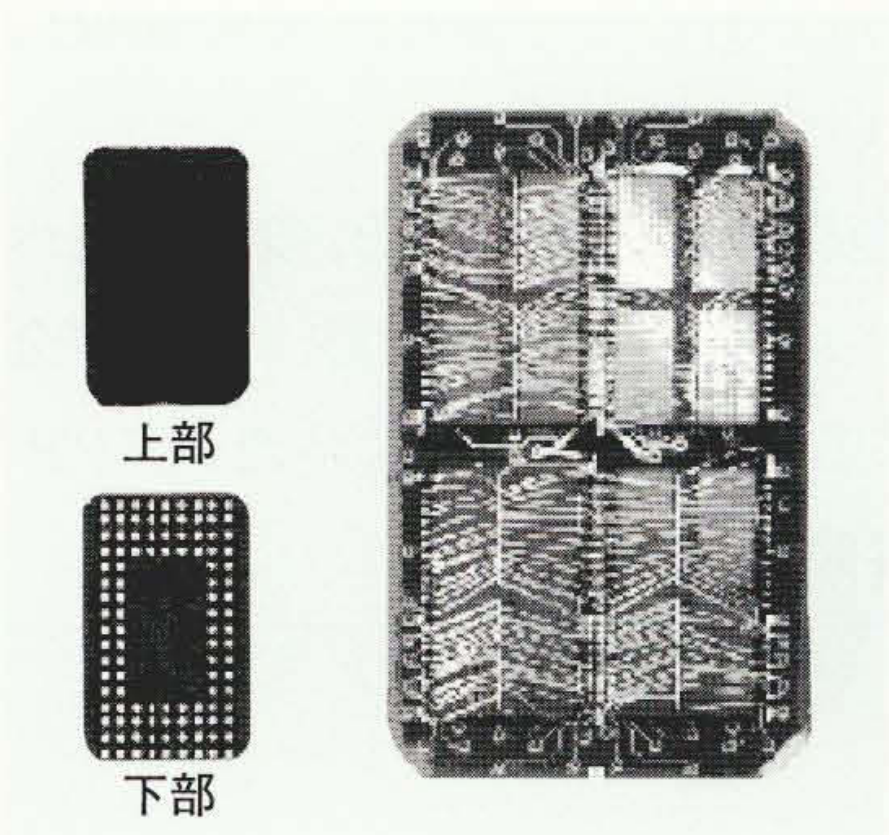
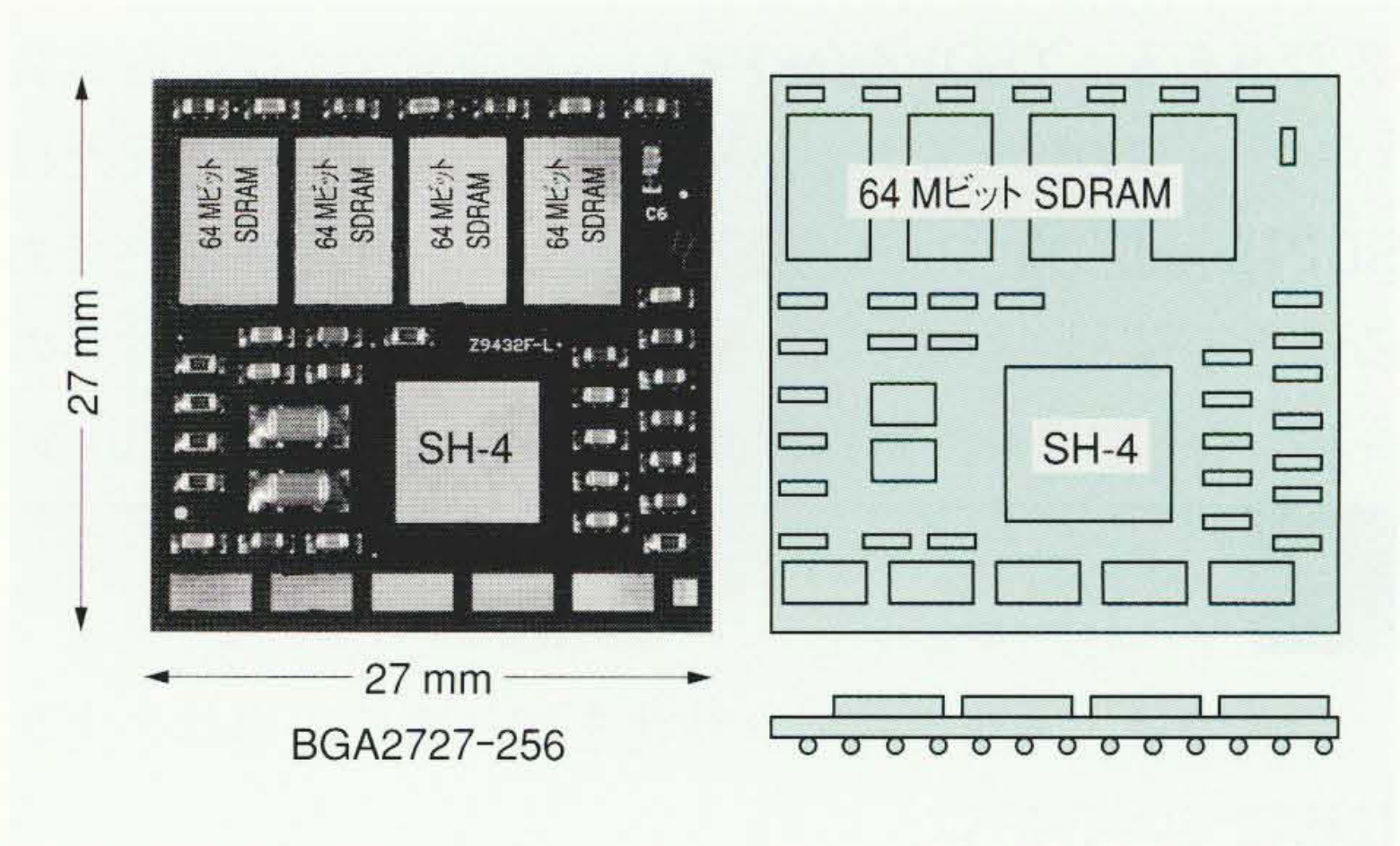


図4 多ビットメモリを搭載したMCPの例
多層基板を用いることで配線の引き回しの自由度を確保し、複数のチップで高速、多ビットを実現した。

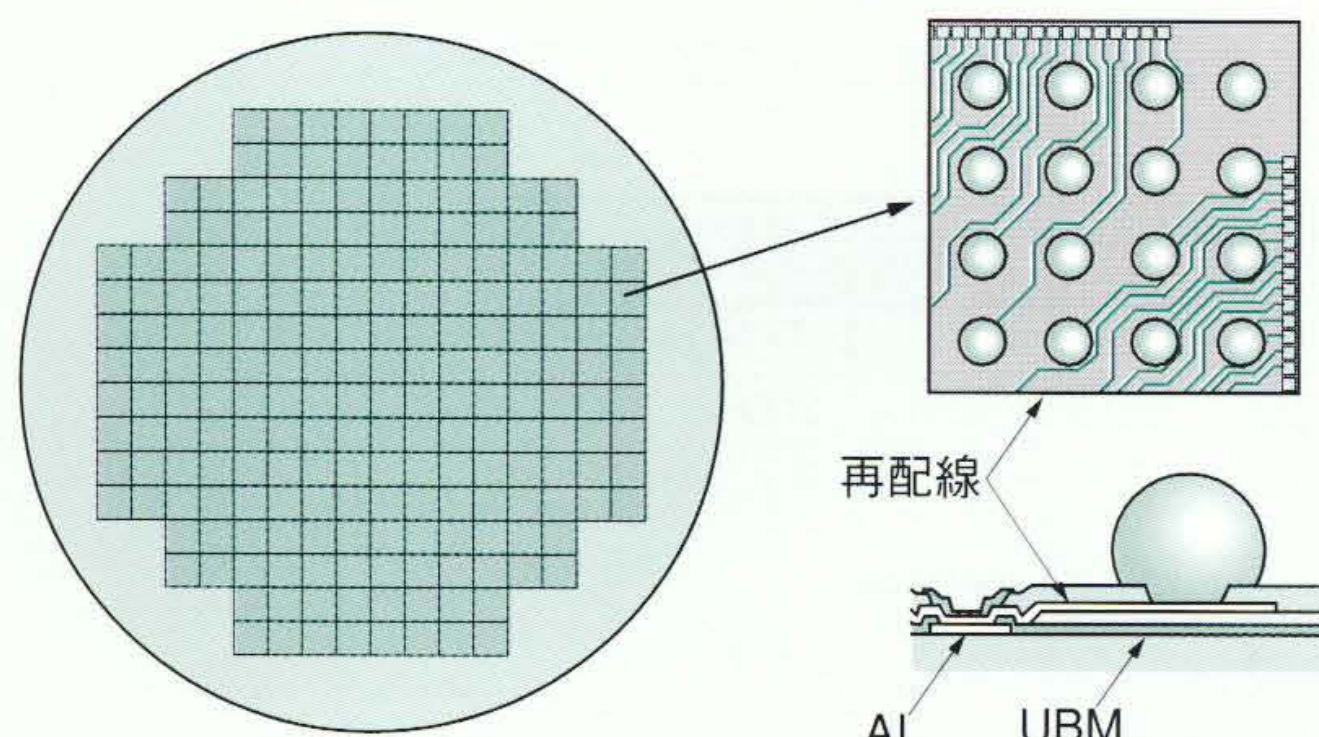
いっそうの縮小と高速化対応の技術として、チップのボンディングパッドにAuバンプを形成し、ACF(Anisotropic Conductive Film)を用いて実装する“ACF-MCM”を開発した。SH-4マイコンとDRAM4個を搭載したバス幅32ビット、100 MHz動作の製品例を図5に示す。チッ



注：略語説明 SDRAM(Synchronous DRAM)

図5 SH-4マイコンを搭載したMCMの例

ACFと基板材料の最適な組合せにより、小型で信頼性に優れたMCMを実現した。



注：略語説明 UBM (Under Bump Metal)

図6 WPP (Wafer Process Package) 技術の概要

Cu配線技術にはんだバンプ技術を組み合わせ、エリアアレーバンプとすることにより、小チップ、多ピンのフリップを実現した。

プのパッドピッチが80 μm であることから、実装基板にはビルドアップ基板を用いている。

また、いっそうの高機能化に対応するため、多ピン化への要求はますます高くなっている。そのため、チップ全面から接続端子を取れるWPP技術を用いた“WPP-MCM”を開発した(図6参照)。

4 環境対応技術

環境への負荷低減を目的に、実装に使うはんだ材料の見直しが行われている。鉛フリー技術の確立では、(1)鉛の代替材の開発と、(2)パッケージの耐熱性向上が課題となる。

日立製作所は、業界と協力しながらはんだ材の選定を行っている。パッケージのリード表面処理に使うはんだ材にはSn-Bi系あるいはPdを、また、BGAとCSPのボールにはSn-Ag系をそれぞれ採用した。一方、実装用のはんだはSn-Ag系の材料が多く、融点が共晶はんだに比べて約20～30℃高いので、パッケージの耐熱性を向上する必要がある。TSOPやQFPといった従来タイプの面実装パッケージのほとんどがLOC (Lead on Chip) 構造またはSDP (Small Die Pad) 構造を採用しており、高耐熱であることが確認されている。CSPについては、一部材料の見直しなどにより、耐熱性向上の見通しが得られている。

5 おわりに

ここでは、ネットワーク時代を切り開く半導体の実装技術について述べた。

実装機器の多様化と高速回路の必要性が高まる中で、実装技術も大きく変わろうとしている。今後は、携帯電話を中心とするさまざまなモバイル機器に使われるCSP

のラインアップ強化、今後重要になると思われるフリップチップ実装など実装機器に合わせたパッケージ技術の開発、および実装基板を含む高速回路のシミュレーション技術と設計技術の開発に取り組んでいく考えである。

参考文献

- 1) I. Anjoh, et al.: Advanced IC Packaging for the Future Applications, IEEE Transaction on Electron Devices 45, No.3(1998.3)
- 2) R. Haruta, et al.: Development of Fan Out CSP with Superior Mounting Reliability, Proceeding from the 7th Microelectronics Symposium(1997), pp.169-172
- 3) H. Fukumoto, et al.: Inductance Calculation of Multiple Arbitrary Shaped Planes Using Finite Element Integral Equation Method, Proc. of IEEE(1995), pp.223-225

執筆者紹介



西 邦彦

1972年日立製作所入社、半導体グループ 生産総括本部 実装技術本部 実装設計部 所属
現在、半導体技術の開発に従事
エレクトロニクス実装学会会員
E-mail: nishi-kunihiko @ sic. hitachi. co. jp



岸本宗久

1972年日立製作所入社、半導体グループ 汎用半導体開発 設計本部 パッケージ技術開発部 所属
現在、半導体パッケージの開発、設計に従事
エレクトロニクス実装学会会員
E-mail: kishimoto-munehisa @ sic. hitachi. co. jp



小林邦雄

1968年日立製作所入社、半導体グループ 汎用半導体事業部 小諸開発設計センタ 所属
現在、マイクロモジュールの開発、設計に従事
E-mail: kobayashi-kunio @ sic. hitachi. co. jp



赤沢 隆

1973年日立製作所入社、半導体グループ DRAM事業部 MCM設計室 所属
現在、システムモジュール製品の開発に従事
E-mail: akazawa-takashi @ sic. hitachi. co. jp



佐藤俊彦

1980年日立製作所入社、半導体グループ 生産総括本部 実装技術本部 実装プロセス開発室 所属
現在、半導体実装技術の開発に従事
E-mail: sato-toshihiko @ sic. hitachi. co. jp