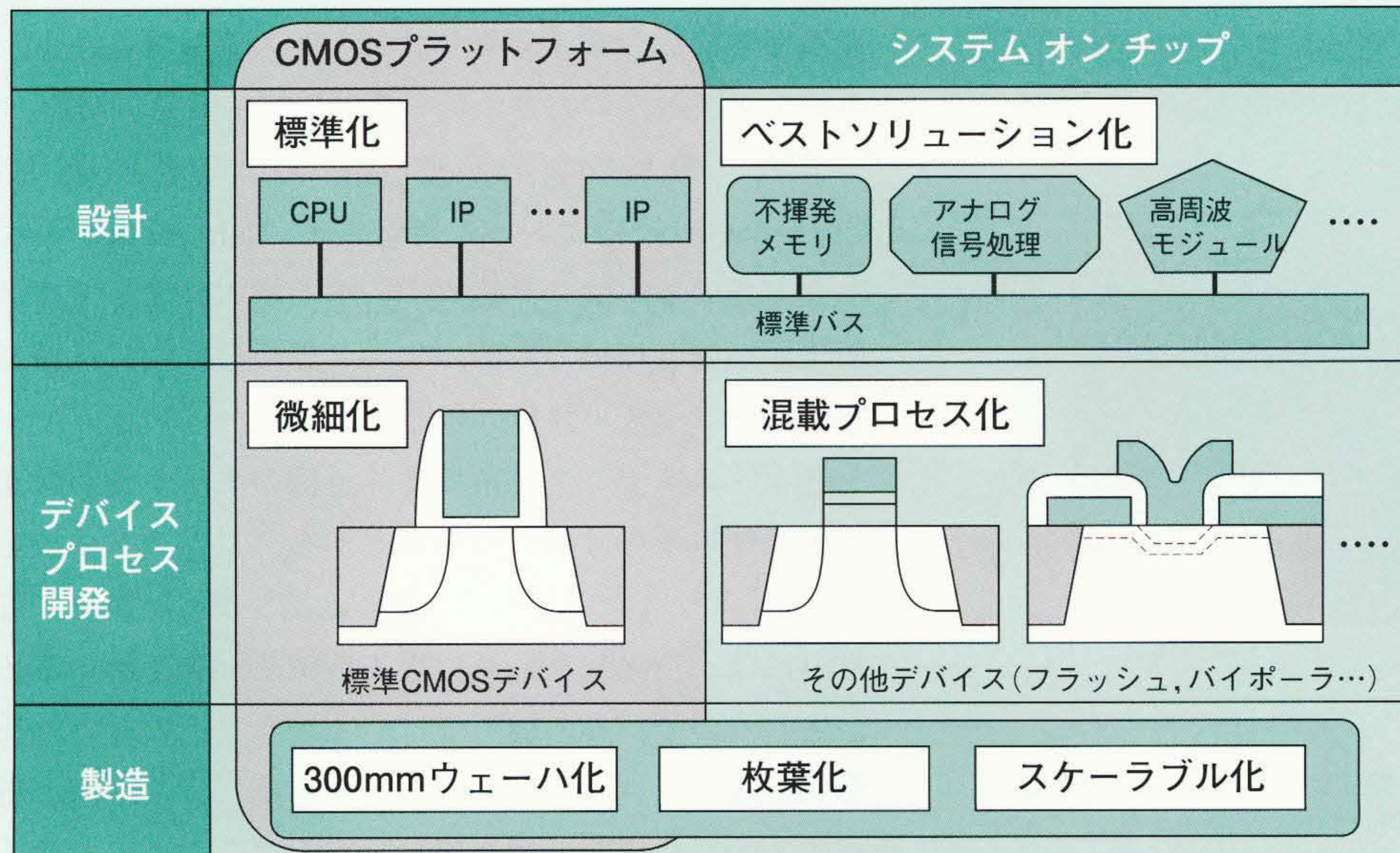


サブ100 nm時代の半導体プロセス・製造技術の展望

Semiconductor Process and Manufacturing Technologies for sub-100 nm Process Generation

徳永尚文 Takafumi Tokunaga
木村勝高 Katsutaka Kimura

中里 純 Jun Nakazato
金井史幸 Fumiyuki Kanai



注：略語説明ほか

CMOS (Complementary Metal-Oxide Semiconductor)

CPU (Central Processing Unit)

IP (Intellectual Property)

スケーラブル化；市況に合わせて拡張が可能

ベストソリューションを支える「システム オン チップ化」の要件

「システム オン チップ化」の時代では、設計とデバイスプロセス、および製造の緊密な連携により、ベストソリューションとなるシステムLSIを提供することが重要である。

日立グループは、CMOSデバイスの微細化と標準化を積極的に進め、これをプラットフォーム化している。これにより、設計資産であるIP (Intellectual Property) を流通させるとともに、CMOSデバイス以外のコアデバイスを用意し、豊富なIPを組み合わせて、顧客にベストソリューションとなる「システム オン チップ」を提供していく。

また、そのプロセス・製造技術には、ばらつき低減のための「APC (Advanced Process Control) 技術」を活用する。300 mm ウェーハの枚葉処理ラインを持つトレセンティテクノロジーズ社を中心に、多品種・少量生産にも対応し、市場と顧客の要求に迅速にこたえていく。

1 はじめに

半導体産業は、半導体デバイスを微細化することにより、製品の高性能化と低コスト化を推進してきた。その結果、LSIに集積できる論理回路数が増加し、動作周波数も向上した。設計者には、大規模で、複雑かつ高速なシステム開発を、短期間で行うことが求められており、そのためのIP (Intellectual Property) の流通が不可欠となっている。IPの流通を可能とするためには、設計ルールとライブラリの標準化が急務である。日立製作所は、STARC (Semiconductor Technology Academic Research Center) との連携により、CMOS (Complementary Metal-Oxide Semiconductor) のプラットフォームの微細化と標準化を進めている。

ここでは、標準化が進むCMOSデバイスの、微細化による性能向上のねらい、微細化を実現するための製造技

術の課題、および微細化に伴って製造技術のばらつきがデバイスの特性ばらつきを相対的に増大させる点に着目し、その対策として期待されるAPC (Advanced Process Control) 技術について述べる。

2 CMOSデバイスの微細化

2.1 微細化による高性能化

CMOSデバイスは、ソースとドレイン間の電流をオン・オフさせるスイッチである。このスイッチの基本性能は、オン時にいかに大きな駆動電流を流せるかと、オフ時にいかにリーク電流を低減できるかで決まる。オン時に大きな駆動電流を得るには、ゲート長の縮小と、ゲート絶縁膜の薄膜化が有効である〔図1 (a) 参照〕。それぞれ、チャネルでのキャリアの走行距離の短縮と、キャリア数の増加に起因して駆動電流を増やす。

また、チャネルでのキャリアの移動度がチャネルに加

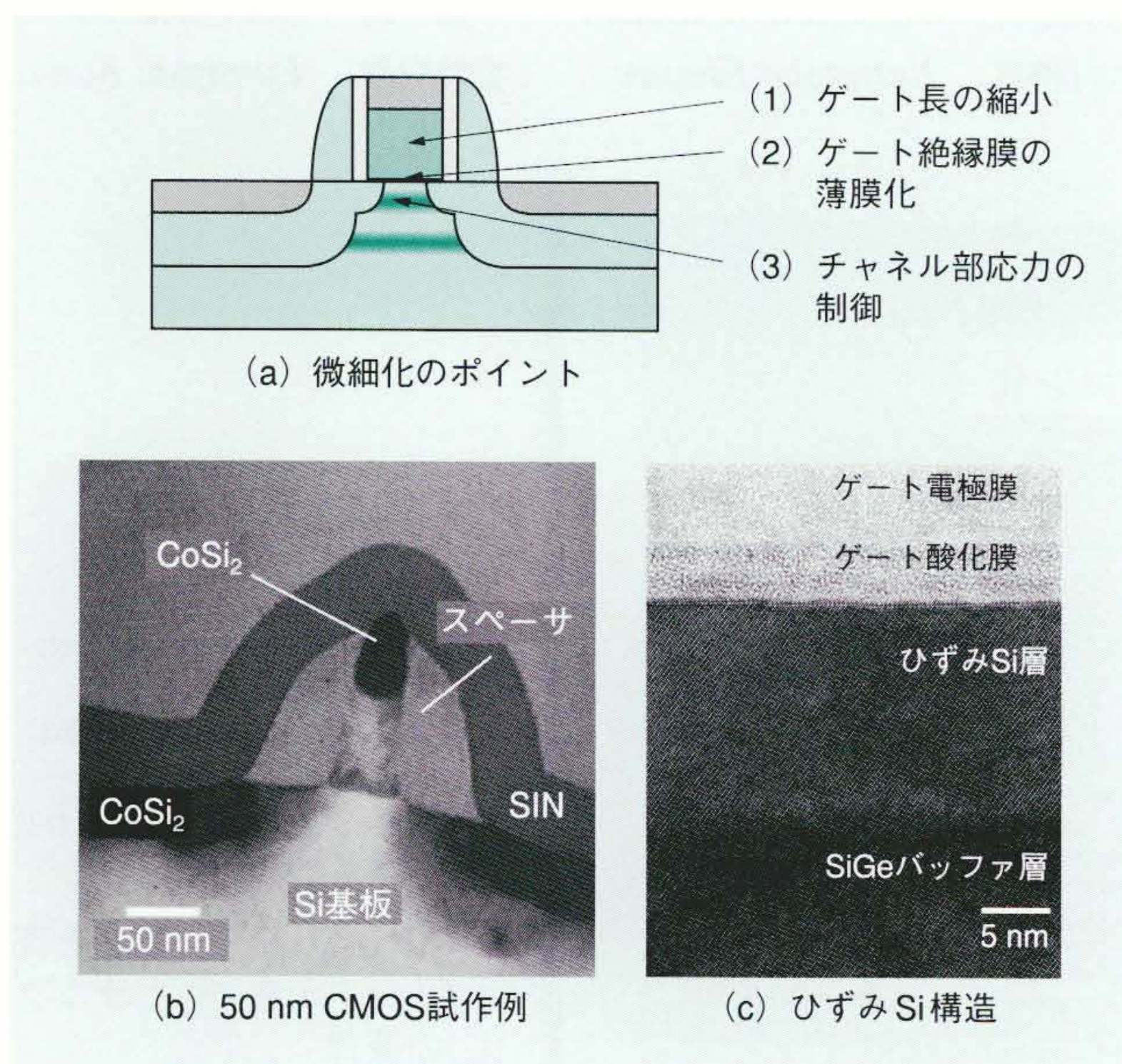


図1 CMOSデバイスの微細化

CMOSデバイスの基本性能は、オン時にいかに大きな駆動電流を流せるかということと、オフ時にいかにリーク電流を低減できるかで決まる。

わる応力に影響されることがわかっている¹⁾。この課題については、デバイスを覆う絶縁膜の応力を制御する方法と、基板のSiをSiGe結晶上に成長させてSiにひずみ応力を与える方法により、移動度を向上させる検討が進められている。

日立製作所は、すでに、ゲート長50 nmのCMOS²⁾と、ひずみSiを用いたCMOS³⁾の試作に成功している〔図1 (b), (c) 参照〕。

2.2 微細化のための要素技術

2.2.1 CMOSデバイスに対するITRS (2001年度版)

半導体技術や製造技術の開発を高効率化する目的で、国際標準的なロードマップITRS (International Technology Roadmap for Semiconductors) が示されている。2001年度のITRSのCMOS微細化に関する部分の抜粋を表1に示す。これによると、130 nmから90 nmノードへ向けたゲート寸法の低減と、ゲート絶縁膜の薄膜化が必須とされている。90 nmノードの量産は2004年に始まると考えられており、これに向けて、50 nm以下のゲート寸法で、1.0 nm以下のゲート絶縁膜厚の製品を実現する製造技術の確立が目標となっている。

2.2.2 微細加工技術

微細加工の中心となるのは、リソグラフィー技術とドライエッチング技術である。リソグラフィー技術は、露光機の光源の短波長化と、レンズの高NA (開口数) 化によって解像度を向上させるものである。90 nmノードで

はArF (波長193 nm) 光源を用い、NA0.75以上のレンズを採用する。ArF用のレジスト材料の開発も進んでおり、90 nmのレジストパターンを安定して解像できるようになってきた。今後の課題は、NA0.8のレンズと、ドライエッチング耐性の大きいレジスト材料の開発である。

また、位相シフト法やOPC (Optical Proximity Correction) 技術といった解像性能の向上技術が不可欠となっている。マスク描画データの増大によってマスク価格が高騰しているため、マスク価格を大幅に低減できる製造プロセス・装置への期待も高い。

ドライエッチング技術では、目標のゲート長が露光機の解像度以下の寸法になることから、レジスト寸法を縮小する「スリミング加工」技術も必要となる。ゲート電極材料には、空乏化を低減できる多結晶SiGeを用いる必要が生じるので、この加工では、寸法シフトのない、長方形の断面形状を実現する必要がある。また、CMOSデバイスの高精度な不純物濃度分布を得るために、サイドウォールスペーサの加工精度が重要になっている。

2.2.3 ゲート絶縁膜技術

90 nmノードのCMOSデバイスでは、表1に示すように、ゲート絶縁膜の膜厚が1.0 nm以下まで薄膜化される見通しのため、オフ時のリーク電流成分のうち、特にゲート絶縁膜を通して流れるトンネル電流が問題となる。このトンネル電流を低減させるため、Si酸化膜に代わって高誘電率膜を用いる検討を進めている。しかし、高誘電率膜・Si界面の良好な電気的特性を確保することが難しいことから、本格的な採用には至っていない。そのため、従来行われてきたSi酸化膜の窒化技術の中で、窒素濃度分布の制御性を向上できるガス窒化、あるいはプラズマ

表1 CMOSデバイスに対するITRS (2001年度版)

90 nm時代は2004年から始まると予想されている。

西 暦 年	2001	2002	2003	2004
技術ノード (DRAM $\frac{1}{2}$ ピッチ) (nm)	130	115	100	90
MPUゲート寸法 (nm)	65	53	45	37
MPUゲート寸法精度 (3 σ) (nm)	6.31	5.30	4.46	3.75
MPU/ASICゲート絶縁膜厚 (EOT) (nm)	1.3~1.6	1.2~1.5	1.1~1.6	0.9~1.4
最下層配線 ピッチ (nm)	350	295	245	210
中間層配線 ピッチ (nm)	450	380	320	265
層間絶縁膜 誘電率 (k)	3.0~3.7	3.0~3.7	2.9~3.5	2.5~3.0

注：略語説明 EOT (Equivalent Oxide Thickness)

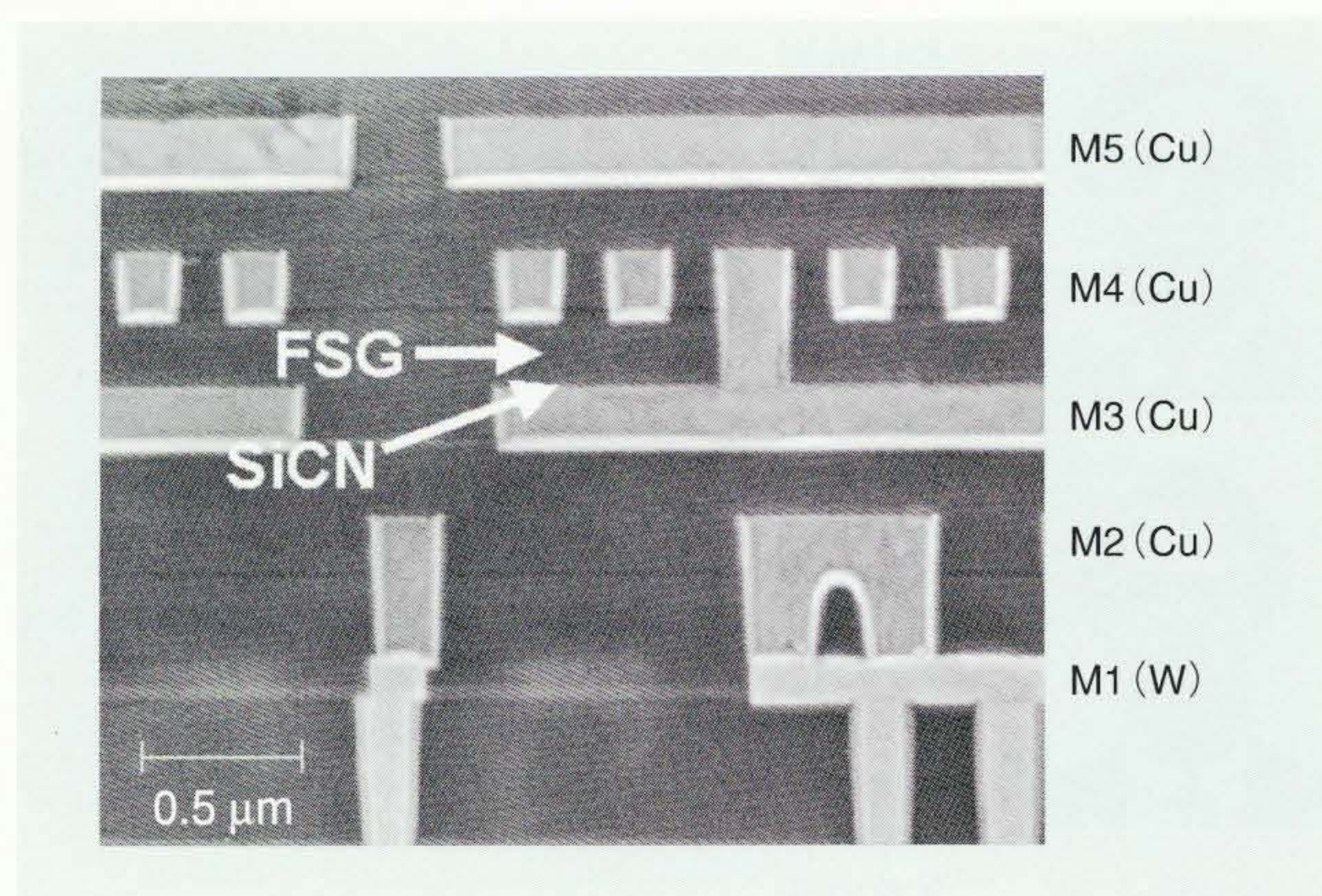
窒化技術を採用することにより、リーク電流低減とSi酸化膜・Si界面の電気的特性の両立を図っている。

2.2.4 Cu配線技術

CMOSデバイスで発生した高速パルスで、多層配線で、遅延時間や波形ひずみを少なくして伝搬させるためには、配線抵抗と層間膜容量の低減が不可欠である。日立製作所は、130 nmノードのCMOSに360 nmピッチのCu配線を、層間膜にはフッ素ドーパシ酸化膜を、Cuバリア膜にはSiCN膜をそれぞれ用いることにより、実効的誘電率を低減させている(図2参照)⁴⁾。

ITRSによれば、Cu配線ピッチが300 nm以下まで微細化される見通しのため、デュアルダマシン法によるCu埋込工程で被覆性が劣化し、ボイドの発生や、抵抗率の上昇が起きやすい。このため、従来のスパッタ技術とめっき技術の組合せを、CVD(Chemical Vapor Deposition：気相反応)技術とめっき技術の組合せに変更する必要がある。

層間絶縁膜材料の誘電率は、Si酸化膜の約4.2からフッ素ドーパシ酸化膜の約3.7まで、また、Cuの拡散防止に用いられるバリア膜の誘電率は、Si窒化膜の約7.0からSiCN膜の約5.0まで低減されてきた。今後は、3以下の層間絶縁膜と4.5以下のバリア膜を目標としてCVD膜や塗布膜の採用が進むものと考えられる。層間膜に要求されるのは、誘電率のほか、(1) 脱ガスでCuの埋め込みを阻害しないこと、(2) Cuに対する粘着性・バリア性が高く、TDDDB(Time Dependent Dielectric Breakdown)寿命が長いこと、(3) CMP(Chemical-Mechanical Polishing)に耐える機械的強度を持っていることなどである。現状で



注：略語説明 FSG(Fluorinated Silicate Glass)

図2 0.36 μmピッチCu配線の断面

130 nmノードのCMOSに0.36 μmピッチCu配線を適用した例を示す。層間膜にはフッ素ドーパシ酸化膜(FSG)を、Cuバリア膜にはSiCN膜をそれぞれ用いることによって誘電率を低減した。

は、CVD膜、塗布膜のそれぞれに一長一短があるため、これらの組合せが重要と考えられる。

3 プロセスばらつきの低減

3.1 回路・デバイスのロバスト設計

回路・デバイス設計段階では、回路シミュレーションやデバイスモデルに各要素プロセスの製造ばらつきを取り込み、性能予測を行ったうえで、回路・デバイスの早期改善・ロバスト(堅ろう)化を図る(図3参照)。

この考えに従い、各要素プロセスのばらつきに対する駆動電流としきい値電圧のばらつきの感度を計算した例を図4に示す。この例では、ゲート長とゲート絶縁膜厚のほか、ゲート電極のテーパ角度、各種イオン打込みのドーズ量やエネルギー、さらに各種熱処理の温度などを、実際に製造工程で発生しているばらつき量を用いて計算した。この結果からわかるように、ゲート長、ゲート絶縁膜厚、およびゲート電極のテーパ角度のばらつきに対しては、駆動電流、およびしきい値電圧は大きくばらつくが、その他のプロセスばらつきに対しては比較的感度が小さい。ゲート電極のテーパ角度のばらつきに対して感度が高いのは、ゲート電極をマスクとして、イオン打込みを、高精度な角度制御で行うためである。

これら感度の高いパラメータのばらつきに対し、回路・デバイスを設計するうえでいかにロバスト化するか、また、これらの製造ばらつきをいかに低減するかが重要となる。ばらつきの低減についても、ITRSにその目標値が掲げられているが、現状での製造ばらつきとの差が大きいため、製造技術の一段の高精度化が望まれている。

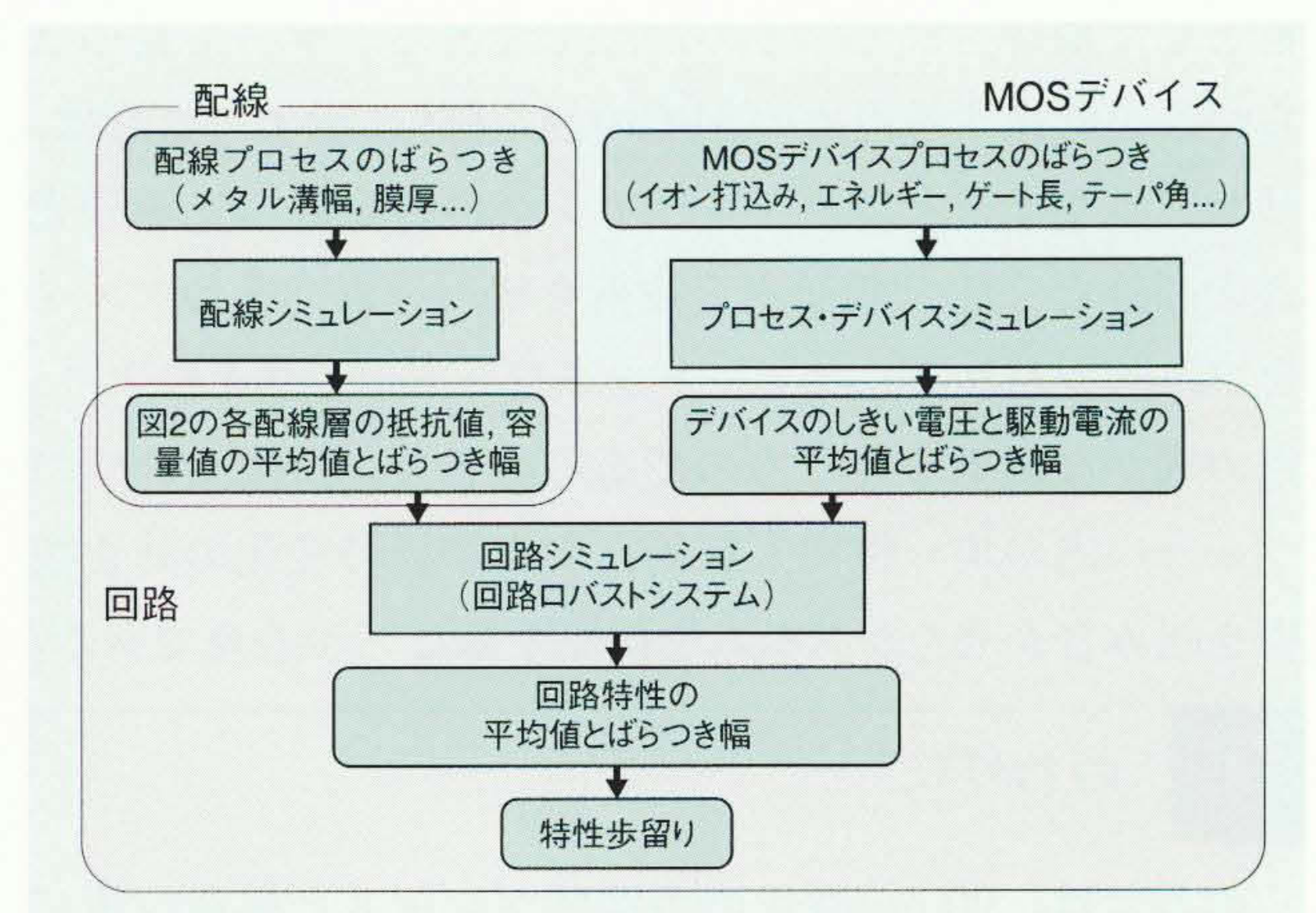
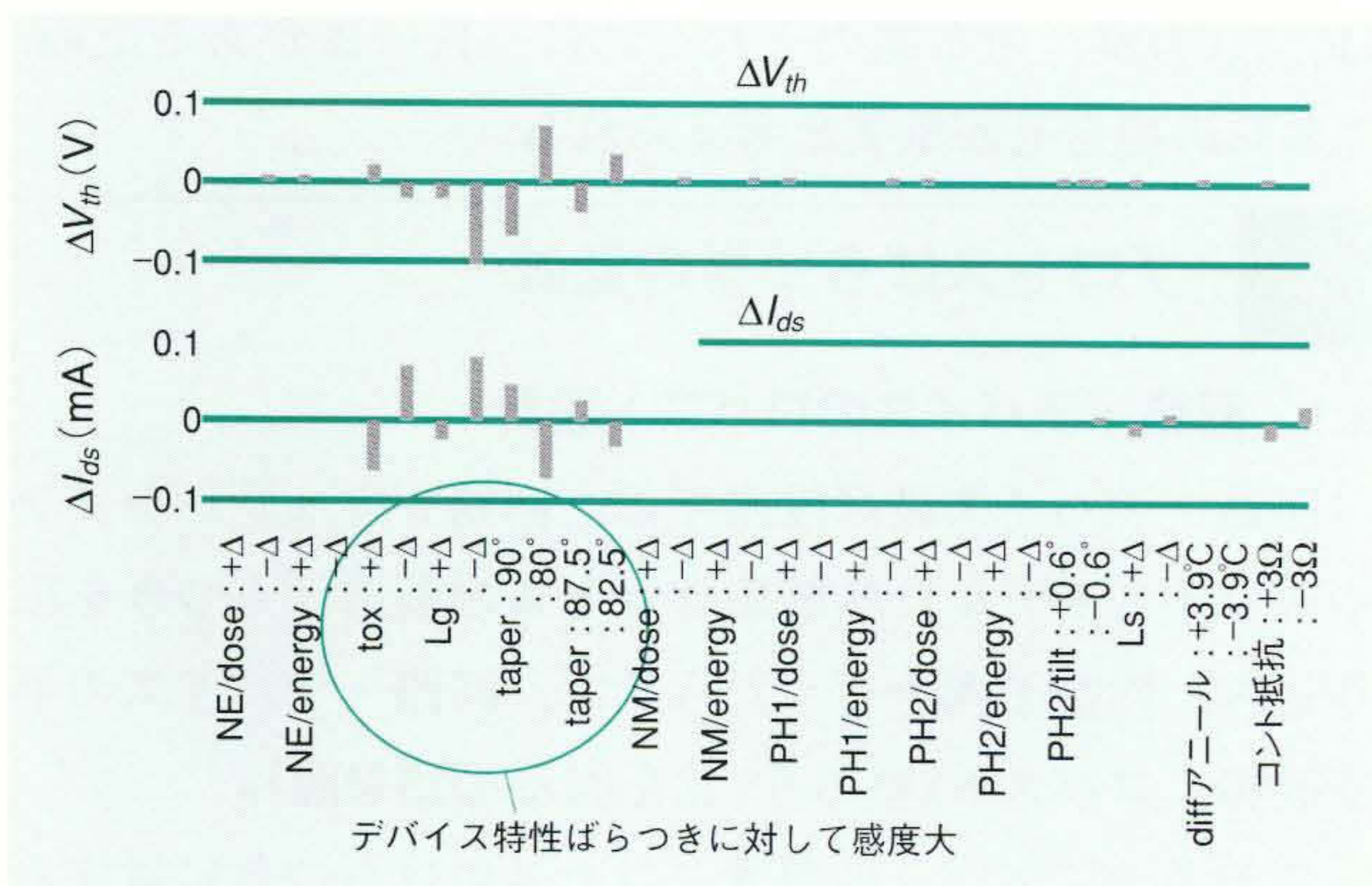


図3 開発段階における回路・デバイスのロバスト化の考え方

回路シミュレーションやデバイスモデルに各要素プロセスの製造ばらつきを取り込み、回路・デバイスの早期改善とロバスト化を図る。



注：略語説明 ΔI_{ds} (駆動電流 (I_{ds}) のばらつき)
 ΔV_{th} [しきい値電圧のばらつき]

図4 駆動電流 (I_{ds}) と、しきい値 (V_{th}) ばらつきに対する感度

特性は、ゲート長、ゲート絶縁膜厚、およびゲート電極のテーパー角度のばらつきに対して感度が高い。

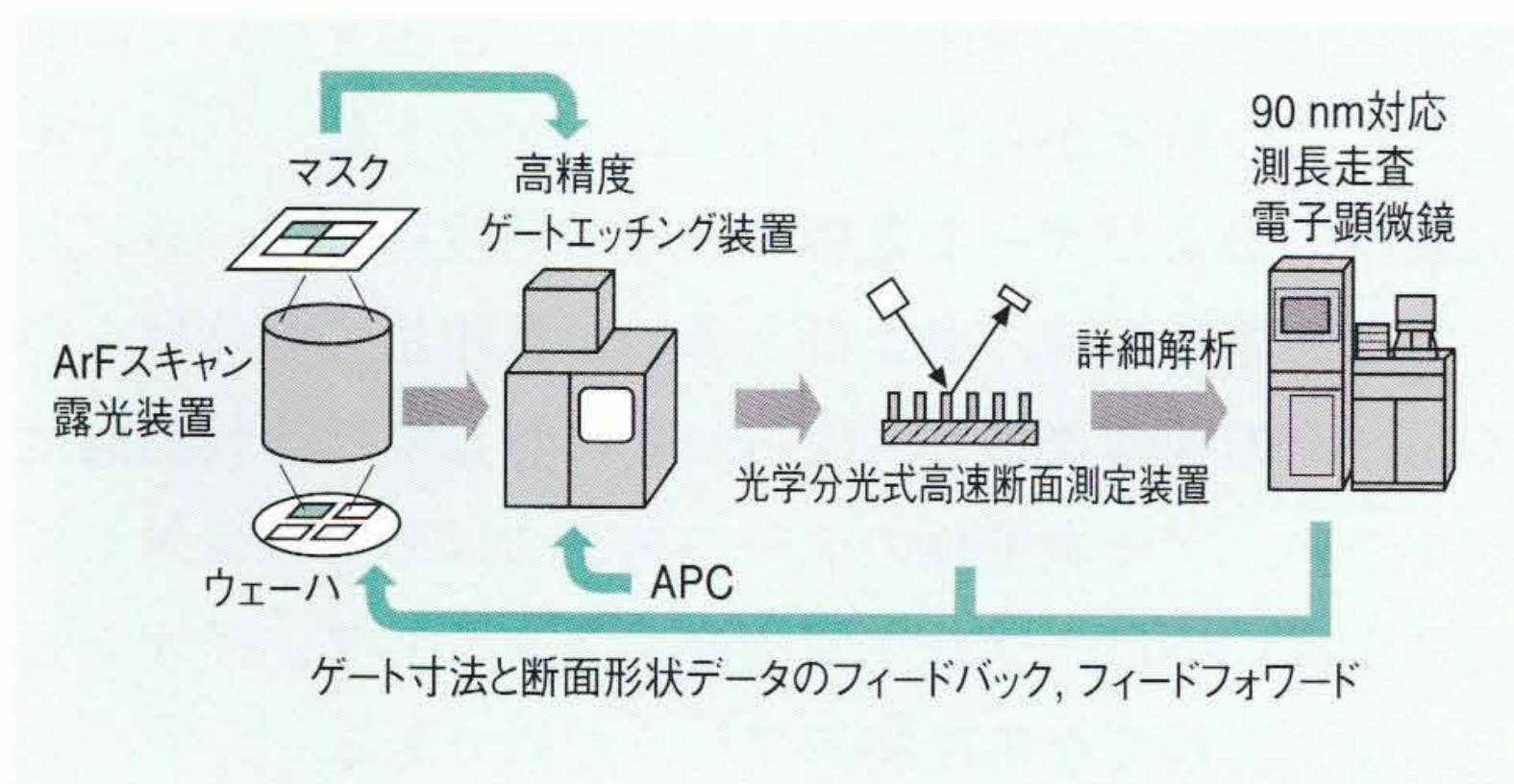


図5 ゲート長とゲート形状ばらつき低減のためのAPC

光学分光式の高速な寸法・断面測定技術を利用したリソグラフィーとドライエッチングの各装置に組み込み、そのデータをフィードバック、フィードフォワードすることにより、きめ細かな制御を行う。

3.2 ばらつき低減のためのAPC技術

製造技術の分野では、ばらつきを飛躍的に低減する技術として期待されているのがAPCである。ゲート長のばらつきを低減するためのAPCの例を図5に示す。これは、リソグラフィーとドライエッチングの各装置に光学分光式の高速な寸法・断面測定技術を組み込み、そのデータをフィードバック、フィードフォワードすることにより、きめ細かな制御を行うものである。各要素プロセスでのウェーハ内の均一性向上技術、および経時変化の防止技術を組み合わせたシステムを構築することが急務である。

4 おわりに

ここでは、90 nm時代の半導体プロセスと製造技術について述べた。

CMOSプラットフォームの標準化が実現すると、いかに歩留りが高く、短TAT (Turnaround Time) で製造で

きる生産技術を持っているかがCSのうえで重要となる。

日立グループは、半導体の製造と検査にかかわるすべてのプロセス・装置を、APCなどのIT (情報技術) で有機的に結ぶことによって製造ばらつきを低減させることに努めている。300 mmウェーハの枚葉処理ラインを持つトレセンティテクノロジーズ社⁵⁾を中心に、多品種・少量生産にも対応し、市場と顧客の要求に迅速にこたえていく。

参考文献

- 1) F.Ootsuka, et al.: A Highly Dense, High-Performance 130 nm Node CMOS Technology for Large Scale System-on-a-Chip Applications, IEDM Tech. Dig., p.575 (2000)
- 2) K.Ohnishi, et al.: A 50-nm CMOS Technology for High-Speed, Low-Power, and RF Applications in 100-nm Node SoC, IEDM Tech. Dig., p.227 (2001)
- 3) N.Sugii, et al.: Enhanced Performance of Strained-Si MOSFETs on CMP SiGe Virtual Substrate, IEDM Tech. Dig., p.737 (2001)
- 4) H.Aoki, et al.: Robust 130 nm-Node Cu Dual Damascene Technology with Low-k Barrier, IEDM Tech. Dig., p.76 (2001)
- 5) 小池：世界最新半導体工場，日立評論，82，10，649～652 (2000.10)

執筆者紹介



徳永尚文

1980年日立製作所入社，デバイス開発センター 半導体技術開発本部 所属
 現在，半導体プロセスの技術開発に従事
 応用物理学会会員
 E-mail: t-tokuna @ ddc. hitachi. co. jp



木村勝高

1980年日立製作所入社，中央研究所 ULSI研究部 所属
 現在，CMOSプロセス・デバイス，半導体メモリの研究・開発に従事
 電子情報通信学会会員，応用物理学会会員，IEEE会員
 E-mail: kkimura @ srl. hitachi. co. jp



中里 純

1975年日立製作所入社，生産技術研究所 所属
 現在，半導体と薄膜製品の研究・開発に従事
 経営工学会会員，日本オペレーションズ・リサーチ学会会員
 E-mail: nakazato @ perl. hitachi. co. jp



金井史幸

1981年日立製作所入社，半導体グループ 量産プロセス技術本部 生産技術部 所属
 現在，半導体プロセス技術と生産技術の開発に従事
 E-mail: kanai-fumiyuki @ sic. hitachi. co. jp