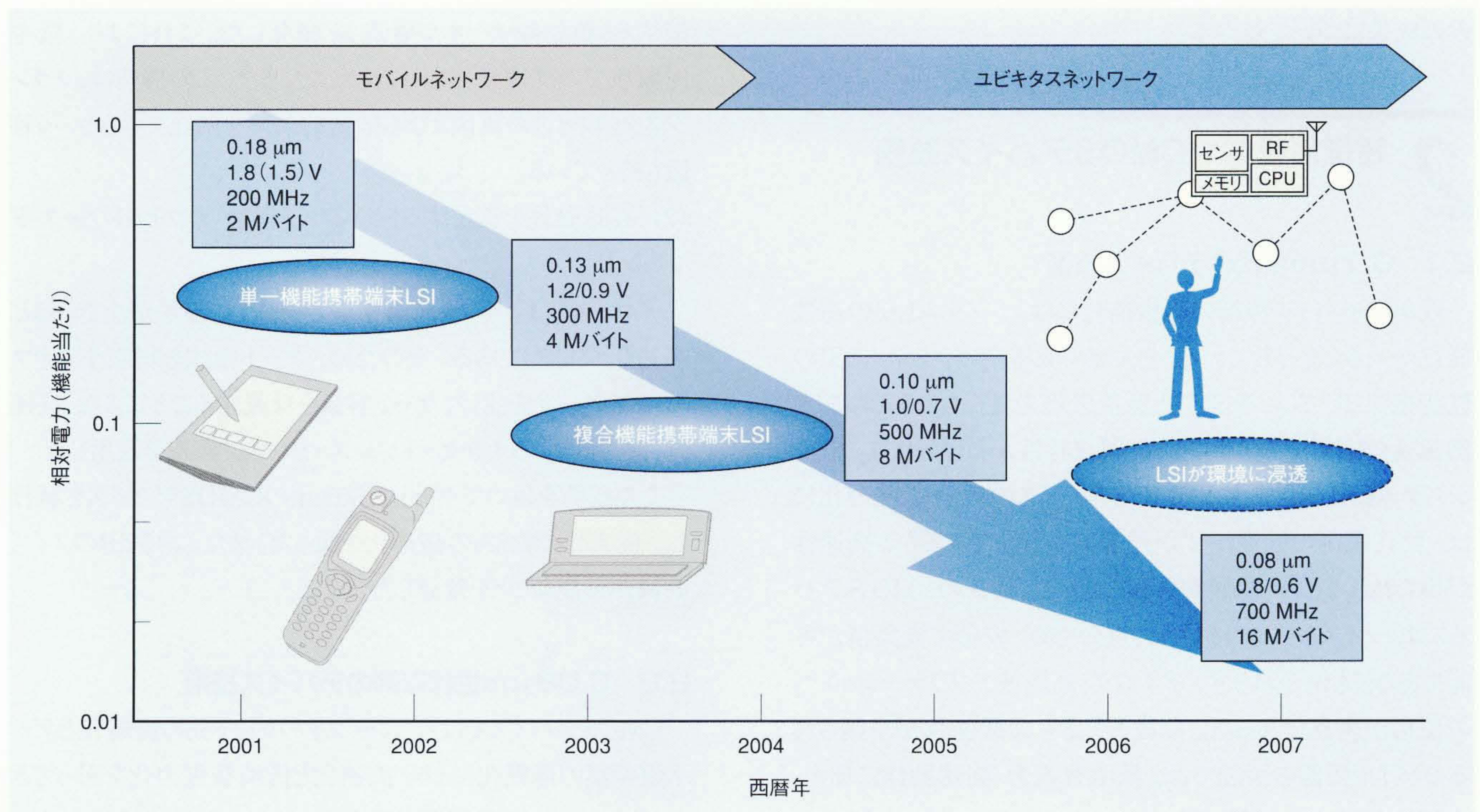


ユビキタス情報時代の超低消費電力LSI技術 デバイス・回路・RAM

Ultra-low Power Consumption LSI Technology in the Ubiquitous Information Era Devices, Circuits and RAMs

河原 尊之 Takayuki Kawahara 阪田 健 Takeshi Sakata
松岡 秀行 Hideyuki Matsuoka 安 義彦 Yoshihiko Yasu



注1：略語説明 RF (Radio Frequency), CPU (Central Processing Unit)

注2：四角枠内の数字は、上からそれぞれ、加工寸法、電源電圧、プロセッサ周波数、およびRAM (Random Access Memory) 容量を示す。

ユビキタス情報時代の超低消費電力LSI技術 — デバイス・回路・RAM —

日立製作所は、ユビキタスネットワークに必須の超低消費電力LSIの研究開発では、その基盤分野であるデバイス技術、回路技術、およびRAM技術に長年にわたって総括的に取り組んでいる。

現在の携帯端末に代表される、一人で1台のプロセッサを持ち歩くモバイル時代から、一人が複数台を所有、共有し、プロセッサが社会インフラストラクチャーとして浸透するユビキタス情報時代へと、社会は変化している。この流れの中では、環境に優しく、電力消費を増やさないために、低消費電力化技術がますます重要となる。特に、基盤技術であるCMOSデバイス、

回路、およびメモリのレベルでの低消費電力化についての継続的な、深い技術開発が必要である。

日立製作所は、このニーズにこたえていくために、次世代の0.1 μm、サブ1 V、低消費電力RAMの研究開発とともに、0.1 V CMOSや新概念のメモリなど、将来を見据えた研究開発に取り組んでいる。

1 はじめに

ここ数年の携帯電話の進展は目覚ましく、社会は正にモバイルネットワークの時代を迎えている。これをベースにした

メール、ウェブ閲覧、ナビゲーション、チケット購入、電子決済などのサービスの発展もとどまるところを知らない。これらに用いられるLSIには、必然的に、ますます高機能化、高性能化が望まれ、同時に、電池駆動でさらに長く動作することも求められる。しかし一般的に、性能を向上させようとする、電力

の消費が増えることとなる。高い性能を小さな電力で実現することは、技術的にきわめて挑戦的なテーマである。さらに、きたるべきユビキタス情報時代には、LSIが環境に溶け込み、LSIの存在が忘れられてしまうほどの性能と電力消費が要求される。低消費電力化の要求はいつそう高まり、超低消費電力技術がさまざまな応用の基本となる。

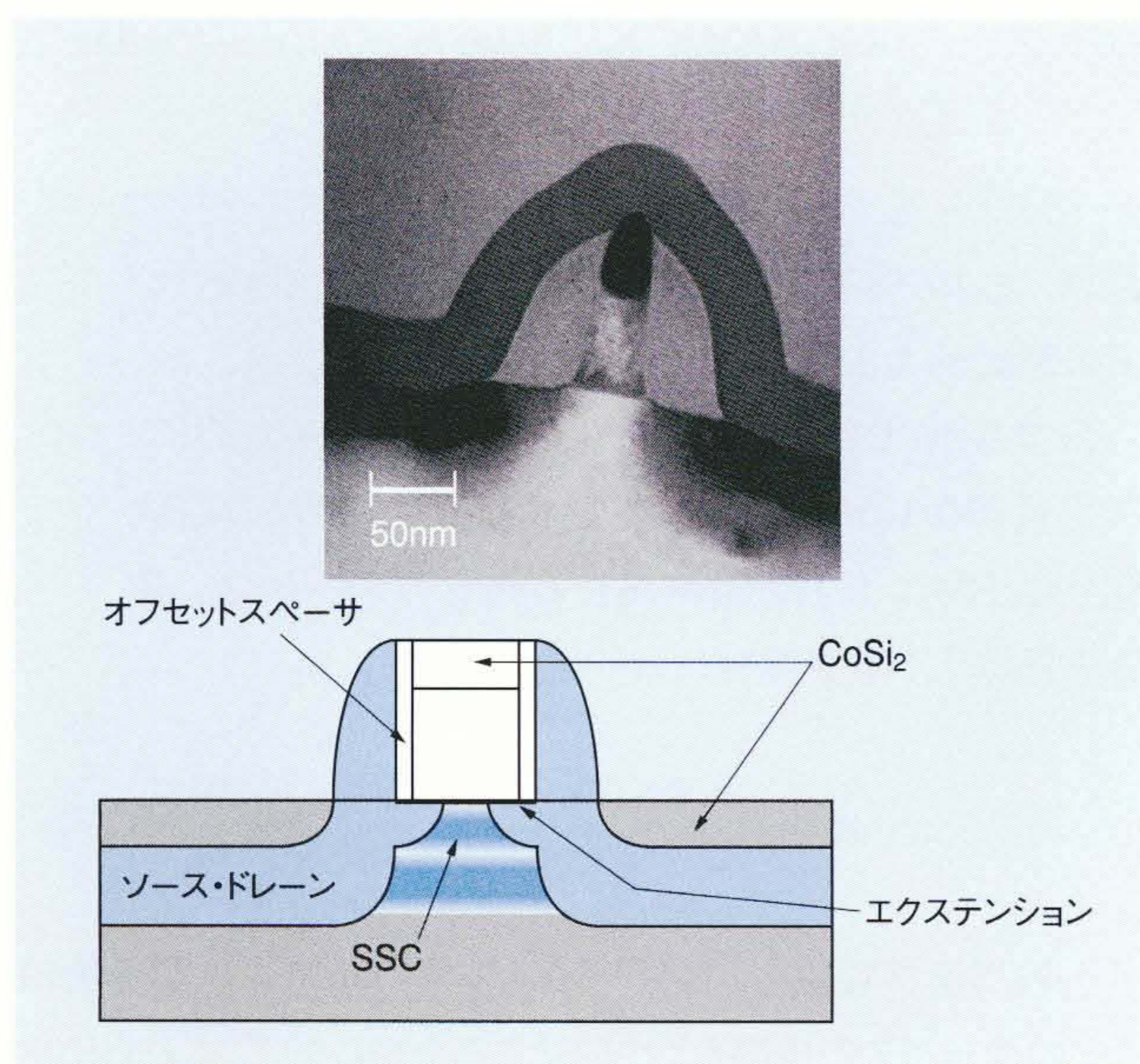
日立製作所は、このような社会の変化に注目し、長年にわたって低消費電力化LSI技術を総括的に開発してきた。

ここでは、その基盤分野であるCMOS(相補形MOS)デバイス、回路、およびメモリでの超低消費電力技術に関する最近の成果について述べる。

2 超低消費電力CMOSデバイス技術

2.1 0.1 μm 世代のデバイス技術

近年のモバイル機器の高機能化には、システムLSIの高性能化が大きく寄与している。モバイル機器向けシステムLSIの性能指標としては、高速性と低消費電力性はもちろんのこと、無線通信応用でのアナログ・高周波特性があげられる。また、システムLSIを構成するCMOSデバイスの低消費電力化には、動作電源の低電圧化が効果的な方法であるが、高速性が損なわれるという課題がある。加えて、従来のCMOSデバイスは、ノイズが大きいという欠点のため、安価で高集積が可能であるにもかかわらず、アナログ・高周波アプリケーションへの使用が困難であった。今後ますます高機能化が予測されるモバイル機器の用途では、低消費電力・高速動作に加え、高周波領域のノイズ特性に優れたCMOSデバイスの開発が



注：略語説明 SSC (Super Steep Channel)

図1 50 nm CMOSトランジスタの構造

超急峻(しゅん)チャネル(SSC)構造により、ゲート長50 nmのトランジスタを実現している。

必須の課題となっている。

このような背景から、日立製作所は、ユビキタス情報時代に向けた、低電圧・高速動作かつ低ノイズ特性に優れたゲート長50 nmのCMOSデバイス技術¹⁾を開発した。これは、0.1 μm 世代CMOSの基本技術である。この技術の特徴は以下のとおりである(図1参照)。

(1) 低消費電力動作と高周波特性を改善する「超急峻チャネル(SSC)構造」

低電圧での高速動作特性を阻害するチャネル領域(ソースとドレイン間の電流が流れる領域)の不純物濃度を大幅に低減する「超急峻チャネル構造」を開発した。これにより、低電圧領域での高速動作を可能にした。また、この構造は、トランジスタのノイズの原因となる電氣的欠陥を防止できるという特徴も持っている。

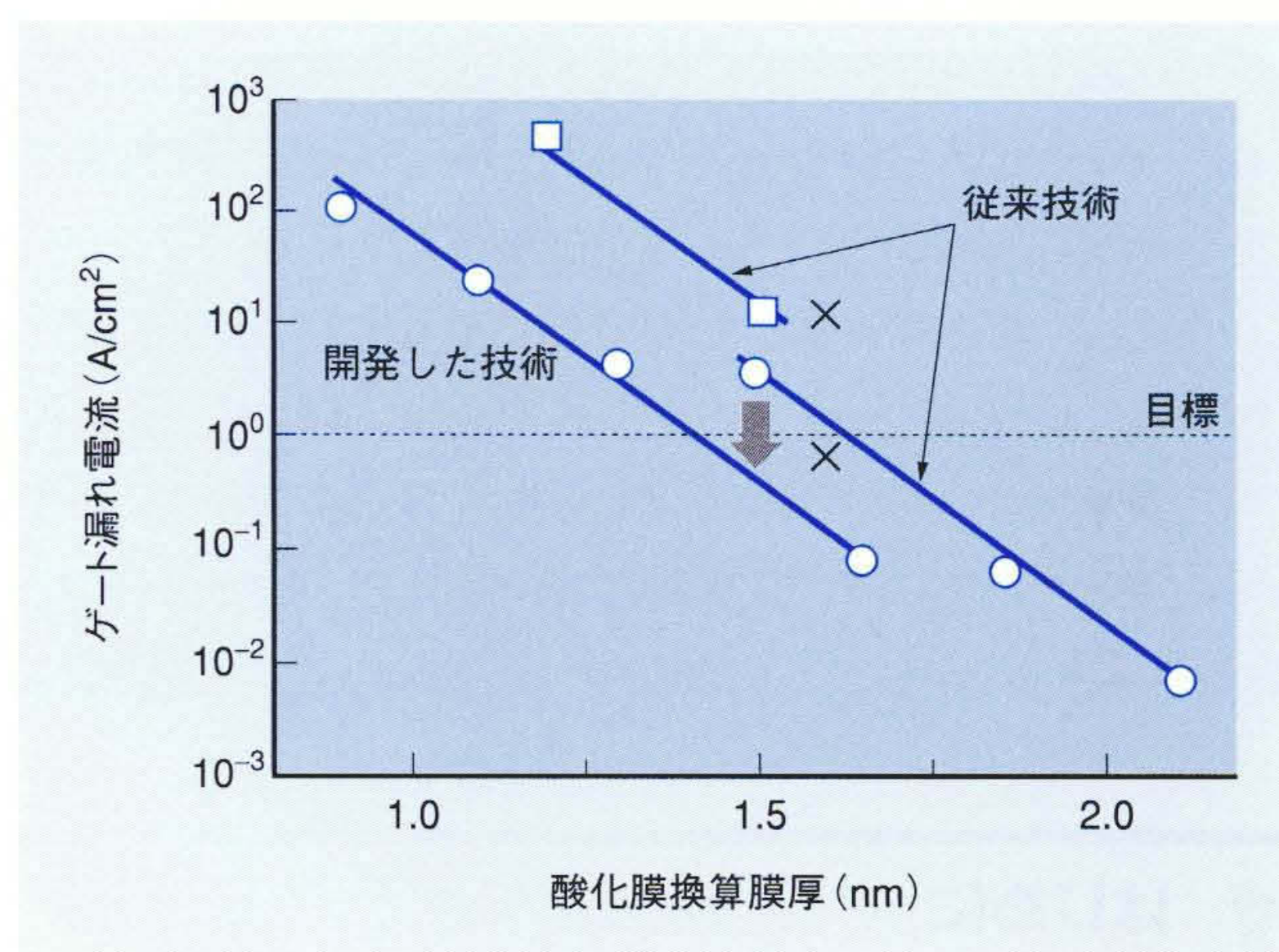
(2) 高速動作を実現するトランジスタ構造「オフセットソース・ドレイン」

デバイスのオンオフを制御するゲートでは、容量が小さいほど高速化が可能である。そのため、ゲート領域を制限するオフセットスペーサを設け、ゲート容量を低減することにより、高速動作を実現するオフセットソース・ドレイン構造を適用した。

この技術を用いてゲート長50 nmのCMOSデバイスを試作し、従来比で約8%の高速化を図った。また、約6 dBのノイズ低減が可能なことを確認した。

2.2 0.08 μm 世代以降のデバイス技術

CMOSデバイスでは、トランジスタのゲート長の微細化とゲート絶縁膜の薄膜化により、高速化と低消費電力化を図ってきた。しかし、ゲート絶縁膜の薄膜化はデバイスの高速化には寄与するものの、絶縁体としての機能が阻害されるので、ゲート漏れ電流による消費電力の増大を招く。0.08 μm 世代以降のCMOSデバイスでは、この問題がいつそう顕在化することから、



注：×(他社データ)

図2 低リークゲート絶縁膜の膜厚とゲート漏れ電流の関係

新たに開発した窒化膜系絶縁膜により、従来比でゲートリーク電流を一けた以上低減した。

高速性能とゲート漏れ電流の抑制を両立できる微細CMOSデバイスの開発が必須となっている。

このような背景から、日立製作所は、ゲート漏れ電流を抑制する窒化膜系ゲート絶縁膜を新たに開発した²⁾(図2参照)。この絶縁膜は、窒化膜に酸素を導入する独自の成膜手法による、極薄の窒化膜系のゲート絶縁膜である。従来の絶縁膜に比べて誘電率が高く、漏れ電流の抑制が可能となる。そのうえ、絶縁膜・シリコン基板界面を良好な状態で形成できるので、トランジスタの性能面でも高出力電流特性が得られるという特徴がある。

この技術を用いて試作したCMOSデバイスは、ゲート長が20 nmでゲート絶縁膜厚が1.4 nmである。動作性能を測定した結果、ゲート長20 nmのCMOSデバイスでは、2002年6月時点で世界最高速となる280 fsを達成した³⁾。また、ゲート漏れ電流を従来比で一けた以上低減することができた。さらに、トランジスタの出力電流が、nチャネルで約7%、pチャネルで約20%増大することを確認した。今回開発した窒化膜系ゲート絶縁膜ではさらに薄膜化が可能であり、デバイスのいっそうの高性能化が期待できる。今後は、ユビキタス情報時代に向けた高性能モバイル機器で必要となる高速・低消費電力CMOSの基本技術として、完成度を高めていく考えである。

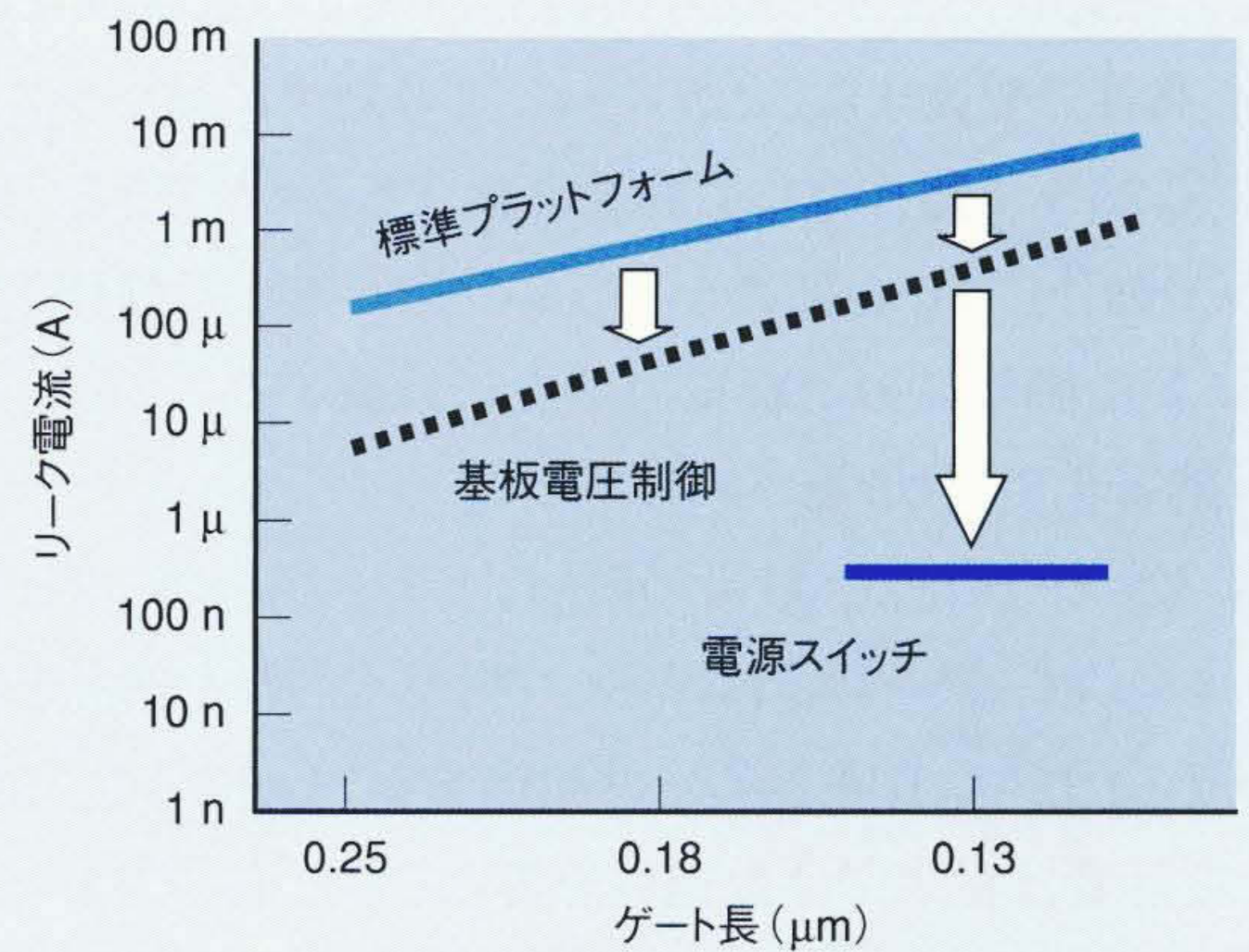
3 超低消費電力回路技術

システムLSIの動作電力を低減するためには、電源電圧の低下が効果的である。しかし、性能劣化を抑えるためには電源電圧に応じてしきい値電圧を下げなければならないことから、リーク電流の増大を招く。このため、回路でのリーク電流を低減する技術が重要となる。

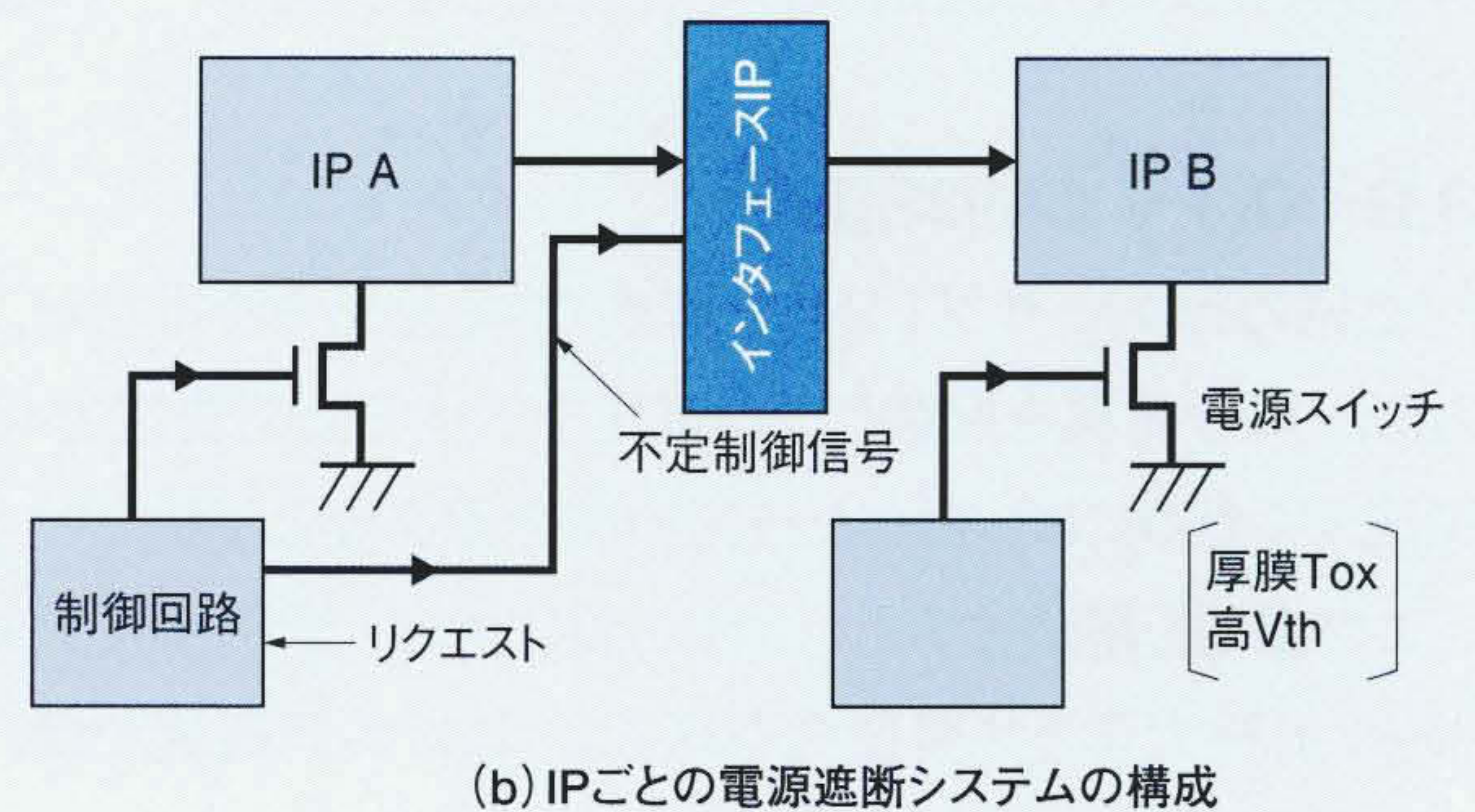
日立製作所は、基板電圧制御と電源スイッチMOS制御技術によってこの課題を解決し、サブ1 V(1 V以下)動作製品化のめどを立てている。さらに、基板・電源統括制御により、0.1 Vという理論限界に迫る方式も開発している。

3.1 サブ1 V回路技術

0.18 μm プロセスで基板電圧制御を導入し、サブスレッショルド電流を低減した。今回、サブ1 V動作を目指した0.13 μm 世代では、さらに増大するサブスレッショルドリーク電流に加え、ゲートリーク電流も無視できないことから、これらを回路で低減する電源遮断システムを開発した。これは、今後主流となるIP(Intellectual Property:電子回路の機能ブロック)ベースでの設計を視野に入れたものである(図3参照)。このIPとは、再利用が可能な回路ブロックのことである。電源遮断システムは、回路ブロック(IP)ごとに電源スイッチ(厚膜ゲート絶縁膜を用いたnチャネルMOSで構成)で電源遮断する。したがって、あらゆるLSIにおいて、ゲートリーク電流まで含めたリー



(a) リーク電流削減技術の効果



(b) IPごとの電源遮断システムの構成

注:略語説明

IP(再利用が可能な回路ブロック)、Tox(ゲート酸化膜厚)

Vth(しきい値電圧)

図3 電源遮断システムの効果と概略構成

電源スイッチMOSとインタフェースIPにより、低リーク電流化を達成した。

ク電流の低減を可能にした。さらに、各IPごとに最適な動作電圧を保証するため、複数の電源がLSIで使用され、チップ上にも異種電源が混載されることから、電源遮断制御に対応したレベル変換機能付きインタフェースが必須となる。このため、世界トップレベルの低電圧・広電圧差の信号変換が可能なレベル変換回路を開発した⁴⁾(図3参照)。また、このインタフェースは、設計期間を短縮するために、階層化構造という新概念を持ったインタフェースIPとして独立している。開発した技術は以下のとおりである。

(1) 非活性IP電源遮断制御機能

システムLSIの非動作時にIP電源遮断を実施することで、待機時消費電力を $\frac{1}{1,000}$ まで低減することができる。しかし、単純な電源遮断では、電源を遮断されたIPからの出力値が保証されないという問題が生じる。そのため、電源遮断中に送信先IPへ誤信号が伝わるのを防ぐ制御機能を設けた。この制御機能はインタフェースIPで実現し、制御は電源遮断の制御回路による。したがって、電源遮断をシステムLSIに簡単に導入することができる。

(2) 信号振幅電圧変換機能

動作電圧が異なるIPどうしを接続するために、入力側IPの信号振幅を出力側IPの信号振幅にレベル変換する機能を搭載した。多様な動作電圧の組合せに対応できるので、最大

で入力振幅0.75 Vから出力振幅3.7 Vまでの広範囲な電圧差も、高速で変換することができる。この効果により、システムLSIに0.75 Vで動作する回路を集積することができる。従来1.5 Vで動作していた回路を0.75 Vの超低電圧で動作させることにより、動作時の消費電力は $\frac{1}{4}$ に低減する。

(3) 階層化設計コンセプト

インタフェースIPに、設計の階層化(チップレベル、パッケージレベル、ボードレベル)に対応して階層化された部品を組み合わせるだけで、IPを容易に再利用することができる。このため、設計者は従来では数週間を要していたインタフェース回路の再設計から解放され、わずか数日(約 $\frac{1}{10}$ の工数)でIPを再利用したシステムLSIを組み上げることができる。

3.2 0.1 V CMOS技術

上述のとおり、サブ1 V化を達成できる見込みを得たが、さらに、リーク電流を抑制しつつ電圧を下げて低消費電力化を達成するためには、新たな技術の開発が必要となる。

この課題を解決するため、日立製作所は、米国マサチューセッツ工科大学と共同研究を行った。この共同研究では、これまで独自に研究してきた「基板バイアス制御技術」と、マサチューセッツ工科大学が同様に独自に進めてきた「電源電圧制御技術」の融合を目指した。この結果、電源・基板統合制御技術を用いることで、理論限界に迫る超低電圧動作、0.1 V動作を世界で初めて示すことができた⁵⁾(図4参照)。開発した技術は以下のとおりである。

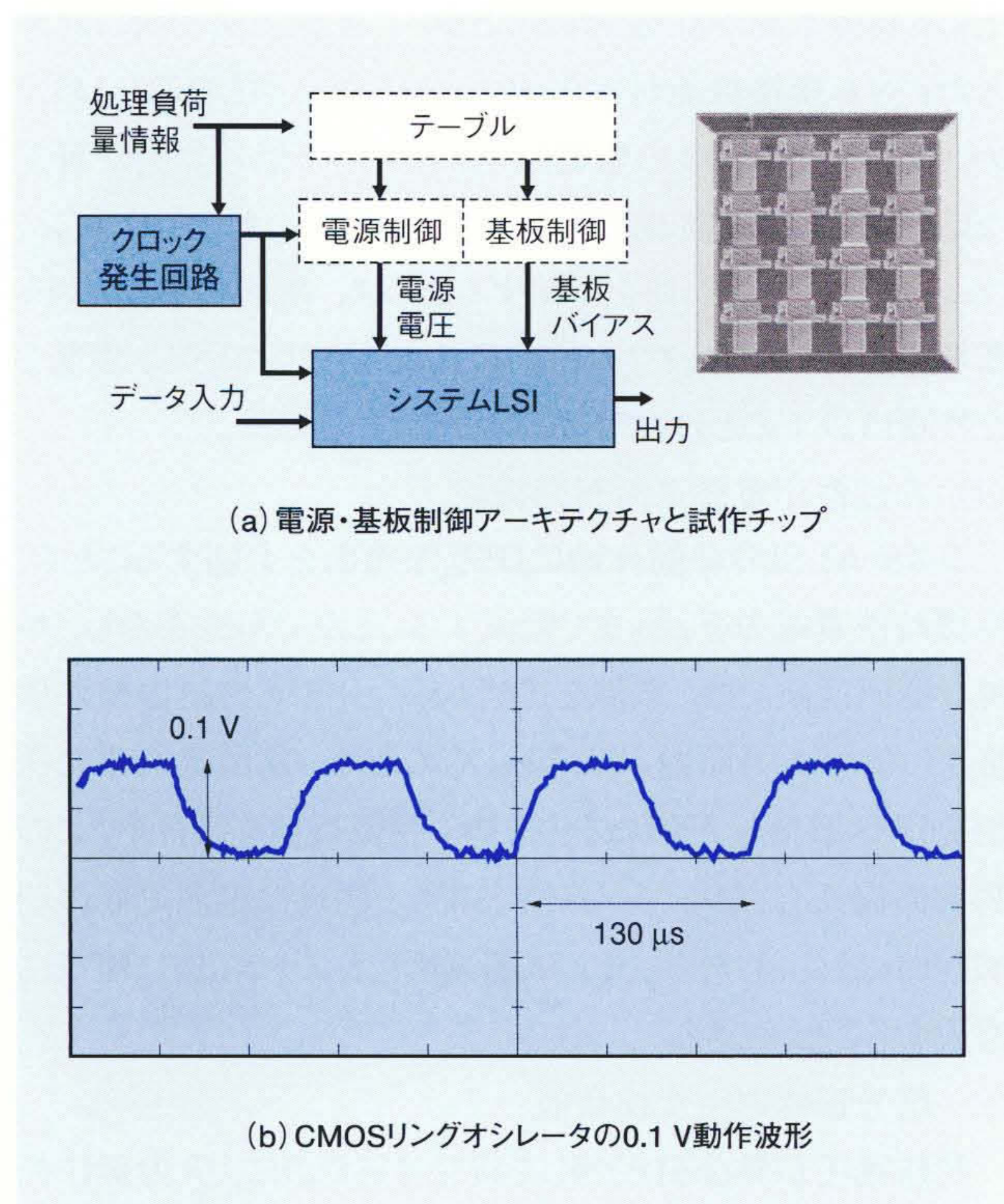


図4 電源・基板統合制御のアーキテクチャと動作波形
理論限界に迫る超低電圧動作である0.1 V動作を達成した。

(1) 順方向基板電圧制御

電源電圧制御と基板電圧制御を同時に行う場合、基板に印加する電流の方向を順方向にすることで、単独制御をしのぐ低消費電力動作を示す条件があることを見いだした。

(2) 電源・基板統合制御

(1)の知見を基に、集積回路の動作周波数に対して消費電力が最小値となる電源電圧と基板電圧の組合せを求め、電源電圧と基板バイアスを統合的に制御する超低消費電力技術を開発した。

これらの技術をゲート長0.13 μm のMOSデバイスを用いた16ビット積和演算器に適用し、効果を検証した。その結果、電源電圧制御技術単独の場合に比べ、30%の低消費電力化の効果を実現した。また、積和演算器で0.175 V、積和演算器規模のリングオシレータで0.1 Vという、集積回路レベルでは世界最小となる低電圧動作を確認した。この成果により、電源電圧を現在の1 Vレベルから0.1 Vまで自由に変化させることが可能となり、0.1 V時には消費電力を従来の $\frac{1}{100}$ に削減できるようになる。開発した低消費電力化技術は、今後、システムLSIの駆動電圧を大幅に低減する基本回路技術として期待できる。

4 超低消費電力RAM技術

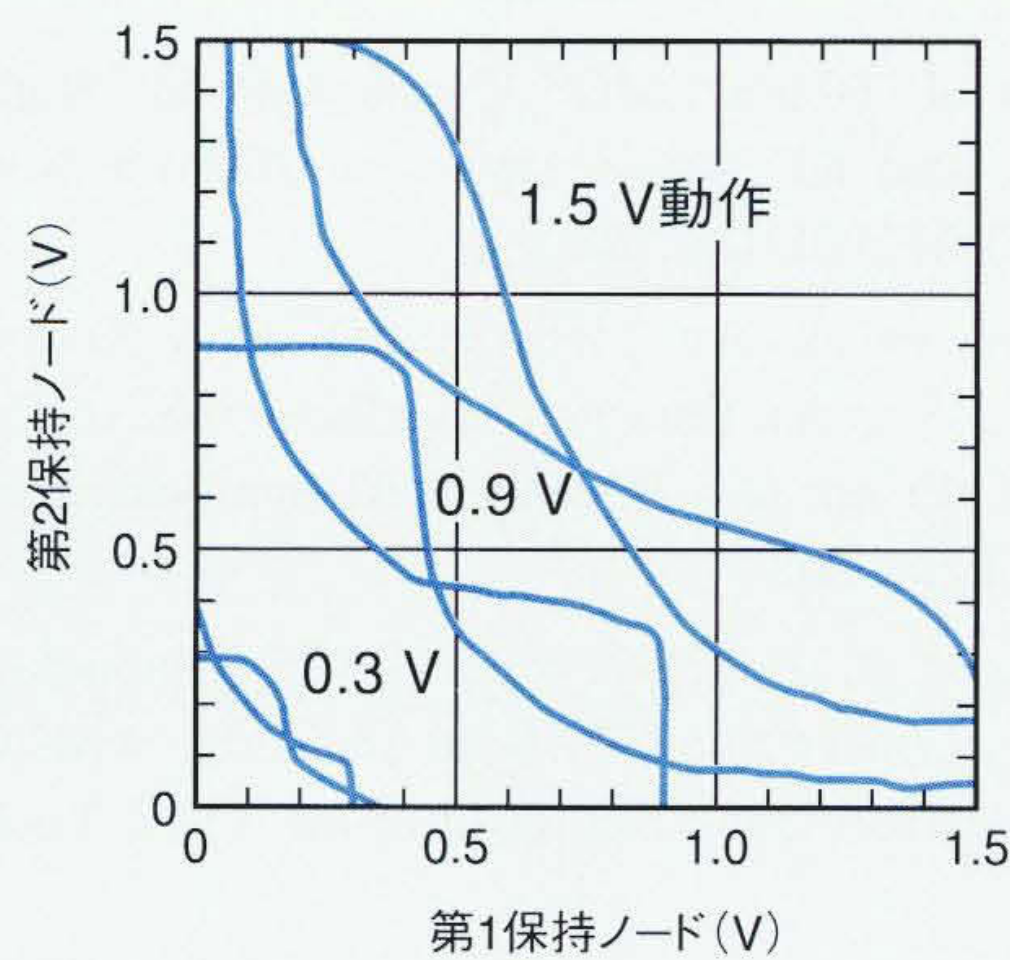
システムLSIでメモリが占める比率は、年々高まっている。特に、低消費電力を指向した製品では、チップ間インタフェースによって消費する電力を削減し、メモリの大容量化を図っており、国際半導体ロードマップ(ITRS)は、低消費電力システムLSIのチップ面積の70%がメモリで占められると予想している。そのため、低消費電力メモリ技術は、今後の低消費電力システムLSIを支える重要な基盤技術となる。

日立製作所は、SRAM(Static Random Access Memory)の低電圧化技術に先行して取り組み、0.4 Vで動作するSRAM⁶⁾を開発した。さらに、将来に向けて、メモリセル面積が小さく、待機電流をきわめて小さくできるSESOメモリ(Single-Electron Shut-off Memory)⁷⁾を開発中である。

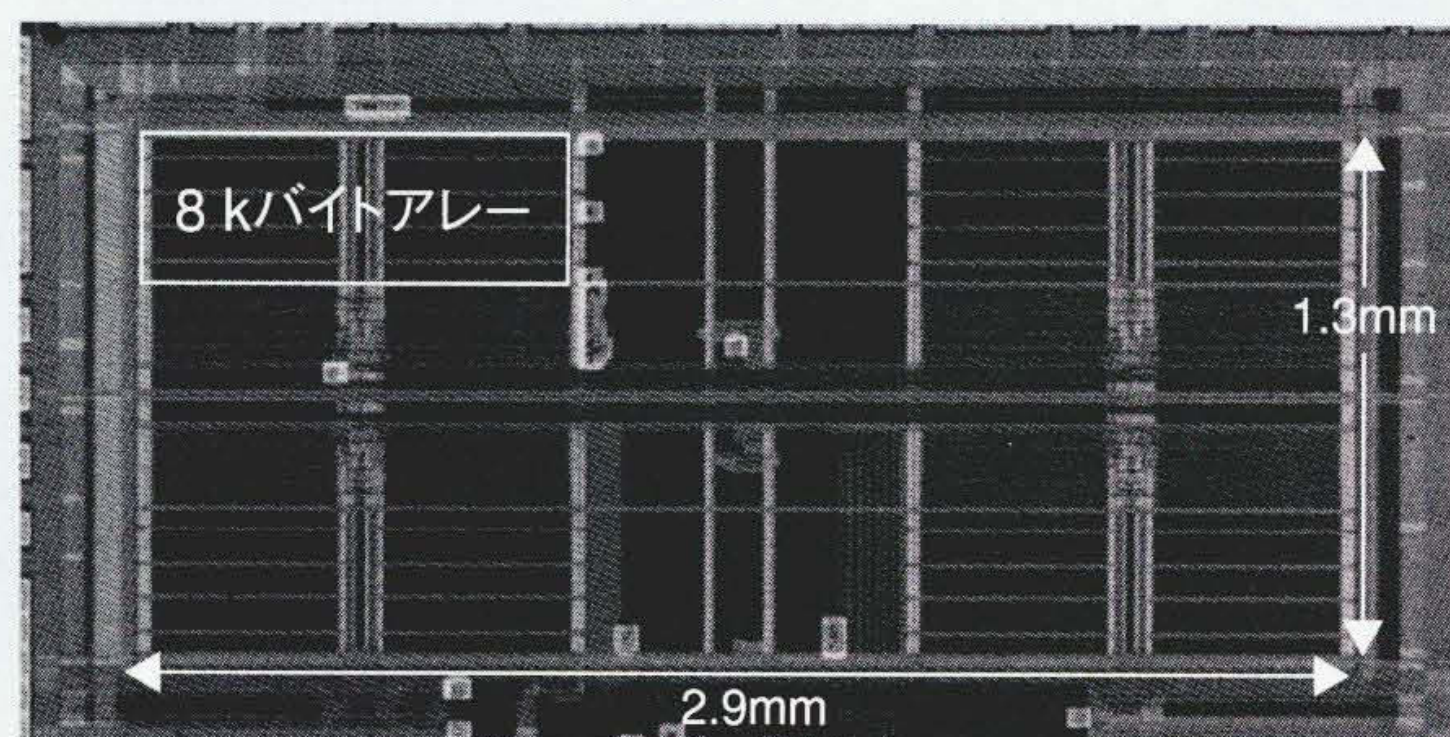
4.1 低電圧SRAM技術

前述のように、低消費電力システムLSIでは、動作電力を低減するために、低電圧動作が求められている。しかし、オンチップメモリとして広く用いられているSRAMでは、駆動電圧を小さくすると、メモリセルそのものの動作マージンの確保が困難となり、SRAMがシステムLSI全体の低電圧化を妨げる要因となっていた。

そのため、日立製作所は、低電圧駆動のSRAMの開発に取り組み、以下に述べる、0.4 V動作を実現する二つの技術を開発した(図5参照)。



(a) メモリセルのノイズマージン



(b) 32 kバイト試作チップ

図5 0.4 V動作SRAM

アレー微昇圧方式と高対称型メモリセルにより、動作マージンを確保している。(a)中のメガネ形状部分の大きさがノイズマージンに相当する。

(1) 動作マージンを増加させる「アレー微昇圧方式」

SRAM回路のうちメモリセルアレーに、n形MOSトランジスタとp形MOSトランジスタのしきい値電圧に応じて、アクセス回路よりも昇圧した電圧を印加することにより、メモリセルの動作マージンを大幅に改善できることを見いだした。昇圧電圧は0.1 V程度であり、それによる消費電力の増加は少なく、また、面積の小さい昇圧回路で実現することができる。

(2) 小さい動作マージンで動作する「高対称型メモリセル」

メモリセルの構造の対称性を高め、製造時のばらつきを抑えることにより、従来使用されていたメモリセルよりも小さい動作マージンで動作を可能にした。

これらの回路技術を用いて、0.18 μm ルールで32 kバイトのオンチップメモリを試作した結果、駆動電圧0.4 Vで4.5 MHz動作、消費電力140 μW を達成した。この電圧0.4 VでのSRAM動作は、これまでに報告されているオンチップメモリでは最小の駆動電圧である。同じ回路を駆動電圧1.0 V、240 MHzで動作させた場合、消費電力は44 mWとなるので、0.4 Vとすることで消費電力を $\frac{1}{300}$ に抑えられることを確認した。

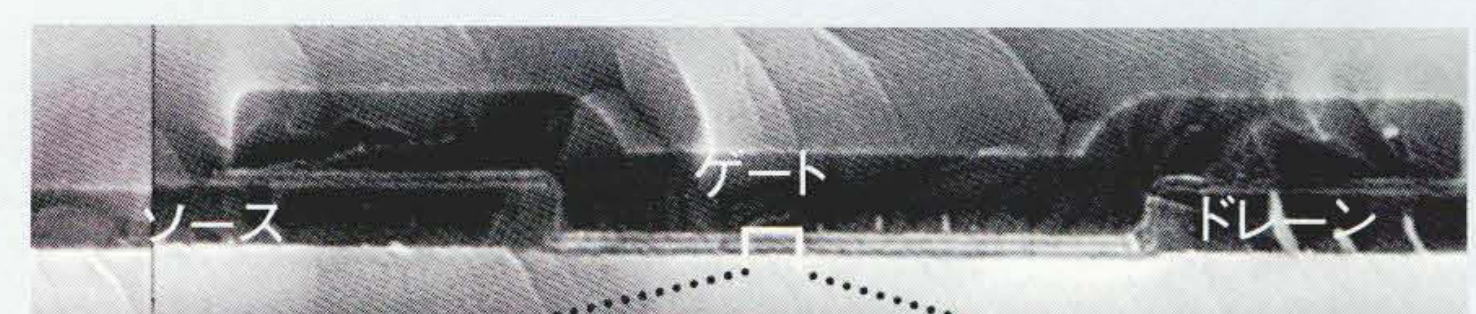
4.2 SESOメモリ技術

システムLSIのオンチップメモリには、低電力性に優れたSRAMが使われているが、大容量化のために、さらに高集積なメモリが求められている。DRAM(Dynamic Random

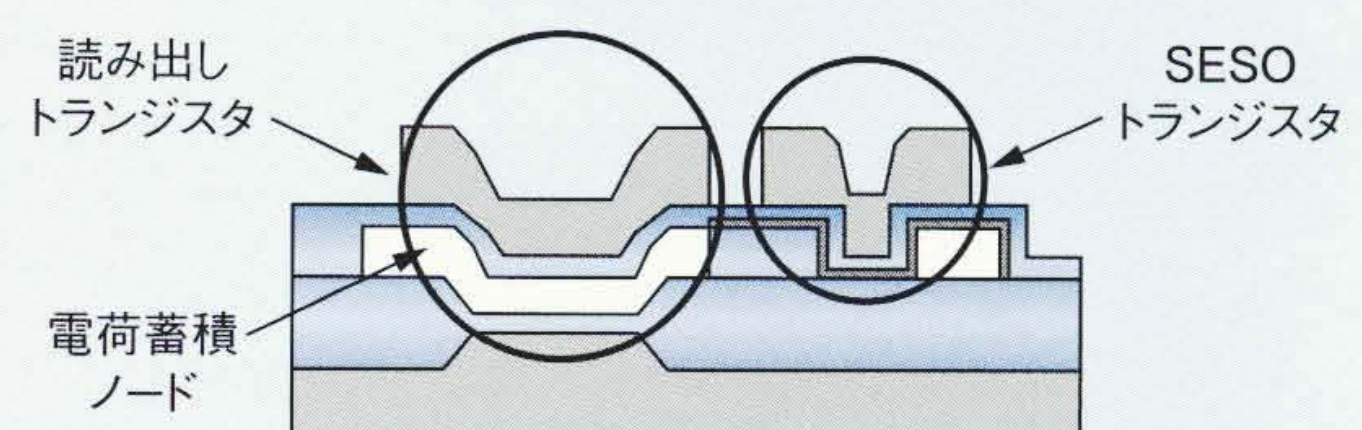
Access Memory)は、SRAMに比べてメモリセル面積が一けた以上小さいものの、システムLSIとのプロセスの整合性の問題に加え、待機時の消費電力が大きいことから、低消費電力システムLSIには適さない。DRAMでは、キャパシタに蓄積した電荷を、スイッチトランジスタで電氣的に切り離すことで情報を記憶するので、スイッチトランジスタのリーク電流を補てんするリフレッシュ動作が必要である。このリーク電流を改善することができれば、リフレッシュ動作によるDRAM待機時の消費電力が低減され、低消費電力システムLSIに適用できる道が開ける。

そのため、日立製作所は、新概念の超低消費電力トランジスタ「SESOトランジスタ」を開発した(図6参照)。SESOトランジスタでは、電子を流す経路であるチャネルを膜厚2 nm(原子約6個分)という超薄膜で形成している。このような超薄膜チャネルでは、量子閉じ込め効果により、シリコンと異なる材料であるかのような特性を示し、リーク電流が少なくなる。ゲート長0.5 μm で試作したトランジスタのリーク電流は、 10^{-19}A 以下である。換算すると、通常のDRAMセルにリフレッシュ動作が必要な間隔の、1秒間当たり電子1個程度となる。

さらに、この電子保持用のSESOトランジスタと、信号増幅用のトランジスタを組み合わせた「SESOメモリ素子」を試作した。このメモリ素子は、現行のDRAMに比べて $\frac{1}{100}$ の電子を蓄えるだけで安定して動作できるので、電荷蓄積用のキャパシタが不要であり、システムLSIのロジックプロセスに適している。また、この少ない電子数でも情報記憶時間を約10倍(約10秒)に改善できるので、リフレッシュ動作によるメモリの消費電力をそれだけ低減することができる。



(a) SESOトランジスタ



(b) メモリセル構成

図6 SESOトランジスタとメモリセルの構成

超薄膜チャネルによる超低消費電力トランジスタを実現している。

5 おわりに

ここでは、ユビキタス情報時代へ向けた超低消費電力LSI技術の中から、その基盤分野であるCMOSデバイス、回路、およびメモリ技術に関する最近の成果について述べた。

現在、最先端のマイクロプロセッサでは、0.18～0.13 μm のプロセス技術が使われている。電源電圧は1.5～1.0 V程度まで下がっており、サブ1 Vの領域に入りつつある。今後、ユビキタス情報時代での要請にこたえるために、さらに微細化が進んだプロセスを用いて高性能化を進めた場合、消費電力の課題が今まで以上に大きな壁となる。電池動作で高速性能が要求されるプロセッサの消費電力をいかに低く抑えるか、サブスレッショルドリーク電流やゲートリーク電流の増大にいかに対処するかなど、難しい問題が出てくる。

日立製作所は、ここで述べたような技術でこれらを解決し、ユビキタス情報時代に適したシステムLSI技術を開発していく考えである。

参考文献

- 1) K. Onishi, et al.: 50-nm CMOS Technology for High-speed, Low-power, and RF Applications in 100-nm Node SoC Platform, IEDM 2001 (Dec. 2001)
- 2) S. Tsujikawa, et al.: An Ultra-Thin Silicon Nitride Gate Dielectric with Oxygen-Enriched Interface (OI-SiN) for CMOS with EOT of 0.9 nm and Beyond, 2002 Symposium on VLSI Technology (June 2002)
- 3) R. Tsuchiya, et al.: Femto-Second CMOS Technology with High-k Offset Spacer and SiN Gate Dielectric with Oxygen-enriched Interface, 2002 Symposium on VLSI Technology (June 2002)
- 4) Y. Kanno, et al.: $\mu\text{I/O}$ Architecture for 0.13- μm Wide-Voltage-Range System-on-a-Package (SoP) Designs, 2002 Symposium on VLSI Circuits (June 2002)
- 5) Y. Miyazaki, et al.: A 175 mV Multiply-Accumulate Unit Using an Adaptive Supply Voltage and Body Bias (ASB) Architecture, 2002 ISSCC (Feb. 2002)
- 6) M. Yamaoka, et al.: 0.4-V Logic Library Friendly SRAM Array Using Rectangular-Diffusion Cell and Delta-Boosted-Array-Voltage Scheme, 2002 Symposium on VLSI Circuits (June 2002)
- 7) T. Osabe, et al.: A Single-Electron Shut-Off Transistor for a Scalable Sub-0.1- μm Memory, IEDM2000 (Dec. 2000)

執筆者紹介



河原尊之

1985年日立製作所入社，中央研究所 ソリューションLSI研究センタ システムLSI研究部 所属
現在，低消費電力LSI回路技術の研究に従事
工学博士
電子情報通信学会会員，IEEEシニア会員
E-mail: tkawaha@crl.hitachi.co.jp



松岡秀行

1987年日立製作所入社，中央研究所 ソリューションLSI研究センタ ULSI研究部 所属
現在，半導体メモリ技術の研究に従事
理学博士
応用物理学会会員
E-mail: hmat@crl.hitachi.co.jp



阪田 健

1989年日立製作所入社，中央研究所 ソリューションLSI研究センタ システムLSI研究部 所属
現在，半導体メモリ技術の研究に従事
電子情報通信学会会員，電気学会会員，IEEE会員
E-mail: sakata@crl.hitachi.co.jp



安 義彦

1982年日立製作所入社，半導体グループ デバイス技術本部 所属
現在，半導体デバイスプラットフォームの開発に従事
IEEE会員
E-mail: yasuyoshihiko@sic.hitachi.co.jp