

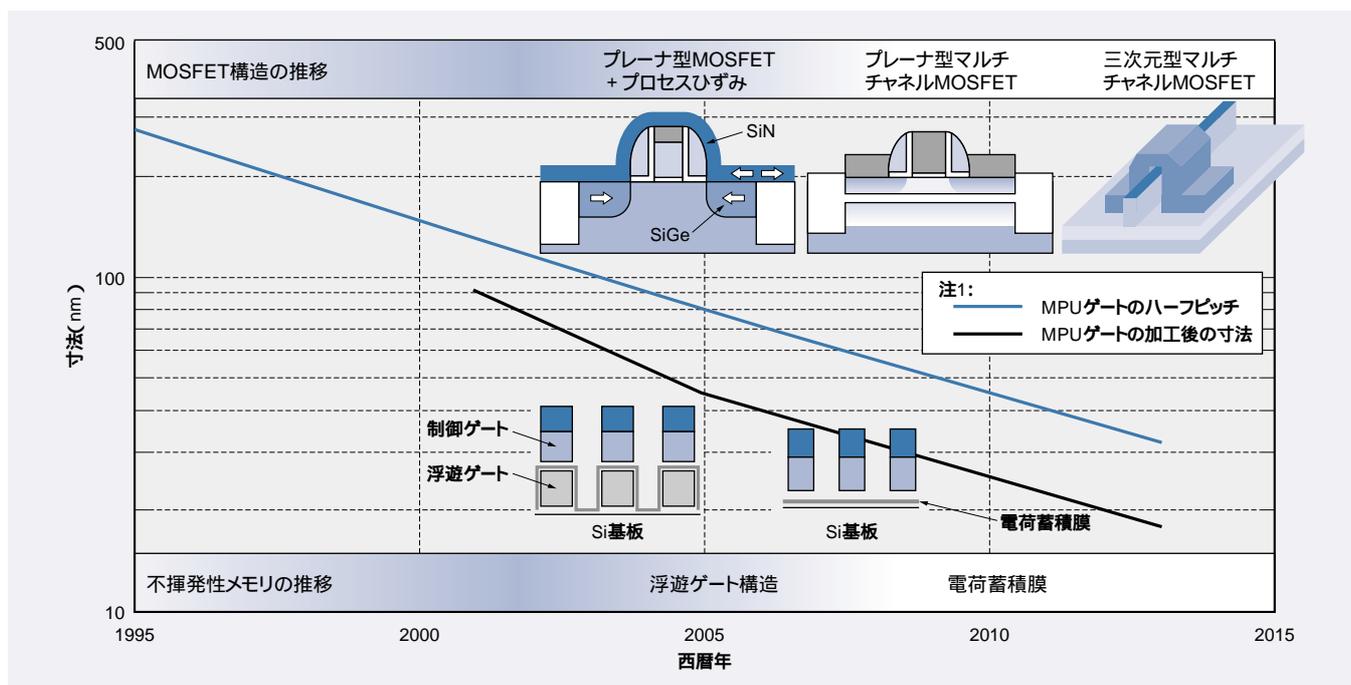
# ナノメートル時代の 半導体デバイスと製造技術の展望

## Prospect of Si Semiconductor Devices and Manufacturing Technologies in Nanometer Era

土屋 龍太 Ryūta Tsuchiya

伊澤 勝 Masaru Izawa

木村紳一郎 Shin'ichirō Kimura



注2:略語説明 MOSFET(Metal Oxide Semiconductor Field Effect Transistor),MPU(Micro Processing Unit)

### LSIの基本デバイスであるMOSFETと、不揮発性メモリのデバイス構造変化の予測

MOSFETと、不揮発性メモリのデバイス構造の変化を、微細加工寸法の推移とともに示す。MOSFETでは、チャンネル領域の三次元化が、不揮発性メモリでは電荷蓄積膜の利用がそれぞれ進むと予想される。

65 nm世代の微細加工技術を用いた製品が登場し、Si-LSIの微細化はナノメートルの領域に深く入り込むまでになった。従来のSiデバイスの限界を打破するための提案が、数多く登場している。Si-LSIの基本デバイスであるMOSFETでは、電流を流すチャンネルを三次元基板にしたデバイス構造が注目されており、日立製作所は新しいISOI-MOSFETを開発した。三次元構造チャンネルMOSFETと同じ効果を持ち、かつ、基板電位を有効に

活用できるのが特徴である。また、新しい製品への応用が拡大した不揮発性メモリ、特に大容量メモリの中心であるフラッシュメモリが注目されているが、従来の浮遊ゲートに電荷を蓄えるメモリセルには限界がある。そのため、新しい試みとして電荷蓄積膜を用いたメモリが開発されている。日立グループは、このようなSiデバイスの変化を踏まえながら、LSIの製造技術に関するベストソリューションの提供に取り組んでいる。

## 1 はじめに

「日立評論」86巻7号(2004年7月号)で、「ナノメートル時代のシリコン半導体デバイスの展望」をまとめた<sup>1)</sup>。Si-LSIの基本デバイスであるMOSFET(Metal Oxide Semiconductor Field Effect Transistor)に注目し、今後の微細化の進む方向を展望した。それからわずか

に1年半しか経過していないが、Si半導体デバイスとLSIを取り巻く環境には大きな変化があった。当時は、好調なデジタル家電などを背景に、LSI産業が、わが国を含めて再び成長軌道に乗ったと思われた時期だった。しかし、2004年の暮れごろから始まった、需要の後退と価格低下の影響で、2005年度は、多くの日本のデバイスメーカーにとって、マイナス成長の年となってしまった。しかし、

一方で、携帯型デジタルオーディオプレーヤなどの新しい応用先が生まれた大容量のフラッシュメモリなどは活況を呈しており、大きな飛躍を示した。また、パソコンや携帯電話などに使われるLSIで大きな市場占有率を持っているメーカーも、順調に売り上げを伸ばした。

技術的な面では、65 nm世代の微細加工技術を使ったロジック製品が、一部のメーカーから出荷されている。また、メモリの分野では、80 nm世代の技術で作られたフラッシュメモリが製品化されている。

こうした1年半の間の変化を踏まえながら、Si半導体デバイスとLSIを再度展望してみたい。

ここでは、特に、注目が高まってきた三次元構造のデバイスと、最も活況を呈しているフラッシュメモリに代表される不揮発性メモリに焦点を当てながら、デバイスの微細化を支える製造技術に関して、要求される性能や機能について述べる。

## 2 三次元構造MOSFET

ITRS( International Technology Roadmap for Semiconductors )は、2010年にはハーフピッチが45 nmになり、高性能マイクロプロセッサのMOSFETのゲート長は18 nmになると予想している<sup>2)</sup>。しかし、現状の平面的なMOSFET構造でこの寸法を実現するのは容易ではない。

微細化限界を打破するデバイス構造として、二つ以上のゲート電極を設けたマルチチャネルMOSFETが、近年、大きな注目を集めている。マルチチャネルMOSFETは、二つ、もしくは、三つのゲート電極でMOSFETのチャネル領域を制御するため、一つのゲートだけでチャネル領域を制御する従来のMOSFETに比べ、短チャネル効果に強く、微細化に優れる。マルチチャネルMOS-

FET構造は、従来と同じ構造を用いるプレーナ型(a)と、縦型縦方向チャネル型(b)、および縦型横方向チャネル型(c)のようなノンプレーナ型(三次元構造)に大別される(図1参照)。

### 2.1 プレーナ型

プレーナ型マルチチャネルMOSFETは、基本的には従来のMOSFETと同じ構造であり、従来のプレーナ加工技術が、そのまま使えるという利点がある。一方、上部および下部ゲート電極を自己整合させて形成することが難しく、プロセスが複雑になる課題が存在する。

日立製作所と株式会社ルネサステクノロジは、近年、この課題を改善し、複雑な製造プロセスを用いることなく、簡易にプレーナ型マルチチャネルMOSFETを作製する新技術を開発した(図2(a)参照)。SOI(Silicon on Insulator)基板の埋め込み酸化膜層を10 nmまで薄膜化し(従来は100 nm程度)、不純物導入技術を用いて下部ゲート電極を作ることによって、自己整合的に上部、下部ゲート電極を形成する点が大きな特徴である<sup>3)</sup>。従来のマルチチャネルMOSFETでは、ゲート電極が一体化されているため、3端子型でしかデバイスを動作させることができなかった。

一方、新構造のデバイス(薄膜BOX(Buried Oxide) SOI)では、上部、下部ゲート電極を独立に制御できるため、4端子でデバイスを動作させることができる。4端子型とすることで獲得できる大きな利点は、一つのゲート電極でデバイスのスイッチング動作を行いつつ、他方のゲート電極を用いて、デバイスのしきい電圧を自在に制御することである。実際に試作したプレーナ型マルチチャネルMOSFETのスイッチング特性を図2(b)に示す。下部電極のバイアスを制御することで、デバイスの電流が大きく変化していることがわかる。バイアス効果を利用すれば、

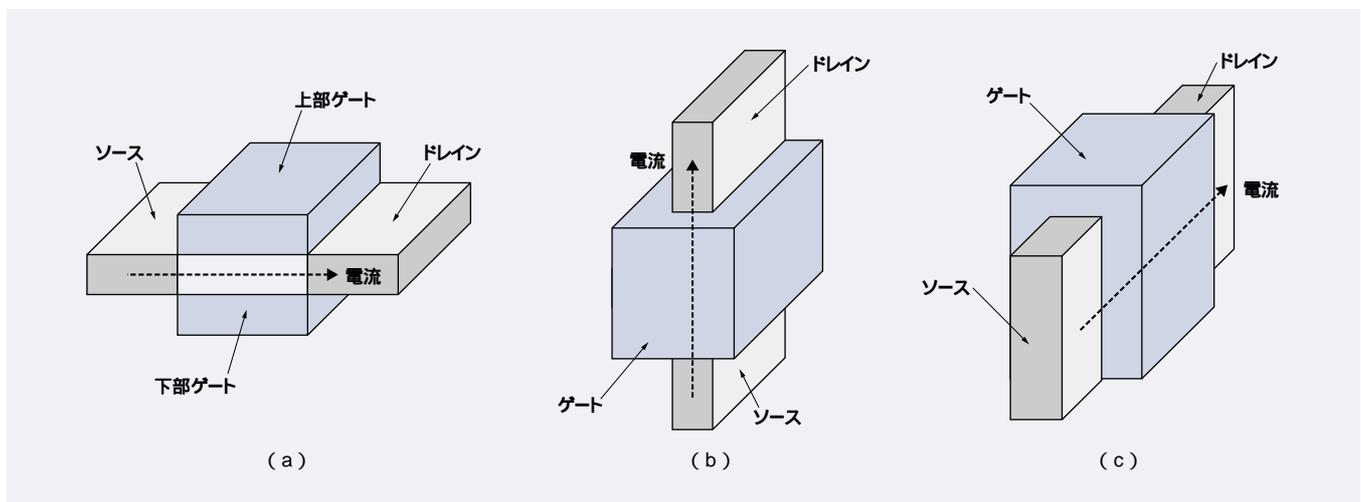
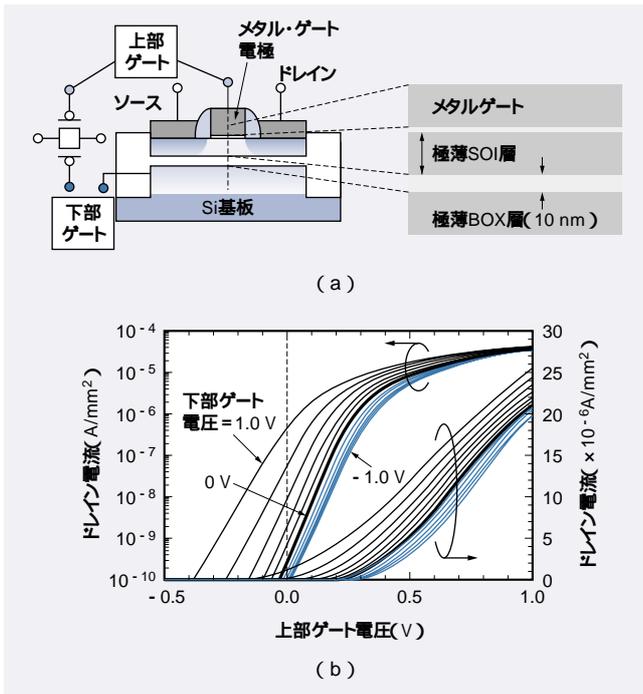


図1 マルチゲートMOSFETの種類  
(a)プレーナ型MOSFET、(b)縦型縦方向チャネル型MOSFET、(c)縦型横方向チャネル型MOSFET(フィン型MOSFET)をそれぞれ示す。



注:略語説明 SOI(Silicon on Insulator),BOX(Buried Oxide)

図2 薄膜BOX-SOIトランジスタの断面模式図(a)とスイッチング特性(b)

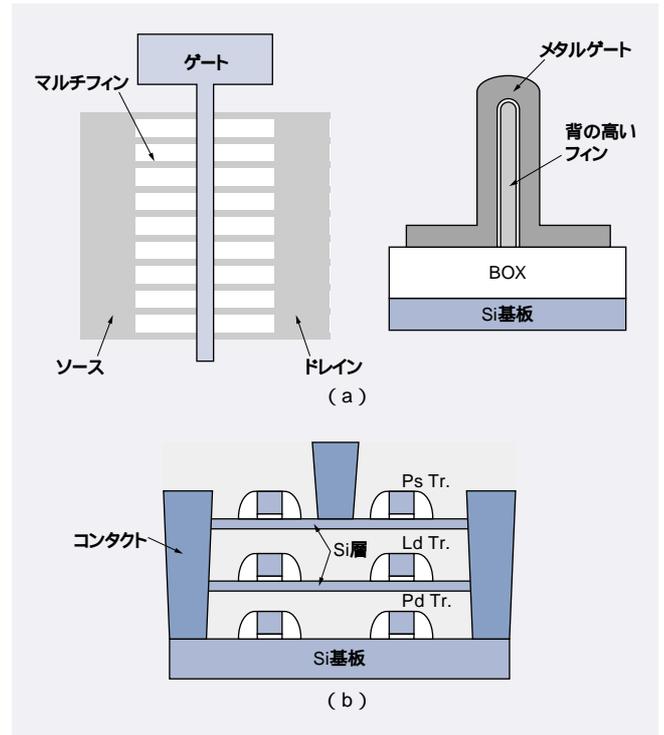
従来のSOI-MOSFETと異なり、BOX層が10 nm程度にまで薄膜化されているのが特徴である。その結果、基板電位によってMOSFETの特性を変調することが可能となる。

デバイス動作時の出力電流を20%増大できる一方で、待機時にはオフリーク電流を $\frac{1}{10}$ に低減することができ、高速性と低消費電力性を両立させることが可能となる。

## 2.2 三次元構造MOSFET

「日立評論」2004年7月号で紹介したフィン型MOSFETは、図1(c)の縦型横方向チャンネル型MOSFETに相当する<sup>1)</sup>。この構造は、日立製作所が、DELTA (Fully Depleted Lean-Channel Transistor) と名付けて提案したものが原型となっている<sup>4)</sup>。その後も、縦型チャンネルの2面をゲート電極に用いるダブルゲート型MOSFETに加え、チャンネル断面の3面をゲート電極で囲んだトライゲート型MOSFET<sup>5)</sup>、また、その断面形状から名付けられたパイゲート型MOSFET<sup>6)</sup>、(オメガゲート型<sup>7)</sup>など、さまざまな構造を持つ三次元構造MOSFETが登場するに至っている。いずれも、フィン型MOSFETの範ちゅうに入れて考えることができるもので、ゲート電極によるチャンネル領域の制御性を高めることで、効果的に短チャンネル効果を抑制することを意図したデバイス構造である。

また、近年の進展として、より集積化を意識した報告が増加し始めていることがあげられる。具体的にはメタルゲート材料を採用して、しきい電圧を調整したフィン型MOSFETや、複数のフィン(マルチフィン)、もしくは背の高いフィンを採用し、実効的なゲート幅面積を増やした



注:略語説明 Ps Tr( Pass Transistor ),Ld Tr( Load Transistor ) Pd Tr( Pull-Down Transistor )

図3 改良型フィン型MOSFET構造例[ マルチフィン構造や背の高いフィンを採用したMOSFET(a)、三次元構造SRAM(b)]  
チャンネルを三次元構造にしたMOSFETの代表例を示す。電流を多く流すためや、デバイスを積層するためのくふうが施されている。

フィン型MOSFET<sup>8)</sup>などがそれにあたる(図3(a)参照)。数10 nm程度の幅の狭いフィン形状を用いるため、実効的なゲート幅を確保しにくいといった、フィン型MOSFET特有の課題の克服を試みたものである。また、フィン型MOSFETで構成されたSRAM( Static Random Access Memory)が報告されるなど、回路動作の検討が進んでいる<sup>9)</sup>。さらに、フィン型MOSFETとは異なるが、プレーナ型MOSFETを三次元に集積する三次元構造SRAM<sup>10)</sup>(図3(b)参照)の登場なども、近年の三次元構造MOSFETの進展と言える。

# 3 不揮発性メモリ

## 3.1 大容量不揮発性メモリ

携帯型デジタルオーディオプレーヤなどの進化に伴って、その記憶媒体としての大容量不揮発性メモリ(以下、フラッシュメモリと言う。)の市場が拡大している。現在は90 nmの微細加工技術を用いた2 Gb(ギガビット)が生産の主流であるが、すでに、60 nm技術の8 Gbも登場している<sup>11)</sup>。

大容量フラッシュメモリのメモリセル(記憶の最小単位)構造を模式的に示したのが図4(a)である。多結晶Siの積層構造になっており、下部は、周辺を絶縁膜(SiO<sub>2</sub>膜)で覆った、独立した多結晶Siのブロック(浮遊ゲート)で

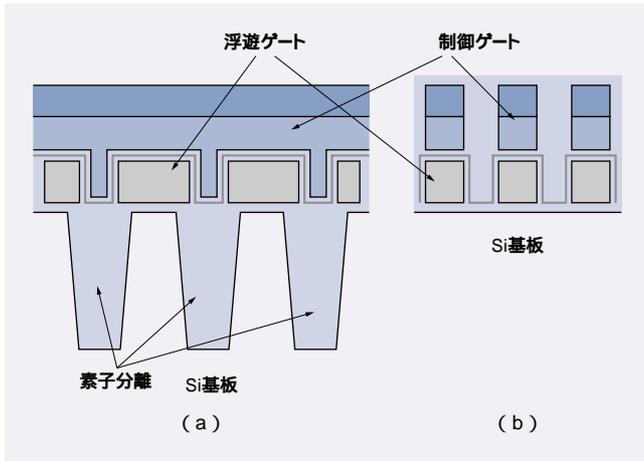


図4 浮遊ゲート型フラッシュメモリの断面模式図  
(a)は制御ゲートに平行な断面、(b)は制御ゲートに垂直な断面を示す。

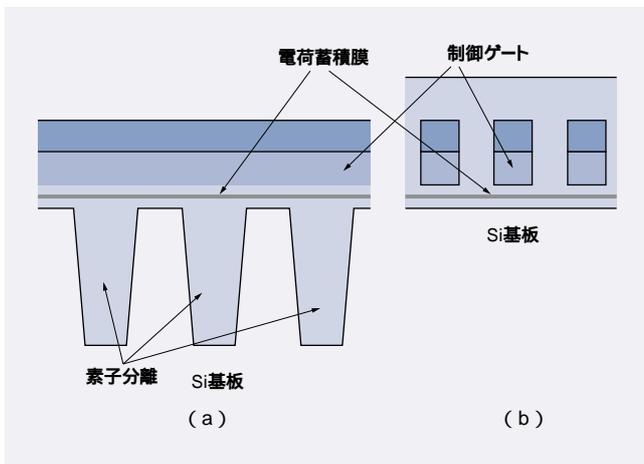


図5 絶縁膜を用いたフラッシュメモリの断面模式図  
(a)は制御ゲートに平行な断面、(b)は制御ゲートに垂直な断面を示す。

ある。2 Gbのメモリでは、80 nm×100 nm×100 nm程度の大きさしかない。その上に制御ゲートが電極として配置されている(図4(b)参照)。この制御ゲートに高電圧を印加し、Si基板から電子を浮遊ゲートに注入し、メモリ動作を行っている。

フラッシュメモリの最大の課題は、浮遊ゲートの大きさとその間隔が、数10 nmという寸法領域になっていることに起因する。図4(a)に示したように、制御ゲートは浮遊ゲート間の隙(すき)間を埋めていなければならない(カップリング比を確保するため)。しかし、浮遊ゲート間の隙間が50 nm程度しかなく、しかも、この間に、制御ゲートと浮遊ゲート間を絶縁する膜であるONO膜(Si酸化膜/Si窒化膜/Si酸化膜)を15 nm程度堆積しなければならないので、近い将来、浮遊ゲートの隙間に制御ゲートを入れるのは不可能な状況になる。

このような状況を踏まえ、浮遊ゲートに代わる電荷保持媒体として絶縁膜を利用することが注目されている<sup>12)</sup>。これを使ったメモリの断面模式図を図5に示す。Siの窒化膜が、電子や正孔を十分長い時間保持できることを

利用している。具体的には、窒化膜を酸化膜でサンドイッチした積層膜(ONO膜)である。制御ゲートに電圧を印加し、基板から電子を注入して窒化膜や、窒化膜と酸化膜の界面に捕獲する。

### 3.2 混載用不揮発性メモリ

不揮発性メモリの適用先は大容量メモリだけではない。フラッシュメモリを搭載したマイコン(以下、フラッシュマイコンと言う。)がその代表である。フラッシュメモリの役割は、マイコンを動作させるプログラムの格納である。かつては、このプログラムは読み出し専用メモリ(ROM)に書かれていたが、電氣的に書き換えが可能な不揮発性メモリを使うようになって、最終製品に組み込んだあとでも、プログラムの書き換えが可能になり、開発の期間短縮や柔軟性が向上した。フラッシュマイコンはわが国のLSIメーカーの強み分野の一つである<sup>13)</sup>。

フラッシュマイコンで使われている不揮発性メモリは、基本的には浮遊ゲート型であるが、データの書き込み・消去や読み出しを高速に行うために、特徴のあるメモリセル構造となっている。その代表例を模式的に示したのが図6である<sup>14)</sup>。このセルは、浮遊ゲートのすぐ隣に制御ゲートとなるMOSFETを配置した構造になっている。このように、MOSFETを二つ隣接させたものを、スプリットゲート構造と呼んでいる。制御ゲートのMOSFETを導通させ、チャンネルに電子を流す。その際、浮遊ゲート側の拡散層に高電圧を印加しておく、チャンネルを流れてきた電子は制御ゲートと浮遊ゲートの境界付近に存在する高電界領域で加速され、高エネルギー状態となって浮遊ゲートに注入される。このように、高エネルギー状態の電子を注入させることができるので、低電圧での書き込みが可能である。消去は、制御ゲートを正電圧にして、電子を引き抜くことで行われる。このフラッシュマイコンの分野にも、ONO膜を用いたものが登場している<sup>15)</sup>。

### 3.3 新しい動作方式を用いる不揮発性メモリ

新しい動作方式を用いた不揮発性メモリの例を、一

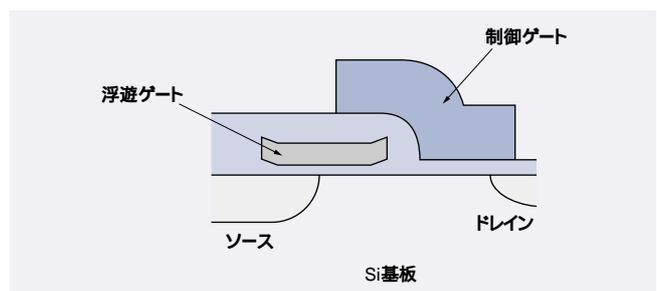


図6 スプリットゲート構造の混載用不揮発性メモリ  
浮遊ゲートと制御ゲートが隣接しており、スプリットゲート構造の不揮発性メモリと呼ばれる。制御ゲートのチャンネルでホットキャリアを発生させ、それを浮遊ゲートに注入する。

メモリデバイス	MRAM	PCRAM	RRAM
デバイス構造			
記憶メカニズム	磁気抵抗変化	相変化	抵抗変化
材料	FeMn/Co	GeSbTe	Pr <sub>0.7</sub> Ca <sub>0.3</sub> MnO <sub>3</sub> , NiO
セルサイズ	8~15 F <sup>2</sup>	8~15 F <sup>2</sup>	4~6 F <sup>2</sup>
CMOSとの整合性	追加マスク2~3枚	追加マスク2枚	追加マスク2枚
電圧(電流)	3V(1 mA)	3V(0.5~1 mA)	3V(2 mA)
書き換えサイクル(回数)	10 <sup>15</sup>	10 <sup>12</sup>	10 <sup>6</sup>

注:略語説明 MRAM( Magnetic Random Access Memory ),PCRAM( Phase Change Random Access Memory ),RRAM( Resistive Random Access Memory ),F( Feature Size )

図7 新しい材料を用いた不揮発性メモリの比較

情報記憶部に新しい材料を用いる,新不揮発性メモリの代表例を示す。MRAMでは磁気抵抗変化を,PCRAMでは結晶と非晶質との抵抗変化を,そしてRRAMでは界面に起因した抵抗変化をそれぞれ利用する。

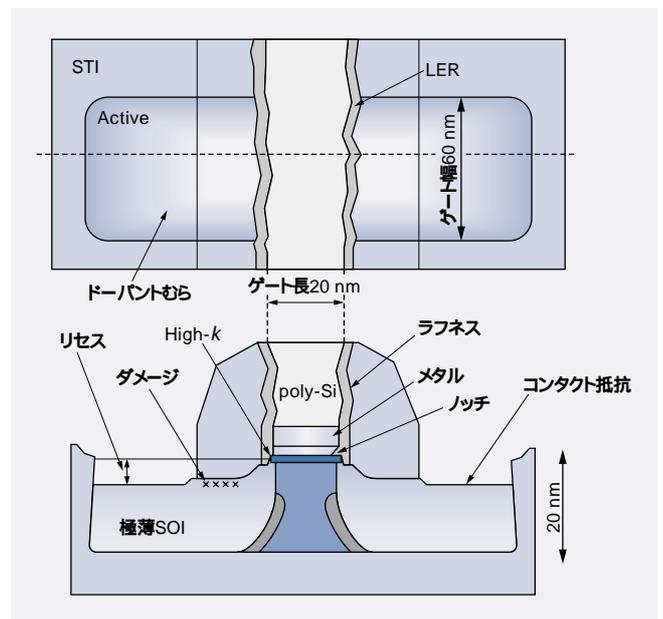
覧表として示す( 図7 参照)。ここでは,MRAM (Magnetic Random Access Memory),PCRAM (Phase Change Random Access Memory),RRAM (Resistive Random Access Memory) を代表として載せている。MRAMは,磁気抵抗効果を応用し,トンネル接合部を流れる電流が,それを挟む磁性体の磁気モーメントの向きによって異なることを利用している。磁性体はFe, Mn, Coなどの材料から成り,トンネル接合は1 nm程度という極薄膜のAl<sub>2</sub>O<sub>3</sub>膜である<sup>16)</sup>。PCRAMは,DVD( Digital Versatile Disk )で実用化されているカルコゲナイド( GeSbTe )膜の相の違い( 結晶と非晶質 )による抵抗の違いを利用する。PCRAMでは電気パルスの制御で結晶と非晶質を作り分ける<sup>17)</sup>。RRAMも,シリコンと接触している金属に電流を流した時の抵抗の変化を利用している<sup>18)</sup>。

これらの新しいメモリは,すべて抵抗変化を利用している。記憶媒体に抵抗の変化をもたらすためには,現状では1セル当たり1 mA程度の電流を必要としている。さまざまなくふうで電流の低減が図られているが<sup>19)</sup>,従来のメモリに比べて必要とされる電流は大きい。

課題が多い一方で,これらのメモリには,従来のメモリでは実現できない大きな特徴がある。それが書き換え回数であり,10<sup>10</sup>回以上の書き換え回数が報告されている。

に伴う製造技術の課題を述べる。ITRS<sup>2)</sup>に従い,極薄SOIのMOS( Metal Oxide Semiconductor )ロジックは 図8 に示す構造になると想定した。ゲート長( L<sub>g</sub> ),SOI層ともに20 nm程度である。加工寸法で許容されるばらつきは,3 σで2 nmになる。これは,原子層にして10層程度であり,製造プロセスに原子レベルの制御技術が要求されることを意味する。さらに,新たな課題として,LER ( Line Edge Roughness ),リセス,ダメージなどを 図8 に示す。

LERは,3 σで5 nm程度あり,特に,周期100 nm以上の成分が大きい<sup>20)</sup>。微細化に伴い,ゲート幅( L<sub>w</sub> )も短くなっており,LERによる寸法変動がL<sub>g</sub>の主要なばらつき



注:略語説明 ST( Shallow Trench Isolation ),LER( Line Edge Roughness )

図8 2010年ごろの極薄SOIデバイスの構造とプロセス課題  
想定できる現象に基づき将来の課題を示す。デバイスの微細化,薄膜化に伴い,ラフネス,基板のリセスおよびイオンダメージが顕在化すると予想される。

## 4 将来のデバイス製造における技術課題と展望

### 4.1 デバイスの微細化に伴う製造の課題

前述のように,LSIでは微細化だけでなく,新材料,新構造が検討されている。はじめに,トランジスタの微細化

要因となってきた。特に、65 nmノード以降の低消費電力デバイスで顕在化するとされている。このLERは、レジスト材料やレイアウトなどに起因しており、それを抑制する技術開発が進められている<sup>21)</sup>。一方、短周期のLERは、その成分は小さいが、エッチングで改善することも検討されている<sup>22)</sup>。

ゲート絶縁膜にはHigh- $k$ が用いられ、ゲート電極はメタルになる。メタルゲート電極と多結晶Siとの界面に酸素などが入り込み、加工不良の原因となる危険性が増す。また、加工時には、「ノッチ」と呼ばれるアンダーカットの制御が重要になる<sup>23)</sup>。極薄SOIでは、しきい電圧を制御するために、ミッドギャップのメタルが用いられる可能性が高いが、p型とn型で異なる材料を用いる場合、メタル材の差や膜厚差に起因して、Si基板へのダメージが入る可能性が高い。

Si基板へのダメージは、ゲート電極加工時だけでなく、オフセットスペース加工時やレジストはく離などでも問題となる<sup>24)</sup>。これまでは、数nmのダメージ層は、犠牲酸化やその除去で回避してきたが、これからは、チャンネル形成に数nmのリセスさえも許容できなくなる。特に、スペースの酸化膜エッチングの深さと、ボロンイオンの注入位置とが近くなり、エッチング時のダメージが接合を阻害することも報告されている<sup>25)</sup>。また、イオン注入やエッチング後のレジストはく離では、揮発性の材料がレジスト材に打ち込まれるため、パワーの大きなプラズマ処理が必要になり、結果として、リセス量を大きくしている。

不純物の分布はトランジスタ特性を決める上で重要であるが、ここでも微細化に伴う課題が顕在化してきた。特に、急峻(しゅん)な分布形成が必要となるが、多結晶Si粒の方位による深さのばらつきや、メタルゲート電極越しの打ち込みなどが課題となる。また、微細化に伴い、不純物打ち込み量の揺らぎ抑制やSTI(Shallow Trench Isolation)近傍の分布制御の重要性が増している<sup>26)</sup>。

トランジスタの特性に対し、形状、不純物分布以外に、最近、応力の影響が大きくなっている。ゆがみを持つチャンネルは高速化に有効であるが、別の観点で見れば、応力によりしきい電圧などが変動することを意味している。そのため、STI起因の応力、パッシベーション膜形成などの応力制御によるデバイスの安定動作や高速化が検討されている<sup>27)</sup>。今後は、量産での応力制御の安定性評価や、そのQC( Quality Control)技術が必要になる。

微細化に伴う課題を列挙してきたが、今後は、寸法精度の向上だけでなく、LER低減、リセス抑制、応力制御といった技術課題を解決する必要がある。いずれも、計測手段、QC手法を含めた開発の推進が不可欠である。

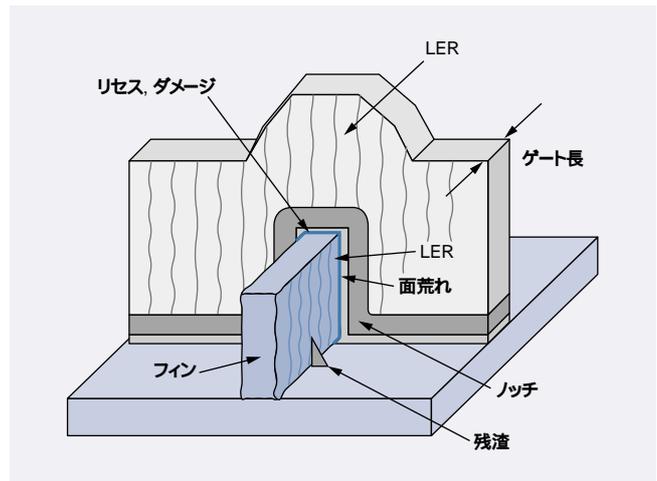


図9 フィン型FET構造における加工の課題  
既存のプロセス技術を基にフィン型FETでの課題を想定した。段差のある構造での加工形状制御が重要になると考える。

## 4.2 デバイスの三次元化に伴う製造の課題

今後のトランジスタ構造として、ロジックではマルチゲート、メモリではRCAT(Recess-Channel-Array Transistor)<sup>28)</sup>などのチャンネル三次元構造が検討されている。ここでは、図9に示すFET構造をあげ、製造上の課題について述べる。

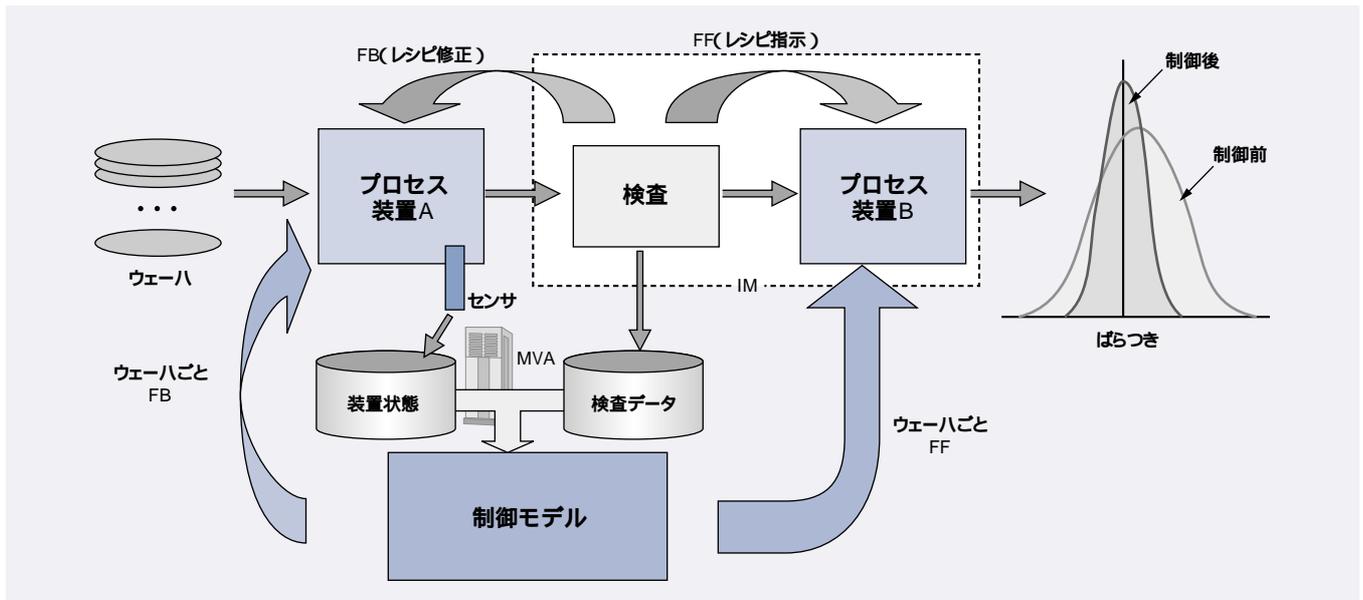
図8のプレーナ型に比べて、フィン型は製造の難易度が高くなる。フィン型FETでは、加工面にゲート絶縁膜を形成するため、加工時の面荒れの抑制が重要となる。さらに、ゲート電極形成では、プレーナ型と同様に、寸法精度や、LER抑制は重要であるが、フィンの高さに起因する段差が、加工負荷を大きくする。具体的には、エッチング時にフィンの上部が露出してから下地に到達するまで、長時間のオーバーエッチングが必要である。これは、フィン側壁のゲート材料を除去しなければならないからである。この段差起因の課題として、オーバーエッチング時のノッチや残渣(さ)の発生が報告されている<sup>23) 29)</sup>。さらに、プレーナ型より加工が過酷なことから、フィンの上部へのダメージやリセスが大きな課題になると考える。

## 4.3 量産技術の課題と展望

ここまでは、単体のデバイス製造について述べてきた。ここでは、量産展開をするために必要となる技術について述べる。

量産では、ニーズの高い時期に、市場価格に見合ったコストで、必要な量を供給する必要がある。このため、コスト、歩留り、出荷までの期間が重要となる。微細化が進むと、マスクング、リソグラフィーのコストが世代ごとに2倍程度に増加すると言われ<sup>30)</sup>、コスト低減の重要性が増している。

微細化に対応する製造プロセスでは、装置単体での均一化改善や再現性向上に注力してきた。プロセスの



注:略語説明 FB(Feedback),FF(Feedforward),IM(Integrated Metrology),MVA(Multi-Variate Analysis)

#### 図10 APC制御技術の概要

ウェーハ検査のデータ、装置状態のモニタデータを用いたプロセス制御により、加工形状などのばらつきを低減する必要がある。

再現性を向上させるため、エッチングやCMP(Chemical Mechanical Polishing)で、自動終点判定に見られるモニタフィードバック型のプロセス制御が用いられてきた。しかしながら、微細化が進むにつれ、装置の機差や経時変化により、使用する装置が限定される、メンテナンス頻度が多くなるなどの課題が出てきた。これに対応するためには、装置の完成度を高めるための期間もかかり、コストも高くなってしまふ。

そこで、近年、APC(Advanced Process Control)と呼ばれるフィードバック(FB)、フィードフォワード(FF)型のプロセス制御による、装置ばらつき低減技術の開発が活発になってきた(図10参照)。ウェーハ検査データを用いたFF、FB型の制御が主流であり、ロット間での変動を安定化するために活用されている。

検査データを用いる場合、その時間応答性から、ロット単位での制御に限定されてしまふ。このため、大きな変化は修正できるが、微細化に伴う、より高い精度でのプロセス制御には十分ではない。そこで、ロット単位の制御(lot to lot control)から、ウェーハごとの制御(wafer to wafer control)技術の開発に進んでいる<sup>31)</sup>。

しかし、ウェーハごとの制御には、膨大な検査工数が必要であり、コストやスループットが犠牲になるという問題がある。このため、高速な検査装置が必要になっている。OCD(Optical Critical Dimension)計測は、専用の検査パターンが必要であるが、スループットが高く、寸法計測への活用が検討されている。最近では、IM(Integrated Metrology)と呼ばれ、製造装置の搬送部に組み込み、検査効率を高めたシステムも製品化されている。

一方で、すべての検査、計測が装置に組み込める状

況にはなく、装置モニタを用いたリアルタイム制御も提案されている<sup>32)</sup>。装置状態を逐次センシングし、検査データとの多変量解析により、制御モデルを構築する。このモデルをベースに、センシングデータからプロセスを予測し、装置を制御する手法である。例えば、エッチング工程中の発光スペクトルからゲートの寸法を直接に予測できることなどが確認されている<sup>33)</sup>。

このようなセンシング技術は、製造上の別の利点としても活用できる。量産では、品質管理のため、定期的な装置QCや、プロセスQCを実施している。しかし、各QCで許容される範囲も厳しくなり、QC間で発生したわずかな装置変動も見逃せなくなっている。効率を考えると、QC頻度を、増やすことは望ましくない。そこで、FDC(Fault Detection and Classification)の一手法として、全数検査を実施せずに、装置のセンシングデータを基に、前述の制御モデルを用いたQC手法が提案されている<sup>34)</sup>。

さらに、一般にDFM(Design for Manufacturability)と言われ、製造ラインの歩留りを考慮した設計ルール作成方法や、マスクパターンを最適化する技術が重要となる。露光およびエッチング工程も含め、マスクヘフィードバックする技術としてPPC(Process Proximity Correction)が提案されている<sup>35)</sup>。また、ラインの歩留り実力に合わせて、設計ルールを最適化する手法として、CAA(Critical Area Analysis)などが実施されている<sup>36)</sup>。

DFMも重要であるが、今後は、装置間の変動差を低減することも限界に近くなることを考えると、リアルタイムな装置キャリブレーション(校正)によるプロセスの安定化が重要になると考える。

## 5 おわりに

ここでは、65 nm世代に入ったSiデバイスの現状と展望、さらに、それを作るための製造技術について述べた。

微細化に伴う課題に対処するため、デバイス技術と製造技術は新しい展開を見せている。デバイスの微細化だけに頼った高集積化や高性能化にはかげりが見え始めており、デバイスではプロセスひずみや三次元化を使った性能向上や、新しい材料を使った不揮発性メモリへの展開などに、その兆候を見ることが出来る。製造技術には、デバイスのばらつき抑制への重要な役割が課せられ、数nmでの制御が要求されている。今後はますます、プロセス、デバイス、回路設計、製造が一体となった取り組みが重要となる。

日立グループは、こうした変化に対応しながら、最先端半導体デバイスの高品質・高効率な生産を実現するベストソリューションを提供していく考えである。

### 参考文献など

- 1) 木村, 外: ナノメートル世代のシリコン半導体デバイスの展望, 日立評論, 86, 7, 459~464(2004.7)
- 2) "ITRS ホームページ, <http://public.itrs.net/>
- 3) R. Tsuchiya, et al.: Technical Digest, Int. Electron Device Meeting, p.631(2004)
- 4) D. Hisamoto, et al.: Technical Digest, Int. Electron Device Meeting, p.1032(1989)
- 5) R. Chau, et al.: Ext. Abstract, Int. Conf. Solid State Devices and Materials, p.68(2002)
- 6) J. T. Park, et al.: IEEE Electron Device Letter, 22, p.405(2001)
- 7) C. Jahan, et al.: Symposium on VLSI Technology, p.112(2005)
- 8) N. Collaer, et al.: Symposium on VLSI Technology, p.108(2005)
- 9) J. A. Choi, et al.: Technical Digest, Int. Electron Device Meeting, p.647(2004)
- 10) S. M. Jung, et al.: Technical Digest, Int. Electron Device Meeting, p.265(2004)
- 11) J-H Park, et al.: Technical Digest, Int. Electron Device Meeting, p.873(2004)
- 12) Y. Shin, et al.: Technical Digest, Int. Electron Device Meeting, p.337(2005)
- 13) [http://resource.renesas.com/lib/jpn/flash\\_mcu/strategy/index.html](http://resource.renesas.com/lib/jpn/flash_mcu/strategy/index.html)
- 14) <http://www.sst.com/technology/>
- 15) N. Matsuzaki, et al.: Ext. Abstracts, Int. Conf. Solid State Devices and Materials, p.204(2003)
- 16) S. Tehrani, et al.: Proc. IEEE, Vol. 91, No. 5, p.703(2003)
- 17) S. Lai, et al.: Technical Digest, Int. Electron Device Meeting, p.255(2003)

- 18) J. G. Baek, et al.: Technical Digest, Int. Electron Device Meeting, p.587(2004)
- 19) N. Matsuzaki, et al.: Technical Digest, Int. Electron Device Meeting, p.757(2005)
- 20) A. Yamaguchi, et al.: Jpn. J. Appl. Phys., 42, p.3763(2003)
- 21) S. W. Chang, et al.: Proc of SPIE, 5753, p.1(2005)
- 22) M. Kurihara, et al.: Proc. of Dry Process Symp., p.7(2004)
- 23) M. Demand, et al.: Proc. of Dry Process Symp., p.401(2005)
- 24) S. Banerjee, et al.: Proc. of Technology Symposium Japan, p.1-26(2005)
- 25) H. Kokura, et al.: Proc. of Dry Process Symp., p.27(2005)
- 26) H. Fukutome, et al.: Symposium on VLSI Technology, p.140(2005)
- 27) K. Ota, et al.: Symposium on VLSI Technology, p.138(2005)
- 28) J. Y. Kim, et al.: Symposium on VLSI Technology, p.34(2005)
- 29) B. Degroote, et al.: Proc. of Int. Symp. Microelectronics and Interface, p.52(2005)
- 30) M. Kimura, et al.: NIKKEI MICRODEVICES, 246, p.111(2005)
- 31) Proc. of SEMI Technology Symposium Japan, Manufacturing Science(2005)
- 32) P. Chen, et al.: Proc. of Int. Symp. Semiconductor Manufacturing, p.155(2005)
- 33) J. Tanaka, et al.: Abstracts of APC Symp., Session 7-5(2003)
- 34) 池永, 外: 第66回応用物理学学会学術講演会(秋季)予稿集, p.111(2005)
- 35) K. Hashimoto, et al.: Symposium on VLSI Technology, p.39(2003)
- 36) Y. Tsumoda: Proc. of Int. Symp. Semiconductor Manufacturing, p.233(2005)

### 執筆者紹介



土屋 龍太

1998年日立製作所入社, 中央研究所 ULSI研究部 所属  
現在, 低電力CMOSデバイスの開発に従事  
工学博士  
応用物理学会会員  
E-mail: r-tsuchi@crl.hitachi.co.jp



伊澤 勝

1989年日立製作所入社, 中央研究所 先端技術研究部 所属  
現在, 半導体加工プロセス装置およびプロセス制御技術の開発に従事  
応用物理学会会員, 日本化学会会員  
E-mail: m-izawa@crl.hitachi.co.jp



木村 紳一郎

1980年日立製作所入社, 中央研究所 ULSI研究部 所属  
現在, マイコン混載用不揮発性メモリの開発に従事  
工学博士  
応用物理学会会員, IEEE会員  
E-mail: sayo@crl.hitachi.co.jp