

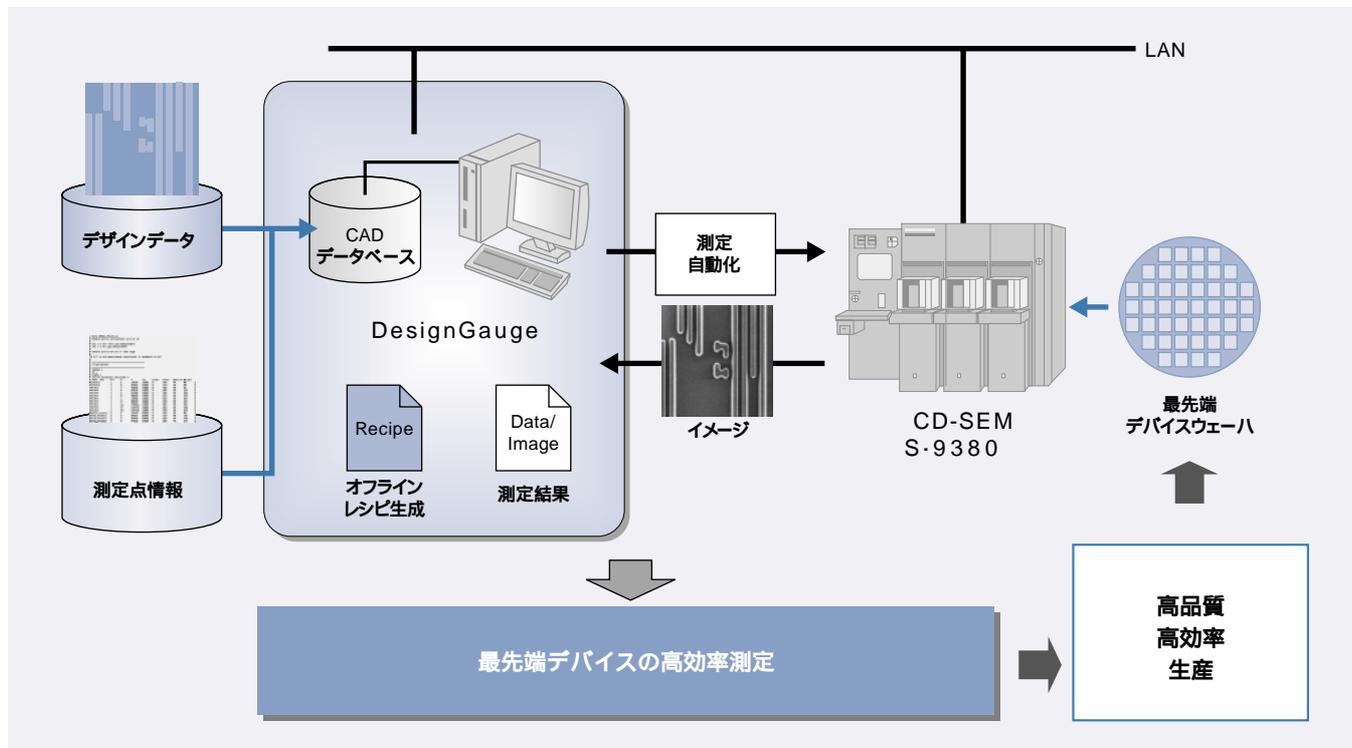
設計データを活用したCD-SEMの新しい世界

A New World of CD-SEM in Utilization of Design Data

川田 勲 Isao Kawata

長谷川昇雄 Norio Hasegawa

高見 尚 Shō Takami



注:略語説明 CAD(Computer Aided Design), CD-SEM(Critical Dimension-Scanning Electron Microscope), LAN(Local Area Network)

設計データを活用した測長SEMシステム

設計データを活用した測長SEMシステムは、自動化された測定により設計データとSEM像の形状の差異の抽出や、シミュレーション結果とSEM像との対照比較などにより、転写像の変形度合いを検査し、異常個所の抽出などを効率よく行うことができる。

半導体デバイスの微細化は、リソグラフィプロセスでの液浸露光¹導入の本格化により、微細化が加速している。しかし、リソグラフィの難易度も高まっており、プロセス余裕を確保するための超解像技術などが多用されることが必須である。これに伴い、パターン変形(近接効果)を補正するOPC(Optical Proximity Correction)の複雑化やマスクエラーの影響増大などが大きな問題である。これらの状況から、デバイスの歩留り向上を効率よく行うためには従来からの異物起因の欠陥の対策だけでは困難となっており、不良が起こりやすいHot Spot(危険箇所)の計測が望まれている。さらに、デザイ

ンの修正までさかのぼって対策するDFM(Design for Manufacturability)などへの対応も要求されている。

これらを実現する方法として、デザインデータの情報を使った計測技術としてDesignGaugeを開発した。この装置の適用により測定の自動化や、パターン設計や装置特性に依存するシステムティック欠陥の高効率計測が可能となる。また、計測の信頼性向上として、統計的なデータサンプリングによる計測精度の向上、立体形状の計測など最先端の技術に対応した計測技術を開発し、最新型測長SEMに搭載することにより、最先端デバイスの高品質、高効率生産の実現に貢献する。

1 はじめに

CD-SEM(Critical Dimension-Scanning Electron Microscope)は、半導体プロセスにおけるCD計測のメインツールとして幅広く用いられており、通常は、主に単

純な1方向の寸法計測に用いられてきた。近年はデザインルールの微細化に伴い測定点も増大し、計測時間のみならず、計測準備時間の増加などによる測定効率の低下や、レジストパターンのラフネスの影響や電子線のダメージによる測定値の信頼性低下などへの対応が大き

な課題となっている。また、DFM(Design for Manufacturability)に対応したデザインデータの情報を使った測定自動化や、システムティック欠陥の位置情報を用いた危険個所の計測などが要求されている。

リソグラフィー技術は、液浸露光の実用化によって、レンズの高NA(Numerical Aperture)化が可能となった。これにより、35 nmノードへの適用も可能という見方が主流となっている。また計測技術では、焦点深度低下への対応や測定精度の向上を進める。

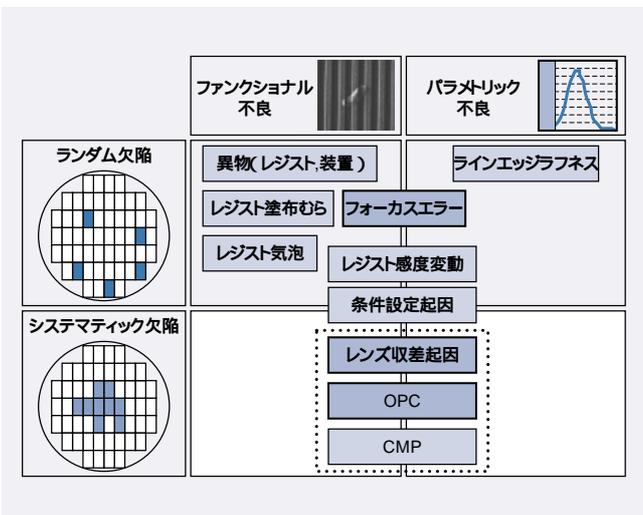
ここでは、デザインデータの活用をキーワードとして、これらの先端プロセスでの計測ニーズに対応した最新の計測技術について述べる。

2 次世代リソグラフィーでの計測技術の課題

2.1 リソグラフィーにおけるシステムティック欠陥

リソグラフィー工程での歩留り向上を実現するには、種々の欠陥対策を行う必要がある。欠陥の分類を図1に示す。

欠陥は、その原因から大きく2種類に分類できる。ランダムな欠陥としては、レジスト膜中の異物やプロセス装置で発生する異物などがある。システムティックな欠陥としては、パターン図形の設計にかかわるもの、露光装置などの特性から、特定の場所に発生する欠陥などがある。システムティック欠陥は、その原因によって発生する場所が特定される場合が多く、座標情報を持った欠陥となる。したがって、正確に現象を発見し、対策を取ることにより、高効率な対応が可能である。これらの因子の中でも、OPC(Optical Proximity Correction) 誤差、レンズ収差などは、今後のリソグラフィーで特に大きな欠陥要因と



注:略語説明 OPC(Optical Proximity Correction), CMP(Chemical Mechanical Polishing)

図1 リソグラフィ - 欠陥の分類
ランダムな欠陥とシステムティックな欠陥に分類される。

なるため、欠陥の検出と対策が必須である。

2.2 三次元計測技術

レジストパターン形状は、投影光学像やレジスト材料、現像プロセスなどの影響を受け、多様な形状に仕上がります。主な形状ファクタを図2に示す。

この形状が、あとのエッチングに影響し、被加工層の加工形状をばらつかせる。特に、パターンの微細化に伴い、パターンの垂直加工が望まれており、加工のマスクとなるレジストパターン側壁の角度情報や、上部の寸法(top width)と下部の寸法(bottom width),基板界面でのレジスト残り(footing)の評価が必要である。

次世代の高NAレンズを用いたパターン形成では、焦点深度の低下がパターン形成にも影響する。その例を図3に示す。特にパターン端部では、レジスト側壁の傾斜角度が焦点ずれの方向により大きく変化し、逆テーパになる場合も発生する。また、レンズの収差に起因した寸法誤差やOPC補正誤差なども発生するため、局部計測が必須となる。

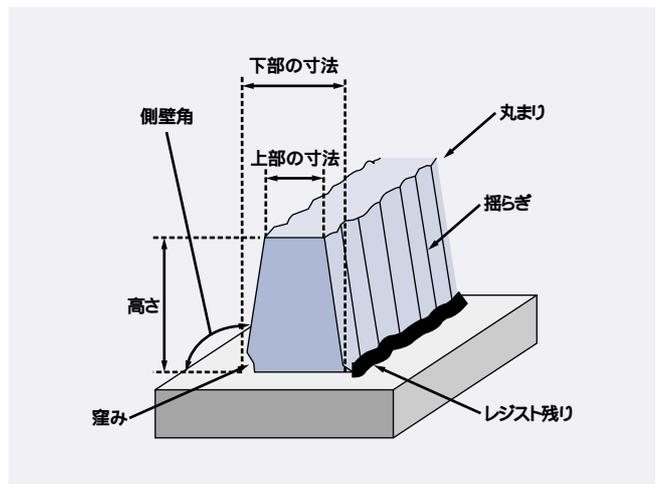


図2 レジストパターンの計測必要項目
レジストパターン側壁の角度情報、上部と下部の寸法、レジストの残りを評価する。

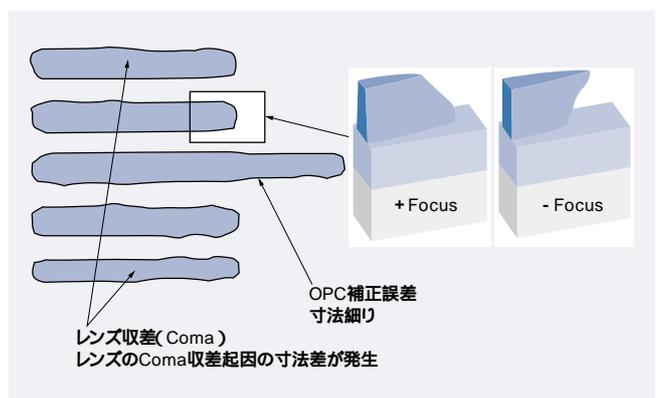


図3 レジストパターンでの局所計測の必要性
レンズのComa収差の影響でパターン群の外周部で寸法差が生じる。パターン端部では形状変化が顕著で逆テーパも発生する。

3 45 nmノード対応CD-SEM“S-9380”

45 nmノード世代のCD計測では、分解能や測長再現性の向上だけでなく、微細化に伴って顕在化してきたパターンラフネスや、三次元形状計測などの新しい課題への対応が求められている。

株式会社日立ハイテクノロジーズ（以下、日立ハイテクノロジーズと言う。）では、45 nmプロセスノードに対応したCD-SEM“S-9380”を提供している（図4参照）。この装置の持つ高いパフォーマンスについて解説し、45 nmに向けたCD-SEM計測技術について以下に述べる。

3.1 基本性能向上への取り組み

半導体プロセスは、国際半導体技術ロードマップ（ITRS（International Technology Roadmap for Semiconductors））に沿って技術開発が進められている。計測技術、CD計測についても同様に要求仕様が表示されており、この要求を達成するために開発を進めている。

現在、トップシェア（2004データクエスト記述）を持つ日立ハイテクノロジーズのCD-SEM装置は、パターン寸法の計測精度を高め、最新機種S-9380では、最高分解能2 nm（加速電圧：800 V）、測長再現性0.6 nm（3 σ ）を実現している。日立ハイテクノロジーズは、電子顕微鏡メーカーとして、そのコアコンピタンスである電子光学技術をベースに、世界最高分解能を持つ電子光学カラムを開発してきた。レンズ性能の向上や収差の低減による、さらなる分解能向上や測長再現性の向上を目指す姿勢は今後も変わらないが、デバイスの多様化に伴うさまざまな新規材料、新しいプロセスに対応した測定技術や、ユーザーニーズに応えるアプリケーション技術を開発している。開発した計測技術の一部について以下に述べる。

3.2 パターンラフネスへの対応

CD計測ではここ数年、線パターンの長さ方向の揺ら



図4 45 nmプロセスノード対応CD-SEM“S-9380”の外観
微細化に伴って顕在化してきたパターンラフネスや、三次元形状計測への対応が可能である。

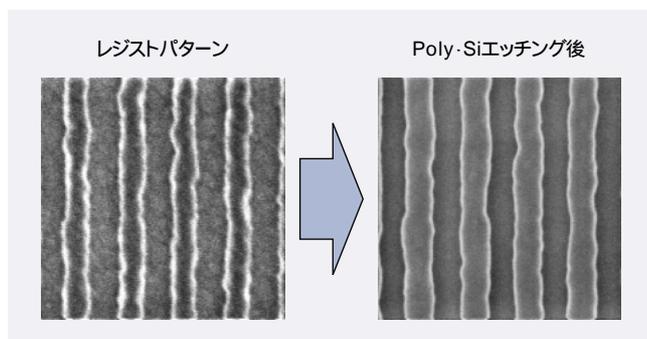


図5 レジストパターン長さ方向の寸法の揺らぎ例
レジストパターンの寸法揺らぎがドライエッチング後も観測されている。

ぎLER（Line Edge Roughness）や線幅の揺らぎLWR（Line Width Roughness）がトピックスとなっている（図5参照）。これは、特にゲートパターンのラフネスがトランジスタ特性を左右することから、ラフネスの詳細解析が必要になったからである。LERは、揺らぎの周波数で高周波と低周波が存在し、この値を用いたトランジスタの特性解析が必要なことから、それらを正確に計測することが求められている。また、一方ではLERが計測再現性の

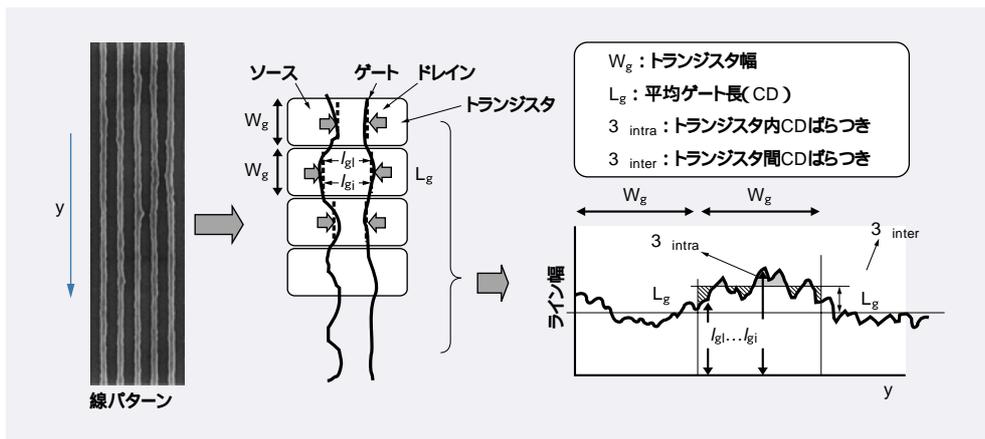


図6 LER/LWRの評価
対象パターンの長さ方向に多点分割してCD測定を行い、長さ方向のCDばらつき分布解析やトランジスタ内CDばらつき、トランジスタ間CDばらつき、平均寸法計測などが可能である。

低下の原因になっており、LERの影響を除去した計測への要求も大きい。最近のArF(フッ化アルゴン)レジストでの実際のLWRIは3~6nmと、通常のCD計測再現性より約1けた大きい値であり、プロセスの安定性をモニタする目的の計測などでは、誤判定の原因になる。

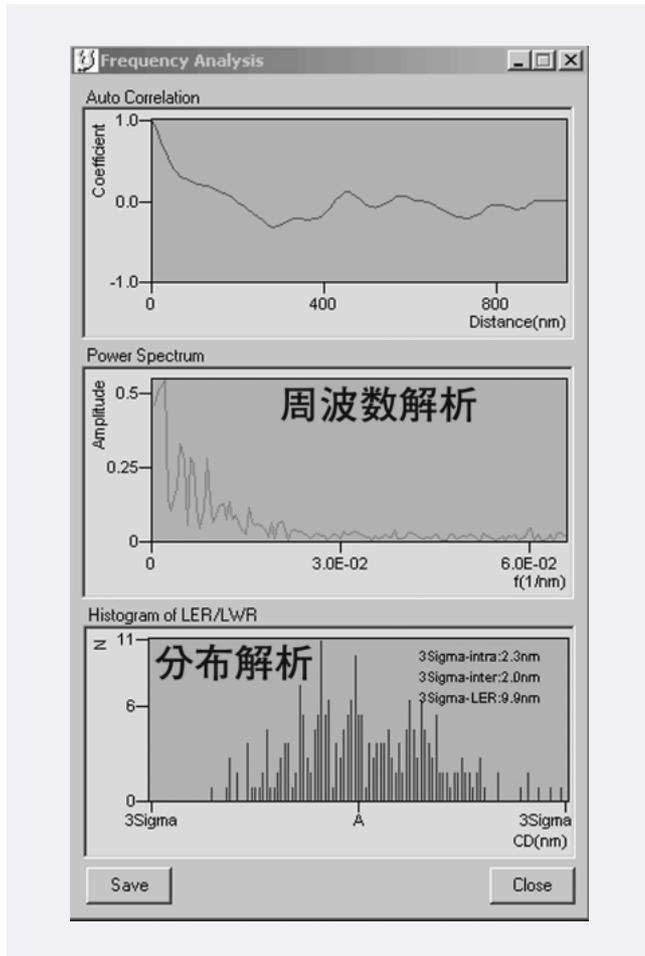


図7 LERの解析機能
CDばらつきの分布解析や周波数解析などが可能である(データ解析用PCの機能)

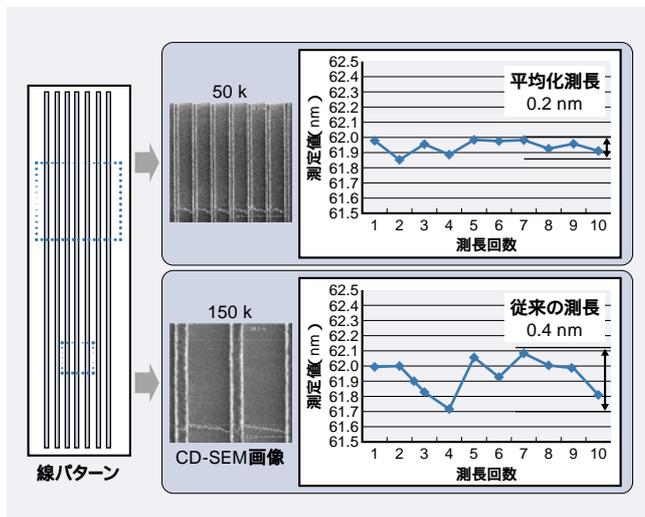


図8 平均化測長
従来計測法で0.4nmあった測長値のばらつきが、ACD(Averaged CD;平均化CD)測長機能により0.2nmに低減されている。

45nmノード以降のLSIプロセスでは、対象寸法に対してLERの比率が大きくなるため、LERの低減技術の開発はもちろんであるが、これを正確に表現できる計測アルゴリズムも必須である。このようなニーズに応えるために、S-9380ではLERの計測機能を備えた(図6,7参照)。LER計測は対象パターンの長さ方向に多点分割してCD計測を行い、統計解析により、長さ方向のCDばらつきの分布解析、周波数解析や平均寸法計測を行う機能である。また、LERの影響を回避する機能としてACD(Averaged CD)機能を搭載した。これは、数 μm の広い範囲で画像を取り込み、複数パターンの測定値を平均化することにより、LERの誤差を除去するものである。また、このACD方式では低倍率で画像を取り込むため、レジストに対する電子線のダメージも低減させ、高再現性、高スループット、低ダメージの測定が実現できる(図8参照)。この計測手法を用いることで、信頼性の高い安定したプロセスモニタリングが可能になる。

3.3 三次元形状計測

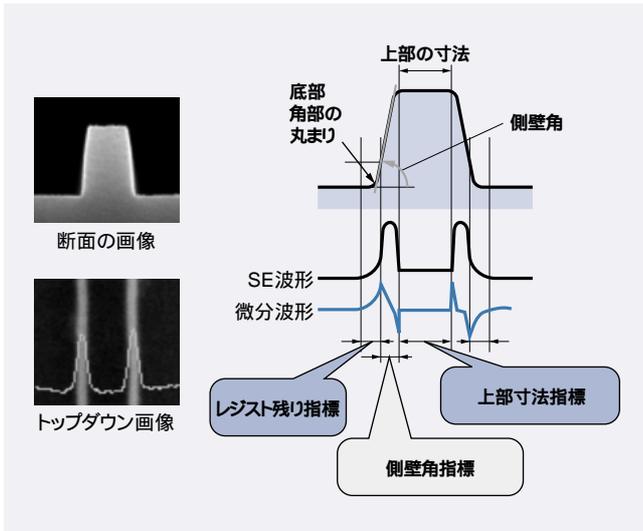
半導体プロセスの計測においては、平面的な寸法と同時にパターンの三次元形状の評価ニーズも高い。これは、パターンの断面形状がデバイス特性や歩留りに影響することや、プロセス変動の現象把握に有効であるからである。しかし、光学的手法のOCD(Optical CD)は専用パターンを用いる必要があり、AFM(Atomic Force Microscope)は接触式であることなど、現状では非破壊で試料の実パターンの三次元形状を計測することは困難である。

S-9380では、断面形状モニタリング機能として、SEM画像(Top View)を用いて、パターン輪郭部輝度を解析し、立体画像プロファイルに展開しながら、それぞれの部位の断面形状変化をモニタリングする機能MPPC(Multiple Parameters Profile Characterization)の搭載が可能である(図9参照)。

さらに、より詳細なパターン形状変形のモニタを目的とした、ビームチルト観察機能も搭載可能である。これは、ウェーハ試料に照射する電子ビームを傾斜入射させ、通常の上面(Top View)画像に対して、角度を持った画像(Tilt View)を取得して、パターンの側面などの三次元形状画像を観察する機能である。

4 設計データ応用システム “DesignGauge”

リソグラフィーの微細化に従い、OPCの複雑化や、製造プロセスでの検査個所の増大への対応、座標情報を持ったシステムティック欠陥への対応が必要となってい



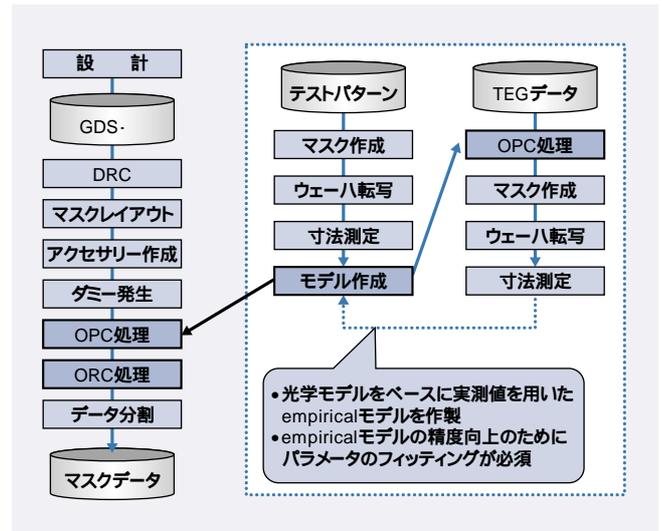
注:略語説明 SE(Secondary Electron)

図9 MPPCによる断面形状特徴値の抽出
トップダウン画像から三次元形状情報を得ることができる。

る。これらを効率的に対策する手段として、設計データを用いた計測法を開発した。この方法を用いることにより、問題箇所を設計部署と製造部署で共有化したり、容易に設計の変更をしたりすることが可能となり、開発効率の向上や生産歩留りの向上が可能である。この技術による設計データ応用システム“DesignGauge”の詳細について以下に述べる。

4.1 OPC処理

リソグラフィーにおいて設計通りのパターンをウェーハ上に転写するには、OPC処理が必要である。パターン形成における近接効果はレンズの解像限界に近いパターンの転写ほど顕著であり、複雑な補正が必要となる。OPC処理には大きくルールベースとモデルベースの2種類の方式がある。前者は補正ルールに基づいて図形演算で抽出したパターンを補正する方法で、比較的単純化した補正に好適である。後者のモデルベース法は複雑な補正に好適であり、主に90 nmノードから適用されている。モデルベースの処理フローを図10に示す。この方法では、正確なモデルの作成がOPCの精度向上の鍵となる。いずれの方法もテストパターンを転写し、補正用の大量なデータの取得が必要で、CD-SEMでの自動測長が望まれている。また、このモデルでデバイスパターンのOPC処理を実施した後、補正の妥当性を検証するORC(OPC Rule Check)を行う。ここでは、実際のプロセスでパターンの変形が起こりやすい部分などの危険箇所の抽出も行う。この部分は実プロセスで管理され、歩留り低下の原因となる場合はマスクの修正もあろう。このように、あらかじめ危険箇所と認識できる部分の座標情報を利用し、管理することにより、不良防止が可能である。



注:略語説明 DRC(Design Rule Check), ORC(OPC Rule Check)
TEG(Test Elements Group), GDS-(ストリーム形式のデータフォーマット)

図10 モデルベースのOPC処理フロー
正確なモデルの作成がOPCの精度向上の鍵となる。

4.2 DesignGaugeの概要

設計データ計測システムDesignGaugeは、OPCの精度向上の鍵となるOPCモデル作成のための大量データの取得や、実際のプロセスでパターンの変形が起こりやすい部分(Hot Spot)の観察などに有効である⁵⁾。

DesignGaugeは、設計データとウェーハ上に転写された半導体パターンを高精度で照合比較することが可能である。DesignGauge本体のソフトウェアはWindows PC上で動作し、測長SEMとネットワーク経由で全体システムと接続されている。これにより、デザインデータの情報を有効に使った測定の自動化や寸法計測が可能となる。

DesignGaugeの主な特徴を以下にあげる(図11参照)。

(1) オフラインレシピ作成機能

CADデータを活用することにより、従来は測長SEMを使用しないとできなかった測定レシピも、装置を使用せずオフラインで作成可能である。

(2) リモートコントロール機能

DesignGaugeで作成したレシピの実行により、測長SEMはリモート制御され、CADデータと半導体パターンの照合比較をしながら、レシピ上で指定された測定点のSEM画像データを取得する。また、取得した画像はDesignGaugeに保存される。

(3) CADデータを活用した測長機能

通常の測長SEMに搭載されている測長機能に加えて、CADデータと半導体パターンの差分を測長する機

) Windowsは、米国およびその他の国におけるMicrosoft Corp.の登録商標である。

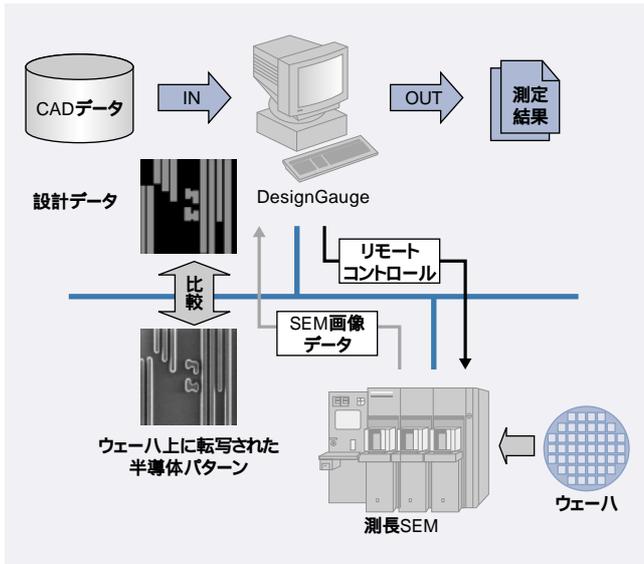


図11 DesignGaugeの主な特徴
設計データとウェーハ上に転写された半導体パターンを、高精度で照合比較することができる。

能が搭載されている。

(4) 再測長機能

DesignGauge内部に保存されたSEM画像を使用して、再度、測長機能を実行させることができる。

4.3 DesignGaugelによる効果

DesignGaugeの導入により、従来、非常に大変な作業であったOPC補正モデル作成用の大量なデータの取得作業が効率化され、1か月以上必要としていた期間が、約1週間にまで短縮可能となった。ウェーハ面内の5,000点のOPC補正データ取得作業の例を図12に示す。測定では通常のCD-SEMの方が処理能力はあるが、測定レシピ作成では、DesignGaugeを活用した場合の方が圧倒的に時間短縮の点で有利である。これにより、測長SEMの装置専有時間も大幅に短縮できる。

今後は、設計データを活用したレシピ作成だけでなく、今回、開発したパターン照合技術をさらに精度向上、発展させ、CADデータを用いた二次元計測技術を確認し、測長SEMの付加価値を高めていく予定である。

5 おわりに

ここでは、半導体の先端プロセスでの計測ニーズに対応した、最新の計測技術について述べた。

リソグラフィーの微細化はとどまるところを知らない。これに対応して検査・計測技術にもさらなる進化が望まれている。従来からの分解能や再現精度の向上はもちろん、微細かつ複雑化したパターンを正確に表現するには、従来の二次元形状計測から三次元形状計測への進化が求められる。また、複雑なOPC処理を高精度に

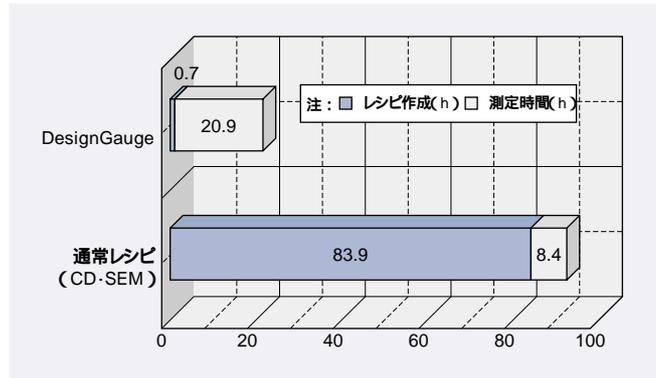


図12 DesignGaugeによる効果
OPC補正モデル作成用の大量なデータの取得作業が効率化される。

効率よく行うには、設計情報を利用した計測技術などが必須となる。種々の検査・計測情報のネットワーク管理なども効率化の推進には重要な課題であり、DFMの推進に好適な検査・計測に仕上げることも装置供給者としての重要テーマである。日立ハイテクノロジーズは、これらのニーズに応える計測技術を提供していく考えである。

参考文献

- 1) S.Owa, et al.:Immersion Lithography: Its Potential Performance and Issues, Proc. SPIE, vol. 5040, p.724(2003)
- 2) A.Yamaguchi, et al.:Metrology of LER: Influence of Line-Edge Roughness(LER) on Transistor Performance, Proc. SPIE, Vol. 5357, p.468(2004)
- 3) 村山, 外:『CMP評価用ワイドエリアAFM』第46回春の「応物」予稿集 P.906
- 4) M.Tanaka, et al.:Cross-Sectional Gate Feature Identification Using Top-Down SEM Images, Proc. SPIE, Vol. 5053, p.624(2003)
- 5) H.Morokuma, et al.:A New Matching Engine Between Design Layout and SEM Image of Semiconductor Device, Proc. SPIE, Vol. 5752, p.546(2005)

執筆者紹介



川田 勲

1979年日立東京エレクトロニクス株式会社入社、株式会社日立ハイテクノロジーズ 半導体製造装置営業統括本部 事業戦略本部、評価装置営業本部 アプリケーション技術部 所属
現在、CD-SEMなど計測装置のマーケティングに従事
E-mail:kawata-isao@nst.hitachi-hitec.com



長谷川昇雄

1969年日立製作所入社、株式会社日立ハイテクノロジーズ 半導体製造装置営業統括本部 評価装置営業本部 アプリケーション技術部 所属
現在、検査計測装置のアプリケーションの技術開発に従事
応用物理学会会員
E-mail:hasegawa-norio@nst.hitachi-hitec.com



高見 尚

1985年日立製作所入社、株式会社日立ハイテクノロジーズ ナノテクノロジー製品事業部 那珂事業所 半導体計測システム設計部 所属
現在、電子線装置の設計・開発に従事
E-mail:takami-sho@naka.hitachi-hitec.com