

45 nmノード対応縦型ALD成膜装置「ALDINNA」

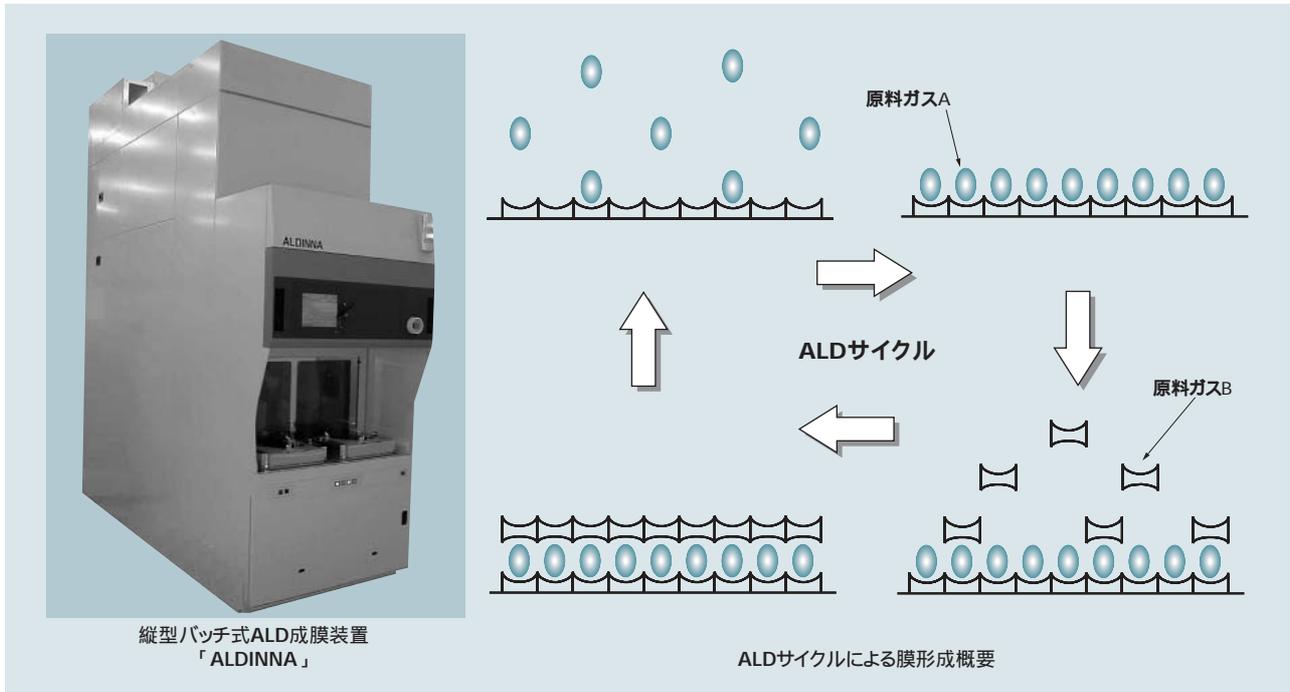
Vertical Batch Atomic Layer Deposition Equipment ALDINNA for 45-nm Node Devices

須田 敦彦 Atsuhiko Suda

水野 謙和 Norikazu Mizuno

金山 健司 Kenji Kanayama

境 正憲 Masanori Sakai



注:略語説明 ALD(Atomic Layer Deposition)

図1 45 nmノード世代に対応する縦型バッチ式ALD成膜装置「ALDINNA」

株式会社日立国際電気は、これまで蓄積してきた縦型酸化拡散・気相反応成膜技術や、次世代デバイスに展開可能な高浄化技術などをベースとして、45 nmノード世代の微細かつ複雑化するデバイスに対応可能な、原子層レベルの均質な縦型バッチ式ALD成膜装置「ALDINNA」を開発した。

半導体デバイスの微細化に伴い、低温度での成膜技術が要求されてきている。また、ALD(Atomic Layer Deposition)法は、熱履歴の低減や良好な段差被覆性などの特徴を有している。65 ~ 45 nmノード以降のデバイスには、この低温度に対応した成膜技術であるALD法が有望視されている。

株式会社日立国際電気では、バッチ式による生産性の拡大、高生産、高浄化QUIXACEプラットフォームの採用、原料ガス供給方式の最適化をコンセプトに、縦型バッチ式ALD成膜装置「ALDINNA(アルディーナ)」を開発し、2002年に製品化を果たしてきた。現在の対応膜種としては、SiN、SiO₂、AlO_x、HfO₂の4膜種を基本膜種として、ロジック、メモリ向けの成膜アプリケーションを展開するとともに、量産ラインでの適用により、半導体デバイスの生産に寄与している。

今後さらに、バッチサイズの拡大、ALDサイクルタイムの縮減によるスループット向上を図り、高生産性をアピールしていく。

1.はじめに

半導体デバイスの微細化に伴い、ますます低温度での良質な膜の形成技術が求められている。その中で、ALD(Atomic Layer Deposition)法は、低サーマルバジェット(熱履歴)や良好なステップカバレッジ(段差被覆性)などの特徴から、65 ~ 45 nmノード以降のデバイスプロセスに対応できる成膜技術として有望視されている。

株式会社日立国際電気は、長年培ってきた縦型バッチ炉の基本技術をベースとして、2000年に縦型ALD成膜装置「ALDINNA(アルディーナ)」を開発し、2002年に製品化し、市場に提供してきた。現在、対応膜種としては、SiN、SiO₂、AlO_x、HfO₂の4膜種を基本膜種として、量産ラインへ展開中である。

ここでは、45 nmノード以降のデバイスの微細化・高集積化に対応し、高精度・高品質な原子層レベルの膜形成を実現する縦型バッチ式ALD成膜装置「ALDINNA」について述べる(図1参照)。

2. 市場ニーズと課題

半導体デバイスでは、その微細化が継続的に進展しており、65 nm世代の量産化が始まり、45 nm世代以降に対応した研究開発も活発に行われている。この45 nmノード世代のデバイスの製造に必要な成膜技術には、1 nm以下の高精度な膜厚制御で、高品質な膜形成技術が必要とされている。ALD法では、原子層レベルの膜厚制御が可能であり、また、次世代の要求事項である低温処理対応という点においても有用な技術である。ALD法の適用が見込まれるデバイスの形成部位および膜種を図2に示す。

これまでの枚葉方式のALD成膜装置では、原子層レベルで制御する成膜を1枚ずつ行っていたため、著しく生産性が劣り、スループットの向上が大きな課題であった。日立国際電気は、生産性を大幅に向上させる技術として、反応室にウェーハを多段に載置し、一括処理を行うバッチ式でのALD法の実現を基本コンセプトに、縦型バッチ式のALD成膜装置を他社に先駆けて製品開発し、生産ラインへ投入してきた。

大きな反応室の中で、多数枚ウェーハの処理が一括で行えるALD法を実現するために、熱流体解析技術を駆使して、反応管およびウェーハを載置するポート構造を最適化している。また、大型の反応室でALDプロセスを短時間で行うために、反応解析でプロセス条件を最適化した。

さらに、各膜種で採用する成膜原料の特徴を把握し、これに最適な要素技術を組み合わせ、製品ラインアップの拡充を進めてきた。

3. ALDINNAの開発コンセプト

3.1 ALD法の基本シーケンス

ALD法の基本シーケンスを図3に示す。ALD法は、2種類以上のガスおよびガス状原料を反応室に交互に供給し、ウェーハ表面での化学反応によって成膜することが特徴であり、1シーケンスで1原子層相当レベルの膜厚を高精度に形成することが可能である。

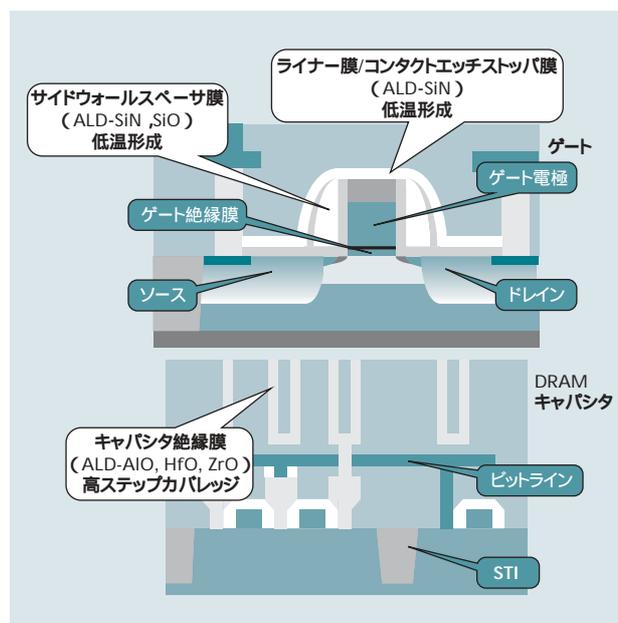
ALD法では、膜形成がCVD(Chemical Vapor Deposition)法に比べて時間が掛かることから、生産性向上には、基本シーケンスの各ステップの時間短縮も重要である。

3.2 縦型バッチ式ALD成膜装置の基本コンセプト

縦型バッチ式ALD成膜装置ALDINNAは以下の3点を基本コンセプトとし、原子層レベルの膜厚制御を可能にするとともに、デバイスメーカーの量産性確保に対応している。

(1) バッチ式の採用

高生産性を確保するため、処理方式を枚葉式に勝るバッチ式とし、50～100枚のウェーハを一括で処理することによって量産性能を確保した。



注:略語説明 DRAM(Dynamic Random Access Memory)
STI(Shallow Trench Isolation)

出典:SEAJ半導体製造装置ロードマップを基に、株式会社日立国際電気が作成

図2 半導体デバイスの構造概要とALD法適用部位
ゲート周りおよびDRAMのキャパシタにおけるALD法の適用部位と膜種を示す。

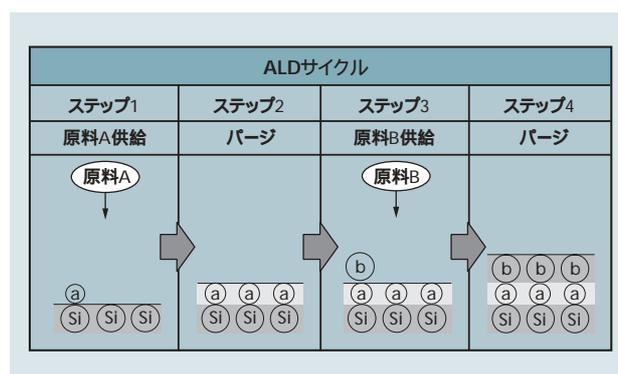


図3 ALD法の基本シーケンス

ALD法は、2種類以上のガスおよびガス状原料を反応室に交互に供給し、ウェーハ表面での化学反応によって成膜することが特徴である。

(2) 「QUIXACE」プラットフォームの採用

日立国際電気を持つ縦型装置の技術を基本ベースとして、高生産、高浄化QTAT(Quick Turn Around Time)対応装置「QUIXACE(クイックエース)」をプラットフォームとして採用し¹⁾、他製品群との共通化を図った。

(3) 原料ガス供給方法の最適化

原料供給時間短縮を目的として、各ウェーハごとにウェーハ側部から供給する流量を同一化できるように、熱流体解析により、ガス供給ノズル構造の最適化を実施した(図4参照)。

4. ALDINNAの性能と効果

4.1 窒化シリコン(SiN)膜向け装置の特徴

窒化シリコン膜形成プロセスでは、原料ガスにシリコン原料と窒素原料を使用する。600 以下の低温域での膜形成に

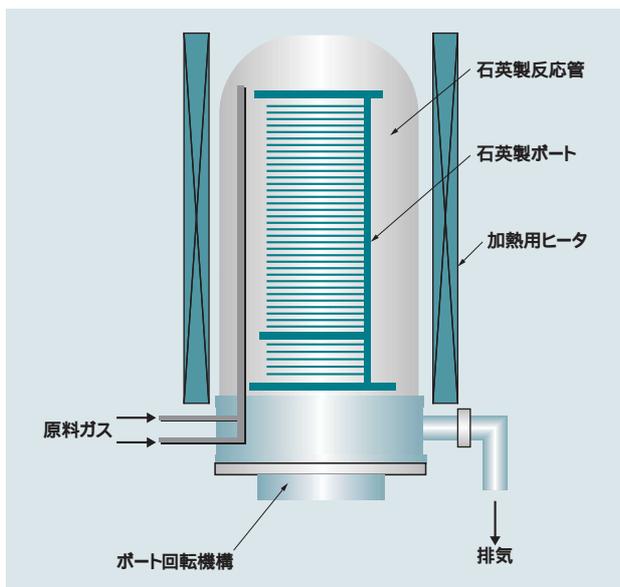


図4 縦型バッチ式ALD成膜装置の構造概略
ALDの反応炉では、原料ガスを各ウェーハごとにウェーハ側部から同一流量供給し、原料供給時間を短縮する。

は、ウェーハの極近傍での窒素活性種の生成が必要である。日立国際電気は、世界で初めてプラズマ源をバッチ式装置に設ける構造を考案し、効果的な窒素活性種の生成を実現するとともに、従来の外部装着型プラズマ源を有する装置に比べ、窒素原料供給ステップ時間を $\frac{1}{6}$ に短縮した。

また、反応解析によれば、ウェーハ表面への原料供給時間を短縮するには、原料分圧を上昇させることが有効である。これを具現化するために、シリコン原料を短時間に反応室内に供給する方式を採用した結果、シリコン原料の供給ステップ時間を $\frac{1}{7}$ に短縮した。

各種パターンにおけるステップカバレッジの観察例を図5に示す。膜形成がウェーハ表面における化学反応によるALD法では、きわめて良好なステップカバレッジ特性が得られる。

水素含有量を減圧CVDで得られた膜との比較を図6に示す。水素含有量を水素脱離量によって計測しており、ウェーハ表面の化学反応を利用したALD法では、低水素の良質な膜がより低温域で形成されることがわかる。

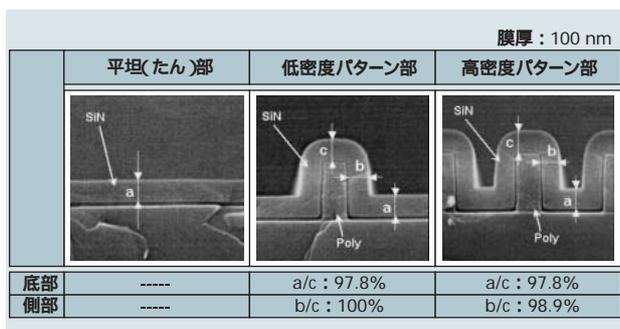
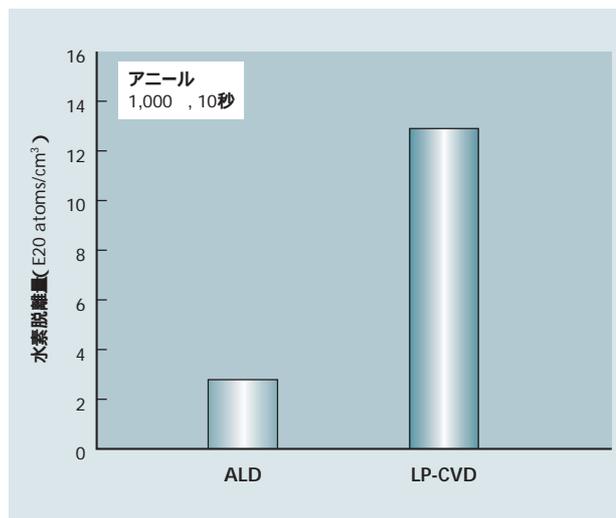


図5 ステップカバレッジの観察例(SiN膜)
膜形成がウェーハ表面における化学反応によるALD法では、きわめて良好なステップカバレッジ特性が得られる。



注:略語説明 LP-CVD(Low Pressure Chemical Vapor Deposition)

図6 水素脱離量比較(SiN膜)

膜形成がウェーハ表面における化学反応によるALD法では、低温で水素含有量の低い良質な膜が得られる。

4.2 高誘電率膜向け装置の特徴

酸化アルミニウム(AlO)、酸化ハフニウム(HfO)に代表される高誘電率膜は、特にDRAM(Dynamic Random Access Memory)のキャパシタ形成膜としての適用が進んでいる。メモリ容量拡大に伴い、キャパシタ面積は拡大し、キャパシタ構造も複雑化の傾向にある。これに対して、ALD法の良好なステップカバレッジ特性が有効になる。

高誘電率膜原料の金属原料は、ほとんどが液体であり、この液体を定量計測し、かつ、気化させる機能を有する原料供給系が特徴である。またこの原料は吸着性が高く、特にハフニウム原料においては熱分解しやすいため、ウェーハ周辺部への吸着が顕著となり、これが膜厚均一性を阻害する原因にもなる。そこで、ウェーハ周辺構造を見直し、ウェーハ表面に吸着する原料との消費バランスを調整した。これにより、反応室内全域での膜厚均一性を確保している。

4.3 酸化シリコン(SiO)膜向け装置の特徴

酸化シリコン膜は、窒化シリコン膜同様に多くの部位に使用されているが、45 nmノード以降においては、より低温下での膜形成の要求が高まっている。ALD法の優れたステップカバレッジ特性に加え、反応効率が高く、熱分解しにくいシリコン原料を選択することにより、原料供給時間を短縮し、処理能力を向上させることが可能となった。

4.4 高生産性への取り組み

日立国際電気は、2000年にALDINNAの開発に着手し、2002年に製品化し、市場に提供してきた。当時のデバイスメーカーの生産形態におけるニーズは多品種少量かつ、TAT (Turn Around Time)縮減であり、一般的に、量産性を確保

表1 ALDINNAの基本性能
基本4膜種についての装置性能を示す。

項目	SiN	SiO	AlO	HfO
ウェーハサイズ (mm)	300			
処理枚数 (枚)	100	100	75	75
膜厚均一性 (WIW) (±%)	2.0	2.0	2.0	3.0
ステップカバレッジ (%)	>97	>95	>95	>85
パーティクル (>0.13 μm) (pcs/wf)	<50	<50	<30	<50
スループット (枚/時)	32 @25 nm	31 @6 nm	30 @5 nm	18 @6 nm

注:略語説明 WIW(Within Wafer), pcs/wf(Pieces per Wafer)

しながら,1バッチ当たりの処理時間が短いミニバッチ構想が採用される傾向にあった。すなわち,バッチサイズは25枚もしくは50枚程度であった。現在もTAT縮減への要求は継続されており,実際の成膜処理前の準備時間や成膜後の後処理時間などのオーバーヘッド時間,ウェーハ搬送時間の短縮が積極的に行われている。一方,さらなる量産性を確保するためのラージバッチ構想も再燃してきている。

ALD成膜装置についての顧客要求も同様であり,これに対応するために,以下の取り組みを行ってきた。

(1) バッチサイズの拡大

従来の50枚,75枚から,100枚,125枚への展開を図る。

(2) ALDサイクルタイムの縮減

バッチサイズ拡大に伴い,ウェーハ載置ピッチが小さくなるが,狭ピッチにおいてもウェーハ表面への効果的なガス供給

の実現と,ガスの切り換え時のバージ時間の縮減を実施する。

対象とするガス種とその反応系に応じた反応管構造の見直しを行い, SiN膜では従来比70%向上の32枚/時(膜厚25 nm), HfO膜では従来比38%向上の18枚/時(膜厚6 nm)のスループット向上を実現した(表1参照)。

5. おわりに

ここでは,45 nmノード以降のデバイスの微細化・高集積化に対応し,高精度・高品質な原子層レベルの膜形成を実現する縦型バッチ式ALD成膜装置「ALDINNA」について述べた。

2002年に世界初の縦型バッチ式ALD成膜装置を製品化し,2006年12月には累積100台を達成した。2007年度末には200台に達する見込みである。

デバイス構造はますます複雑化し,低サーマルバジェット,高ステップカバレッジが要求されるようになるため,原子層レベルの膜厚制御が可能なALDINNAへの期待がいっそう高まっている。

株式会社日立国際電気は,今後も,微細化・高集積化に対応したハードウェア制御技術,プロセス制御技術で,半導体デバイスの進化に貢献していく考えである。

参考文献

- 1) 島田,外:次世代デバイス対応縦型拡散・CVD装置「QUIXACE」の展開,日立評論,88,3,303~306(2006.3)

執筆者紹介



須田 敦彦
1993年株式会社日立国際電気入社,電子機械事業部
富山工場 ALD開発設計部 所属
現在,ALD装置の製品開発に従事



水野 謙和
1992年株式会社日立国際電気入社,電子機械事業部
富山工場 ALD開発設計部 所属
現在,ALDプロセス開発に従事



金山 健司
1991年株式会社日立国際電気入社,電子機械事業部
富山工場 ALD開発設計部 所属
現在,ALD装置の製品開発に従事



境 正憲
1993年株式会社日立国際電気入社,電子機械事業部
富山工場 ALD開発設計部 所属
現在,ALDプロセス開発に従事