

複雑化する社会システムを解く 新原理コンピューティング

—イジング計算機—

山岡 雅直
Yamaoka Masanao

吉村 地尋
Yoshimura Chihiro

林 真人
Hayashi Masato

奥山 拓哉
Okuyama Takuya

青木 秀貴
Aoki Hidetaka

水野 弘之
Mizuno Hiroyuki

今後の社会イノベーション事業では、社会システムの最適化が求められ、そのためには組み合わせ最適化問題を解く必要がある。組み合わせ最適化問題を効率よく解く新しい原理のコンピューティング技術として、イジングモデルを用いたコンピューティング技術を提案し、2万スピンを含んだイジングチップを65 nmプロセスで試作した。イジングチップでは、組み合わせ最適化問題を磁性体のスピン

の挙動を表すイジングモデルに写像し、その収束動作によって問題を解く。収束動作はCMOS回路によって実現した。試作チップにより、100 MHz動作が可能で実際に組み合わせ最適化問題が解けることを確認するとともに、従来のノイマン型計算機を用いた場合に比べて約1,800倍の電力効率で問題を解けることを確認した。

1. はじめに

今後、社会の持続的な発展とさらなる快適性を追求していくうえで、社会イノベーションが必須となる。社会イノベーションを実現するには、豊かな社会を構築するインフラ技術と高度なIT (Information Technology) の組み合わせが必要となる。これまでのITは、スーパーコンピュータに代表されるように、多くの数値計算を行うところに主眼が置かれてきた。しかし、社会イノベーションを実現するには、社会システムの最適化が必須となる。例えば、交通システムや物流システム、電力グリッドなどでは、自動車の流れや配送経路、電力の流通量などを最適化する必要がある(表1参照)。この社会システムの最適化には、組み合わせ最適化問題と呼ばれる問題を解く必要がある。従来のコンピューティング技術では、組み合わせ最適化問題

を効率的に解くことは困難である。そこで、日立は、社会イノベーションを実現するためのコンピューティング技術として、組み合わせ最適化問題を効率的に解く新しい概念のコンピューティング技術を開発した。

本稿では、この新概念コンピューティングに関して解説する。

2. 組み合わせ最適化問題

組み合わせ最適化問題とは、与えられた条件の中で評価指標を最大(または最小)とするパラメータの組み合わせの解を探索するものである。本章では、その例として巡回セールスマン問題を説明し、従来のコンピューティング技術で組み合わせ最適化問題を解いたときの問題点について述べる。

2.1 組み合わせ最適化問題の例

最も有名な組み合わせ最適化問題の一つとして、巡回セールスマン問題と呼ばれるものが挙げられる。これは、複数の都市とその都市間の距離のリストが与えられたときに、すべての都市を回って出発地に戻る最短の経路を探索する問題である。この問題では、都市の数を N_c とすると全都市を回る経路の数は $(N_c - 1)!/2$ となる。この式からも分かるように、 N_c が増加すると経路の数は爆発的に増

表1 | 社会イノベーションに必要なシステムの例

今後の社会システム最適化では、センサーなどから入力される情報を用いて制御因子を決定する組み合わせ最適化問題を解く必要がある。

システム	交通	物流	電力グリッド
目的	移動時間低減	配送コスト低減	発電電量低減
入力情報	交通の状態 各車の目的地	それぞれの道路の 移動のコスト	発電量 消費電力量
制御因子	信号 各車の動き	配送経路	配電経路
組み合わせ最適化問題	最大フロー 最短経路	巡回セールスマン	最大フロー

加する。

このように、組み合わせ最適化問題は、その問題で決定するパラメータの数が多くなると、その問題の解の候補が爆発的に多くなるという特徴がある。今後、社会システムはシステム自体が大規模化するとともにシステムのつながりも複雑化し、最適化するパラメータの数は増大する傾向にあると言える。よって、組み合わせ最適化問題を社会イノベーションに適用する際には、その最適化する解の候補が爆発的に増大すると考えられる。

2.2 組み合わせ最適化問題を解く方法と問題点

従来のコンピューティング技術で組み合わせ最適化問題を解く場合には、すべてのパラメータの組み合わせパターンに対して評価指標を計算し、その中から評価指標を最小とするパラメータの組み合わせを選択する[図1(a)参照]。パラメータの数が n の場合には、その組み合わせの数は 2^n 通りとなる。例えばパラメータの数が1,000個あった場合には、パラメータの組み合わせは $2^{1000} \approx 10^{300}$ となり、膨大な組み合わせパターンに関して評価指標をすべて計算するのは事実上不可能となる。

実際には、すべての組み合わせパターンに対して評価指標を計算するのではなく、近似的に最適なパターンを求める近似アルゴリズムが使われる。しかし、やはりパラメータの数が増大すると、近似解でさえ求めるのが困難となる。また、これまでの計算手法は半導体の微細化によって計算に用いられるCPU (Central Processing Unit) の性能を向上させることで大規模な問題に対応してきた。しかし、近年、半導体の微細化は終焉するといわれており、実際、2000年代後半にはCPUの動作周波数の向上は頭打ちとなっている。よって、今後の大規模化、複雑化するシステムの最適化に対応するためには、従来の計算手法によらない計算手法が必要となる。

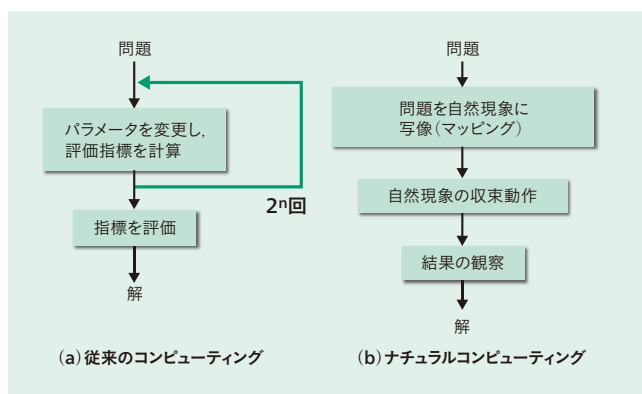


図1 | 最適化問題を解く際の手順

従来のコンピューティングを使った場合には、すべての評価指標を繰り返し計算し、指標を評価する。ナチュラルコンピューティングでは、自然現象が収束する性質を利用して繰り返しの計算回数を削減する。

3. 新概念コンピューティング

従来の計算機は、問題をプログラム(手順)に分解し、そのプログラムを順次実行することで問題を解いていた。しかし、前章で述べたとおり、組み合わせ最適化問題を解く場合には、プログラムを実行する手順が爆発的に増加するという問題がある。そこで、計算の概念を変えるナチュラルコンピューティングと呼ばれる技術が提案されている。本章では、ナチュラルコンピューティングに関して説明し、その例としてイジングモデルを用いたコンピューティング技術について述べる。

3.1 ナチュラルコンピューティング

ナチュラルコンピューティングによる計算の手順を図1(b)に示す。ナチュラルコンピューティングでは、解く問題を自然現象に写像(マッピング)し、その自然現象の収束動作によって与えた問題を収束させる。その後、収束結果を観測することで問題の解を得る。ナチュラルコンピューティングの例を表2に示す。脳のニューロンの現象を用いたニューロコンピューティングでは、人工知能などで用いられる認識処理を加速する。組み合わせ最適化問題を解く技術として、磁性体のスピンの振る舞いを表す統計力学上のモデルであるイジングモデルを用いた技術が提案されている。

3.2 イジングモデルとそれを用いたコンピューティング技術

イジングモデルを図2に示す。イジングモデルは、磁性体の性質を表す上下の向きを持つスピンの状態 σ_i と2つの

表2 | ナチュラルコンピューティングの例

自然現象をコンピューティングに用いる技術が提案されている。それぞれ認識処理や組み合わせ最適化問題など、従来は重視されてこなかった処理に用いられる。

	ニューロチップ	超伝導イジング	本研究
自然現象	脳(ニューロン)	磁性体のスピン(イジングモデル)	
利用素子	半導体	超伝導体	半導体
応用	認識	最適化問題	
発表年度	2014	2011	2015

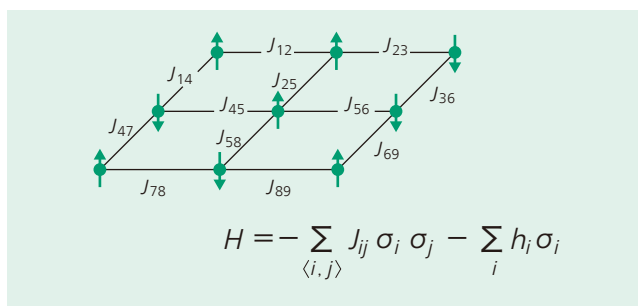


図2 | イジングモデル

強磁性体の性質を表す統計力学上のモデルをいう。2つの配位状態をとる格子点(スピン)から構成され、隣接する格子点の相互作用を考慮したエネルギー H が最低の場合に安定状態となる。

スピンの間で及ぼしあう相互作用の力を表す相互作用係数 J_{ij} 、および外部から与えられた磁場の力を表す外部磁場係数 h_i で表される。そのイジングモデルが持つエネルギー H は同図内の式で表される。イジングモデルはそのエネルギー H が最小となるようにスピンの状態が更新され、最終的に H が最小となるという性質がある。組み合わせ最適化問題の評価指標がこのイジングモデルのエネルギーに対応するように問題を写像してイジングモデルを収束させることによってエネルギーを最小とするスピンの状態の組み合わせが求まり、それはすなわち元の最適化問題の評価指標を最小化するパラメータの組み合わせが求まることを意味している。

従来は、表2に示すように、超伝導素子を用いてこのイジングモデルを再現するコンピューティング技術が提案されていた。

4. CMOSイジングコンピューティング

このイジングモデルを半導体のCMOS (Complementary Metal Oxide Semiconductor) 回路を用いて模擬することを提案した。CMOS回路を用いることで、製造が容易で拡張性が高く使いやすいという特徴がある。本章では、CMOSを用いたイジングコンピューティングに関して説明する。

4.1 CMOSによるイジングモデルの模擬

CMOSによってイジングモデルを模擬する技術を提案した。イジングモデルは、スピンの状態を2値で保持する必要があるため、半導体を用いたSRAM (Static Random Access Memory) によってスピンの状態を保持する。さらに、スピン間の相互作用の強さを表す相互作用係数と外部磁場の強さを表す外部磁場係数を、スピンの値と同様にSRAMによって保持する。また、スピンの値を更新するための相互作用の効果は、デジタル回路の動作によって再現する。

これらの動作を実現するために1つのスピンは図3に示す回路によって実現される。スピンの値および相互作用と外部磁場の係数を保持する複数のメモリ回路と相互作用の動作を計算するためのデジタル回路が含まれている。

スピンの回路には、相互作用の計算をするために周辺のスピンの値が入力される。実際のスピンの値の更新は次の手順で実施される。まず、スピンの値が読みだされ、周辺のスピン回路に入力される。同時に、相互作用の係数の値も読みだされる。それらの値を用いて新しいスピンの値が計算され、スピン値が更新される。このスピン値の更新は、接続されていない全スピンで同時に実行される。よって、

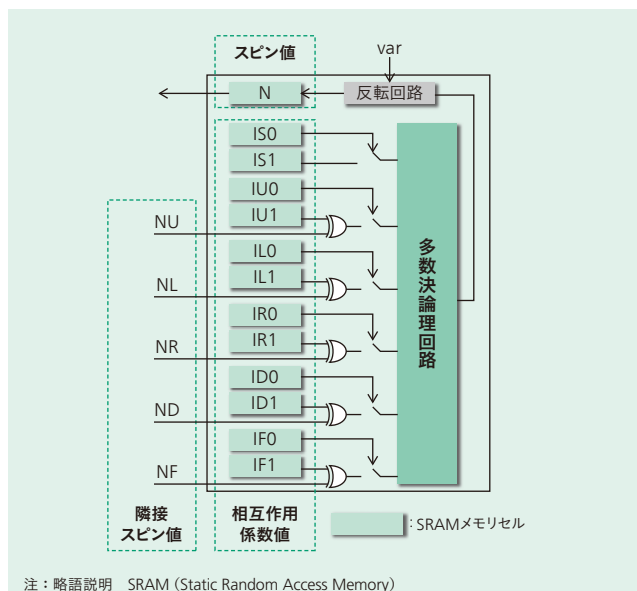


図3 | 1スピンの回路図

スピンの値および相互作用係数を表すSRAMメモリセルと相互作用の計算をする多数決論理回路で構成される。隣接スピンの値は周辺から入力される。

イジングモデルに含まれるスピンの数が増加すると同時に更新するスピンの数も更新されるため、スピンの更新に必要な全体の時間、つまり、イジングモデルを収束させるための計算時間が全スピン数の増加によって受ける影響は小さい。

実際のスピン値の更新は、次の規則に従って図3の回路で実行される。

$$\begin{aligned} \text{新しいスピンの値} &= +1 \quad (a > b \text{ の場合}) \\ &= -1 \quad (a < b \text{ の場合}) \\ &= +/-1 \quad (a = b \text{ の場合}) \end{aligned}$$

ここで、(隣接スピン値, 相互作用係数) とした場合に、 a は $(+1, +1)$ または $(-1, -1)$ の数、 b は $(+1, -1)$ または $(-1, +1)$ の数である。

正の相互作用係数を持つ周辺スピンと同じ向きへ、負の相互作用係数を持つ周辺スピンとは別の向きを向く方向に力が加わり、周辺スピンからの影響の多数決によって新しいスピンの値が決定される。これは周辺のスピンからの影響の多数決によって決定され、実際の回路ではそれぞれのスピンの影響を電流値に変換し、その電流値の多数決を取ることによって相互作用動作を実現する。

4.2 CMOSアニーリング

前述の相互作用動作によって、イジングモデルが持つエネルギーは図4に示すようなエネルギープロファイルに従って低下する。しかし、同図に示すようにエネルギープロファイルには山と谷があり、相互作用の動作のみでは局所解と呼ばれる最小のエネルギーではない部分にとらわれてしまう可能性がある。

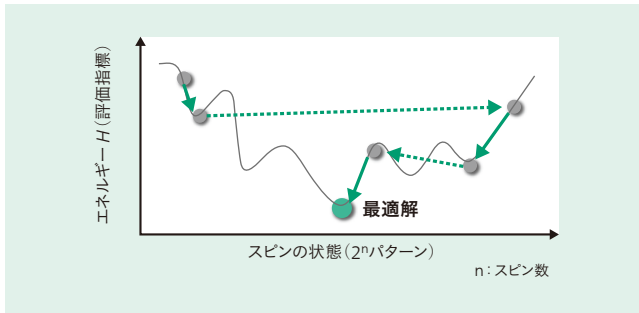


図4 | イジングモデルのエネルギープロファイルとCMOSアニーリング
イジングコンピューティングでは、スピン間の相互作用によってエネルギーはエネルギープロファイルに従って減少する(実線矢印)が局所解に固定される可能性がある。乱数を入力してわざとスピン値を反転させる(破線矢印)ことで局所解への固定を避ける。このCMOS (Complementary Metal Oxide Semiconductor) アニーリングという動作により、なるべくエネルギーの低い解が求まる。

この局所解から脱出するために、ランダムにスピンの状態を破壊する。実際には、**図3**に示すスピン回路内のvar信号に乱数列を注入し、乱数列の値が「1」の場合にはスピン回路内の反転論理回路によって更新するスピンの値を反転させ、**図4**の点線のように関係ない状態にランダムに遷移させる。この2つの動作を合わせてCMOSアニーリングと呼ぶ。これにより、できるだけエネルギーが低い状態を見つけることができる。

実際には、乱数を用いているため、必ずしも最適な解が求まるとは限らない。しかし、このコンピューティング技術を社会システムの最適化に使う場合には、必ずしも最適値でなくても許容できると考えられる。例えば、物流の経路を求める際に、経路全体の値が多少長くなってもシステム最適化の観点から見れば許容可能であると考えられる。実際に、このコンピューティング技術を用いる際には、例えば90%以上の可能性で99%以上の精度で解が求まるということを理論的に保証することで、この技術で得られた解をシステムに用いても問題ないことを保証するという使い方が考えられる。

5. プロトタイプ計算機

提案したイジングコンピューティングを実証するために、65 nmのCMOSプロセスを用いてイジングチップを試作した。さらにこのイジングチップを搭載した試作機を作成し、最適化問題が解けることを確認した。本章ではその試作機とそれを用いて最適化問題を解いた結果について説明する。

5.1 イジングチップ

65 nmの半導体CMOSプロセスを用いてイジングチップを試作した。チップ写真を**図5**に示す。3 mm×4 mmのチップ内に20k(=2万) スピンを搭載した。1スピンのサ

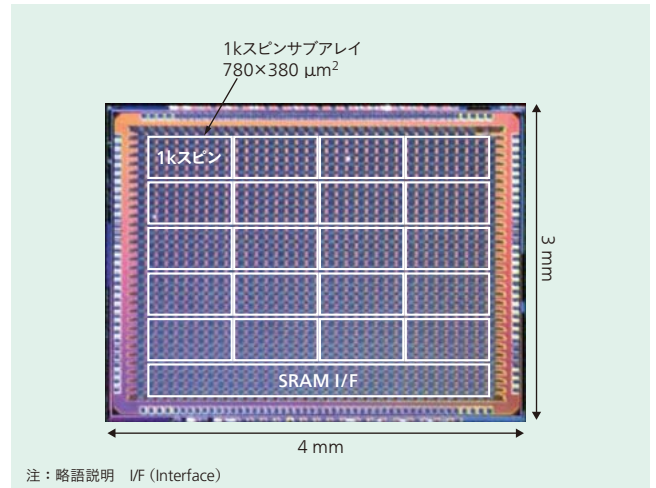


図5 | イジングチップ写真

3 mm×4 mm=12 mm²の中に20k個のスピンの搭載されている。

イズは、11.27 μm×23.94 μm≒270 μm²である。外部からスピンおよび相互作用係数を書き込み/読み出しするためのインタフェース回路は100 MHzで動作する。また、スピン値を更新する相互作用動作も100 MHzで動作する。

このイジングチップでは、**図6**の上を示すように二次元の格子状のイジングモデルが2層接続された三次元のイジングモデルが搭載されている。同図の下に示すように、三

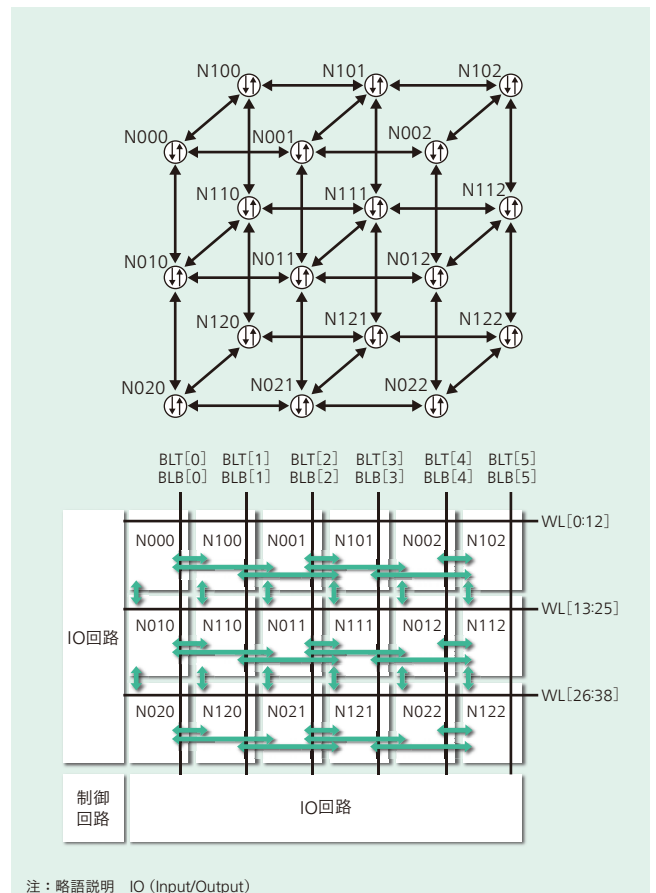


図6 | 搭載したイジングモデルのトポロジと対応するメモリ構成

二次元のイジングモデルが積層された三次元イジングモデルが二次元の半導体メモリ上に配置され、高いスケーラビリティを実現している。

次元のイジングモデルは二次元のメモリ構造に埋め込まれる。半導体のチップでは、二次元構造を持つことによって高い集積性を実現しており、試作したイジングチップも同様に高い集積性、つまり、多くのスピンを搭載できるという特徴がある。

今回の構成では、1つのスピンは前後左右および上または下の5つのスピンと接続された構成を持っている。よって、接続されたスピンの同時に値を更新しないためには、全スピンの2分の1のスピンのみが更新できることになる。実際には、同時に相互作用を及ぼす際の消費電力を最小化するために8分の1のスピンのみが同時更新する構成とした。

5.2 イジングコンピューティング試作機

2つのイジングチップを搭載したイジングコンピューティングの試作機を図7に示す。試作機にはLAN (Local Area Network) 経由でPC (Personal Computer) やサーバからアクセス可能で、最適化問題を入力して解くことが可能となる。

組み合わせ最適化問題である最大カット問題をイジングチップで解いた場合の結果を図8に示す。同図の左のグラフは、最大カット問題を解いた場合におけるイジングモデル

のエネルギーの変化を示す。時間とともにエネルギーが低下し、最終的に10 ms程度でエネルギーが最小になっていることが分かる。

問題を解かせた際のスピンの状態変化を図8の右の2色の絵によって示す。ここで、白点が上向きを、黒点が下向きを表現している。今回の問題は、最適解が見つかった際にスピンの状態を表す絵の中に「ABC」という文字がクリアに表れるよう設定した。絵のスピンの状態の変化を見ると、初期状態ではスピンの状態がランダムになっており、白点と黒点が規則性なく配置されている。5 ms後には、イジングモデルのエネルギーが下がり、ノイズを含んだABCの文字が表れている。しかし、この状態はノイズが含まれていることからおぼろしく局所解の状態となっている。さらにCMOSアニーリングを実行することで、エネルギーが下がって10 ms後の時点でABCの文字がノイズなく表れている。この状態がエネルギー最小の状態、つまり、最大カット問題の最適解が求まっている状態を示している。

今回の例では、最適解が求められている例を示したが、必ずしも毎回最適解が求まるとは限らない。ただし、この動作によってエネルギーが下がり、組み合わせ最適化問題を解けることが確認できた。

ランダムに生成した最大カット問題を解かせた際に必要なエネルギーを従来技術と比較した場合の結果を図9に示す。横軸はイジングモデルに含まれているスピンの数を示している。また、従来技術としては、最大カット問題を解くのに最適化されたSG3という近似アルゴリズムを汎用CPUで実行している。それぞれの技術によって同じ問題を解き、同程度の解精度が求まるまでに消費したエネルギー量を比較している。今回用いた近似アルゴリズムであるSG3は、イジングモデルを用いた最大カット問題に最適化されたアルゴリズムのため、20kスピンでは速度的に



図7 | イジングコンピューティングの試作機

2つのイジングチップが搭載されたイジングノードの外観を示す。サーバやPC (Personal Computer) とLAN (Local Area Network) ケーブルで接続され、組み合わせ最適化問題を解く。

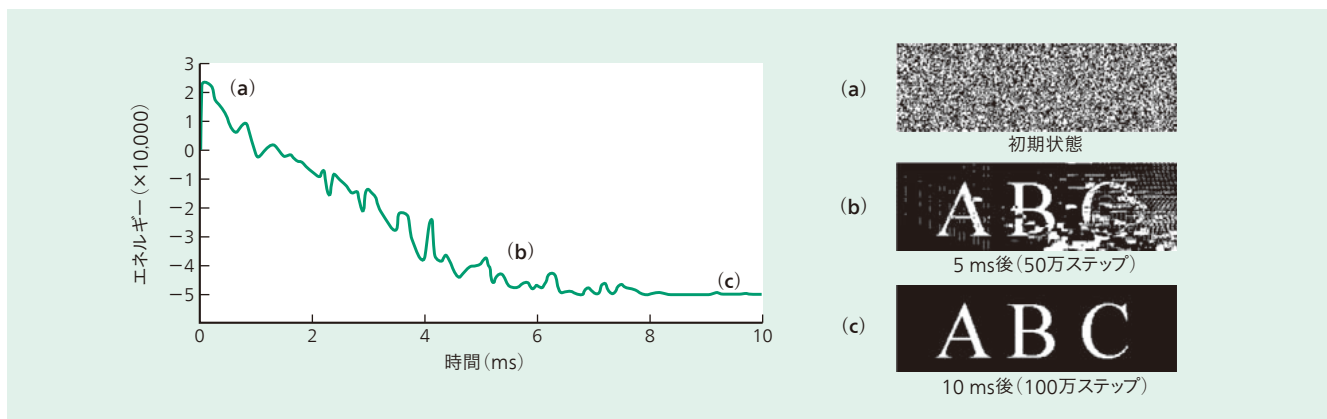


図8 | 組み合わせ最適化問題を解いた場合のエネルギーとスピン状態の変化

最大カット問題と呼ばれる組み合わせ最適化問題を解いた場合のエネルギーの変化を左に、スピン状態の変化を右にそれぞれ示す。10 ms程度の動作で組み合わせ最適化問題の解が求まっていることが分かる。

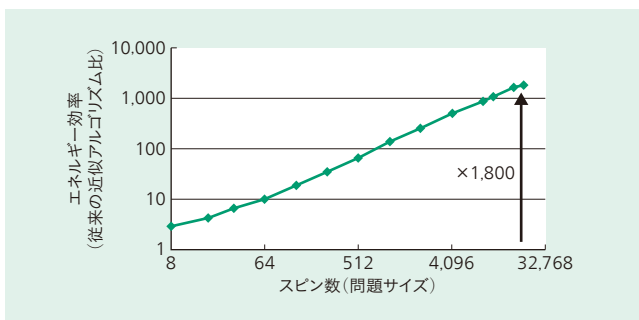


図9 | ランダムに生成した最大カット問題を解いた場合のエネルギー効率

近似的アルゴリズムを汎用CPU (Central Processing Unit) で実行した際と比較した場合の計算のエネルギー効率を示す。問題の規模 (スピンの数) が大きくなるほどエネルギー効率は向上し、20kスピンでは約1,800倍の効率となる。

は双方それほどの差は現れなかった。一方で、問題を解くために必要なエネルギーは、20kスピンの問題で約1,800分の1に低減できていることが分かる。

6. おわりに

従来のイジング計算機との比較を表3に示す。CMOS半導体回路を用いることで室温動作させることが可能となる。よって、冷却に必要な電力は少ない。また、解くための問題規模はスピン数に依存するため重要なパラメータである。今回の試作機では約2万スピンの問題が搭載されている。今後、さらに微細な半導体プロセスを用いることで大規模なイジングモデルを再現することが可能となる。さらに、今回、スピン間の相互作用はデジタル値を用いて計算されている。よって、複数のチップを接続することが容易であり、複数のチップを使ってさらに規模を拡大することが可能となる。

今回はデジタル回路を用いていることから、求めている解の精度は従来の超伝導素子を用いたものと比較して悪化していると予想されるが、実際に問題を解けていることから、実際の社会システムの最適化には使えるレベルであり、今回の半導体を用いたアプローチは使いやすさやスケラビリティの観点から工学的に意味があるといえる。

今回試作したイジングコンピューティングでは、実際に

表3 | 従来のイジング計算機との比較

従来の超伝導素子を使ったイジング計算機と比べて、使いやすさやスケラビリティの面で優れており、実応用に適用しやすいという面で工学的な意味があるといえる。

	本技術	従来技術
アプローチ	イジングコンピューティング	
	半導体 (CMOS)	超伝導体
動作温度	室温	20 mK
消費電力	0.05 W	15,000 W (冷却含む)
スケラビリティ (スピン数)	20,480 (65 nm) 微細プロセス、複数チップで拡大可能	512
計算時間	数ミリ秒	数ミリ秒 (原理的に速い)

組み合わせ最適化問題である最大カット問題が解けることを確認した。これは、数学的に他の組み合わせ最適化問題に変換できることが知られており、実際のシステムの最適化に適用できると考えられる。また、エネルギーを測定したところ従来のコンピューティング技術を用いた場合と比較して3桁以上改善していることが確認でき、将来の複雑なシステム最適化に利用できると考えている。

参考文献

- 1) M. W. Johnson et al. : Quantum annealing with manufactured spins, Nature 473, pp. 194-198 (2011.5)
- 2) R. F. Service : The brain chip, Science, Vol. 345, Issue 6197 (2014.8)
- 3) C. Yoshimura et al. : Spatial computing architecture using randomness of memory cell stability under voltage control, 2013 European Conference on Circuit Theory and Design (2013.9)
- 4) M. Yamaoka et al. : 20k-spin Ising Chip for Combinational Optimization Problem with CMOS Annealing, ISSCC 2015 digest of technical papers, pp. 1-3 (2015.2)
- 5) S. Kahraman et al. : On Greedy Construction Heuristics for the MAX-CUT problem, International Journal of Computational Science and Engineering, Volume 3, Number 3, pp. 211-218 (2007)

執筆者紹介



山岡 雅直

日立製作所 研究開発グループ 基礎研究センタ I2プロジェクト 所属
現在、新概念計算機の研究に従事
博士 (情報学)
IEEE会員



吉村 地尋

日立製作所 研究開発グループ 基礎研究センタ I2プロジェクト 所属
現在、新概念計算機の研究に従事



林 真人

日立製作所 研究開発グループ 基礎研究センタ I2プロジェクト 所属
現在、新概念計算機の研究に従事



奥山 拓哉

日立製作所 研究開発グループ 基礎研究センタ I2プロジェクト 所属
現在、新概念計算機の研究に従事



青木 秀貴

日立製作所 研究開発グループ
情報通信イノベーションセンタ コンピューティング研究部 所属
現在、コンピューティング技術の研究に従事
情報処理学会会員



水野 弘之

日立製作所 戦略企画本部 経営企画室 所属
現在、経営企画に従事
工学博士
電子情報通信学会会員、IEEE会員