エピタクシャル・トランジスタの i 層の設計論

Design Theory of the Intrinsic Layer of Epitaxial Transistor

牧 生* 本 Tsugio Makimoto

内 梗 概 容

エピタクシャル・メサ・トランジスタと通常のメサ・トランジスタでは、コレクタ領域における不純物分布 形が異なるため、この領域については新しい設計論が必要である。接合近辺の不純物分布形が階段形で示され る場合のポテンシャルを求め、エピタクシャル・メサ・トランジスタに対する近似を進め、Geの場合につい て,最大電界強度,逆耐圧およびコレクタ容量の印加電圧依存性を計算した。また,試作品の特性のバラツキ が, i 層の厚さによって支配されている例を示し,特性の解析によって, i 層の厚さと不純物濃度が算出され ることを示した。

1. 緒 言

メサ・トランジスタをエピタクシャル化することによって、電気 的特性は大きく改善される。高速スイッチング用トランジスタ(1)(2), UHF トランジスタ(3)などに対しては、世界的にエピタクシャル技 術が採り入れられるすう勢にある。したがって多くのメサ・トラン ジスタは早晩エピタクシャル化されることになると思われる。



第1図 エピタクシャル・メサ・トランジスタと 通常のメサ・トランジスタの断面構造の比較

エピタクシャル・メサ・トランジスタと通常のメサ・トランジス タでは、エミッタおよびベース領域の不純物分布形はなんら差違は ない。しかし、コレクタ側においては不純物分布形がまったく異な るため従来の設計論は使えない。筆者は、エピタクシャル・メサ・ トランジスタの試作において、コレクタ逆耐圧やコレクタ容量が i 層 (intrinsic layer)の不純物濃度に支配されるのではなく、むしろ **i**層の厚さに支配されることがしばしばあることを経験した。した がって、この領域に対しては、新しい設計論が必要である。

本文においては, 接合付近の不純物分布形が第2図で示される場 合について、空間電荷層におけるポアソンの方程式を解いてポテン シャルを求めた。これより,エピタクシャル・メサ・トランジスタ に対する近似を進め,最大電界強度,逆耐電圧および接合容量など を計算し、その結果を図示した。

1. L

また,素子の電気的特性を,この設計論に基づいて解析すること により, i 層の厚さと不純物濃度が得られることを具体例について 示した。

2. 不純物分布形

第1図は、エピタクシャル・メサ・トランジスタの構造と通常の それとを比較したものである。

第2図にコレクタ接合近辺の不純物分布形を階段形で近似して示 した。拡散層の深さが1µ程度のメサ・トランジスタでは、階段形 で十分近似できることは、すでに確認されている。図の横軸は、コ レクタ接合を基準(x=0)にした距離を示し、縦軸は正味のイオン 濃度 (N_d-N_a) を示す。また、斜線部は空間電荷層を意味してい る。



第2図 エピタクシャル・メサ・トランジスタの コレクタ接合付近の不純物分布形(階段形近似)

	ρ :	電	荷	密	度	
	ε:	誘	Ē	Ē	率	
Database and the second second second						

(1)式を各領域について整理すると

$$\frac{d^2\varphi_1}{dx^2} = \frac{qN_1}{\varepsilon} \qquad 0 < x < w_1 \dots (2)$$
$$\frac{d^2\varphi_2}{dx^2} = \frac{qN_2}{\varepsilon} \qquad x > w_1 \dots (3)$$
$$\frac{d^2\varphi_3}{dx^2} = -\frac{qN_3}{\varepsilon} \qquad x < 0 \dots (4)$$

ここに q: 電子の電荷 条件式は次のように与えられる。 中性条件 $N_3w_3 = N_1w_1 + N_2w_2$ (5)

> $\varphi_3 = \varphi_1 = 0$

3. ポアソン方程式の解 at $x = w_1$ (7) $\varphi_1 = \varphi_2$ ポテンシャルを求めるために、一次元のポアソン方程式(1)を解 $\frac{d\varphi_1}{dx} = \frac{d\varphi_2}{dx}$ at $x = w_1$ (8) く。以下,空間電荷層が i 層を突き抜けている状態を取り扱う。 境界条件 $\frac{d\varphi_3}{dx} = 0$ at $x = -w_3$ (9) φ: ポテンシャル $\frac{d\varphi_2}{dx}=0$ ここに at $x = w_1 + w_2$ (10) * 日立製作所武蔵工場 ---- 51 -----



 $aN_1w_1^2 ((w_2 N_2)^2 (N_1 N_1))$

場合には Emax は, (27) 式で与えられ,大きい場合には (26) 式で与

式を簡素化するために、次の記号を用いる。

(18)式を以上の記号を用いて解けば次式をうる。 $\omega_{21} = \{-(1+\nu_{13})$

> + $\sqrt{(1+\nu_{13})^2 - (\nu_{12}+\nu_{13})(1+\nu_{13}-V_A/V_P)}$ }/ $\nu_{21}(\nu_{12}+\nu_{13})$(22)

(22)式に対する近似式として次式をうる。

 $\omega_{21} = -1 + \sqrt{1 - \nu_{12}(1 - V_A/V_P)}, \quad (\nu_{13} \ll 1) \quad \dots \dots (23)$ $\omega_{21} = \frac{1}{2} \nu_{12} \left(\frac{V_A}{V_P} - 1 \right), \quad (\nu_{13} \ll 1, \nu_{12} \ll 1) \quad \dots \dots (24)$

(22)~(24)式は印加電圧と w_2 の関係を与える厳密解および近似 解を示し、これより(5)式を用いて w_3 を求めることができるか ら、問題はこれで解けたことになる。また実際のエピタクシャル・ メサ・トランジスタでは(24)式のような近似が十分成立すると考え られる。

3.1 最大電界強度

電界強度の最大値は, x=0 すなわち接合において起こることは きわめて簡単に証明することができる。(11)式より,

$$E_{\max} = -\left(\frac{d\varphi_1}{d\varphi_1}\right) = -\frac{q}{(N_1w_1 + N_2w_2)}$$
(25)

えられる。

また逆耐圧 V_B は、 E_{max} が不純物濃度によって決まる特定の臨界 値 E_c になるときの電圧に対応すると考えられる。したがって、 V_B と V_P の大小によって次のように与えられる。

23

 E_c は(28)式によって、 V_B より経験的に知られる量であるから、 (28)式自体は実際の場合には意味がない。また(29)式は、 w_1N_1 が小さい場合、逆耐電圧が w_1 に比例することを意味している。

3.2 接合容量

接合容量 C_iは, 平行平板容量の場合とまったく相似に考えられる⁽⁴⁾。したがって, 一般的に次式で与えられる。

(23)式の近似が許される場合は,

$$C_{j} \doteq \frac{\varepsilon}{(w_1 + w_2)} = \varepsilon/w_1 \sqrt{1 - \nu_{12}(1 - V_A/V_P)} \quad \dots \dots \quad (31)$$

(24)式の近似が許される場合は,

— 52 —

また, V_Aが V_Pより小さい場合は⁽⁵⁾,

4. 数值計算結果



以下数値計算はすべて Ge の場合について行なった。第3図は, N_1 および w_1 をパラメータにして印加電圧 V_A と最大電界 E_{max} との 関係を示す。図でわかるように、 E_{max} の線は、パンチ・スルー電 圧において N_1 の一枝から分かれはじめ、しだいに w_1 の一枝に接近 する。図中、点線は印加できる最大の電圧、つまり逆耐電圧を示 す。 第4図は、 N_1 をパラメータにして逆耐電圧 V_B と *i* 層の幅 w_1 と エピタクシャル・トランジスタのi層の設計論



第4図 N₁をパラメータにした逆耐電圧と i層の幅との関係





第7図 実験に用いたトランジスタの逆耐圧分布図





第5図 N₁ および w₁ をパラメータにした接合容量の 印加電圧依存性





の関係を示す。 w_1 が十分大きいときは、 V_B は w_1 によらず N_1 のみ で決まるが、 w_1 の小さい範囲では、 N_1 に対する依存性は小さく、 (29)式から予想されるように、 w_1 に比例する模様を示している。

第5図は、(32)および(33)式から N_1 および w_1 をパラメータにして、接合容量の印加電圧依存性を示す。パンチ・スルー電圧まで

 $C_{c}(pF)$

第8図 実験に用いたトランジスタのコレクタ容量分布図



第9図 エピタクシャル・メサ・トランジスタおよび 通常のメサ・トランジスタのコレクタ容量の印加電 圧依存性

タである。逆方向の降伏特性は第6図に一例を示したようにきわめ て鋭い立ち上がりを示し、降伏が表面でなく、Bulk で起こってい ると考えられる。

第7図は本実験に用いた製品の逆耐圧分布を示し, 第8図はコレ クタ容量 (*C_c*)の分布を示している。

第9図は、エピタクシャル・メサ・トランジスタおよび通常のメ サ・トランジスタのコレクタ容量の印加電圧依存性を示している (浮遊容量は減じてある)。通常のメサ・トランジスタの場合、容量 は印加電圧の $-\frac{1}{2}$ 乗に比例しており、階段形接合で十分近似でき ることが明らかである(これはもちろん、**n**形拡散層が非常に薄い

は、 $-\frac{1}{2}$ 乗のこう配で減少し、それ以上の電圧では一定になる。 各交点は特定の (w_1 , N_1)の組み合わせで決まるパンチ・スルー電圧 を示していることはいうまでもない。

5. 実 験 結 果

以上の理論に基づいて, 逆耐電圧およびコレクタ容量の実験結果 について解析した。試料は Ge エピタクシャル・メサ・トランジス

— 53 —

ためである)。 しかるに, エピタクシャル・メサ・トランジスタの 場合は, 印加電圧4V以上で容量はほとんど一定になる。したがっ てパンチ・スルー電圧は約4Vである。また, この製品の逆耐圧は 29Vである。以上の情報より, *i*層の幅と不純物濃度を推定する。 まず, 第4図より, *i*層の幅は約1.6 μ となる。また, 第5図より, 1.6 μ の幅を 4V でパンチ・スルーするための不純物濃度は約 3 ×10¹⁵ cm⁻³ となる。



第10図 エピタクシャル・メサ・トランジスタの 逆耐圧とコレクタ容量(印加電圧 10 V)の対数の 相関図

以上の解析より逆耐電圧およびバイアス電圧が十分高い場合のコ レクタ容量は、おもに i 層の幅によって支配されていることが明ら かである。このことは第10回によって確かめられる。つまり、逆 耐圧および印加電圧 10 V のときのコレクタ容量の対数の相関がこ う配-1の直線で与えられることは、これらの特性が i 層の幅によ

って支配されているときにのみ起こりうることである。

論

6. 結 言

エピタクシャル・メサ・トランジスタは通常のメサ・トランジス タとコレクタ領域の不純物分布形が異なるため新しい設計論が必要 である。コレクタ接合の空間電荷層におけるポアソンの方程式を解 いて, Geの場合について最大電界強度, 逆耐圧およびコレクタ容 量の印加電圧依存性などを計算し,結果を図示した。また,試作品 の特性が, i 層の幅によって支配されている例を示し, 特性の解析 によって, i 層の幅と不純物濃度が算出されることを示した。

これらの結果は、エピタクシャル・メサ・トランジスタの i 層の 幅と不純物濃度を設計する場合、または素子の完成後にそれらを算 出する場合の基礎資料となる。

最後に,ご指導を賜わった中村純之助博士および桑田正信博士に 深く感謝する。

参 考 文 献

- (1) H.C. Theuerer et al: Rroc. IRE, 48, Sept. (1960)
- (2) Electronics, p. 112, Sept. (1961)
- (3) V. R. Saarl et al: 1960 International Solid-State Circuit Conference.
- (4) L. J. Giacolletto: Trans. IRE, ED-4, No. 3 (1957)
- (5) 川上正光: 電子回路 V, 80 (昭-33, 共立)



登録新案 第556896 号

佐竹喜代松

超高圧電力回路に供される変流器は,対地絶縁確保のため軸方向 へ大形に構成されるゆえ従来のように組み立て状態のまま立積輸送 を行なうことはできない。これを組み立て状態で輸送するにはどう



しても横積輸送にしなければならない。

器

紹

新

変

案

の

流

介

一般に変流器は一次コイルおよびこれに巻回配置される二次コイ ルを一体にして中間油槽内に収納し,二次コイルよりは端子導出線 を中間油槽下部のがい管油槽を通り下部油槽内へ導出して二次端子

