

大形汎用電子計算機 HITAC 5020 の特長

General Purpose Electronic Computer HITAC 5020

佐藤利男* 加納弘** 村田健郎***
Toshio Satô Hiroshi Kanô Kenrô Murata

内 容 梗 概

HITAC 5020 は、科学技術計算あるいは科学的経営計算をおもな目的とし、事務計算にも適するよう設計、製造された大形汎用電子計算機である。本文ではシステム設計のねらい、特長、構成、中央処理装置の機能、入出力装置の制御方式などについて概要を述べる。

1. 緒 言

ここ数年来、電子計算機に対する需要の伸びには著しいものがあり、これらのうちには初めて電子計算機を導入する所もあれば、処理量の増加にしたがって導入システムの拡張あるいは追加を行なう所もある。科学技術の進歩とともに各種数値計算、シミュレーション、設計の解析、経営計算などの分野に、大形高速計算機に対する需要が増大しつつあるが、5020 はこれらの広い用途に適用できるよう設計、製作されたシステムであって以下に述べるような種々の特長をもっている。

(1) 高性能かつ安価で、洗練されたシステムである。

計算機用として開発されたエピタキシャルメサタイプの高速トランジスタを使用して直列形の演算回路を構成し、また指標レジスタ、演算レジスタその他のレジスタを電磁遅延線から構成しているため、回路素子の数が少なく安価であり、価格当たりの処理能力（コストパフォーマンス）がきわめてすぐれている。

(2) 優先順位処理と同時処理が可能である。

演算と多数の入出力装置の制御が同時に並行して行なわれ、プログラムへの割込み、記憶装置の保護、システムの終止禁止(stop protection)などの機能と相まって、モニタシステムによる多重プログラムの同時処理によって全体を効率よく稼動することが可能である。

(3) ブロック構成方式であるので、システムの最適構成の選択および処理量の増加にしたがってシステムを拡張することが可能である。

記憶装置は8K語、16K語、32K語、49K語、65K語のいずれでも選択可能であり、設置後の拡張も可能である。入出力装置の制御はチャンネル方式であって、2~14チャンネルの制限内で、万能入出力装置、磁気テープ装置、磁気ドラム記憶装置、カード読取り機、カードセン孔機、ラインプリンタ、磁気ディスク記憶装置などの制御チャンネルを選び、かつ各チャンネルごとに入出力装置を最適台数選ぶことができる。

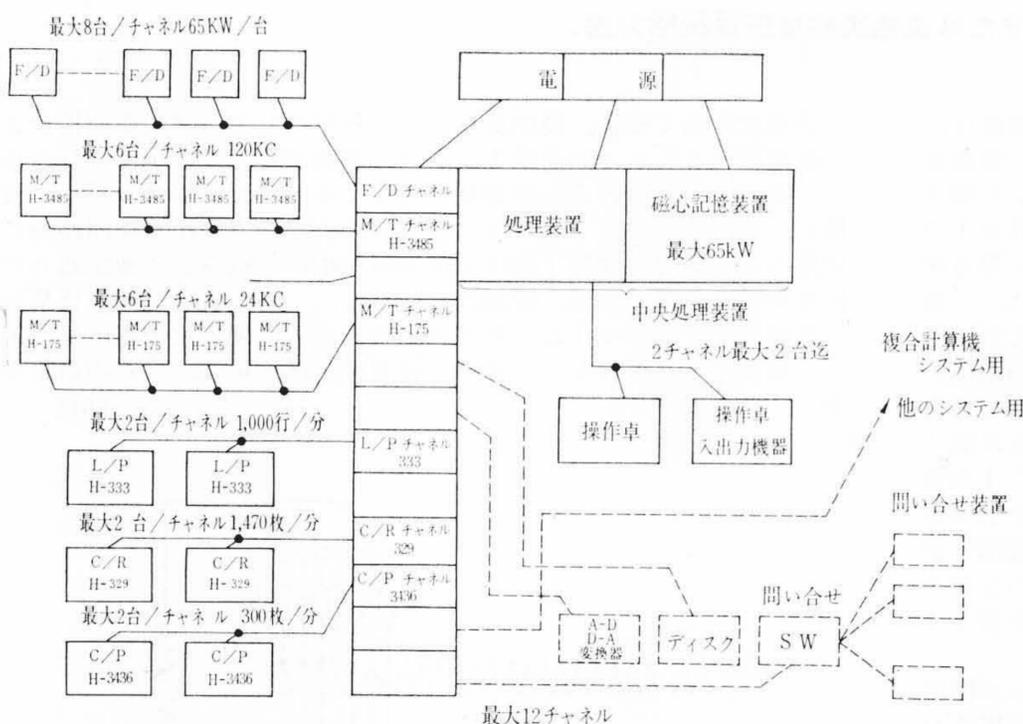
2. 構 成

システム構成機器は第1図に示すとおりであるが、これら構成機器の仕様の概要を述べる。中央処理装置に関しては、略記するに止め、後にもう少し詳細に説明する。

(1) 中央処理装置

主として演算装置から成り、システムの中心的存在である。

基本回路	18 Mc 2相
演算回路	直列形
サイクル時間	2 μs
情報処理単位	1語、2語または引き続いた2語に含まれる引き続いたビット情報



第1図(A) HITAC 5020 システムの構成図であって、磁気記憶装置中央処理装置、チャンネル制御装置およびそれにつながる入出力装置の最大構成を示したものである。

	I	II	III	IV	V	VI
中央処理装置	1	1	1	1	1	1
磁気記憶装置(K語)	8	8	8~16	8~16	16~32	65
磁気ドラム(台)	1	1	3	3	3	8
ラインプリンタ(台)	1	1	1	1	1	2
カード読取り機(台)		1		1	1	2
カードセン孔機(台)		1		1	1	2
磁気テープチャンネル					2	5
磁気テープ装置(台)	0~	0~	0~	5	30	
高速度テープセン孔機		1				

I : HISIP システム
II : カードシステム
III : テープシステム
IV : カードシステム
V : モニタシステム
VI : 最大構成

第1図(B) 各システムの構成例種々の標準構成例である。これ以外にも種々の構成を選ぶことができるが、システムプログラムはこれらの標準構成に基づいて開発している。

* 日立製作所神奈川工場 工博
** 日立製作所神奈川工場
***日立製作所中央研究所 理博

アドレス方式	指標レジスタによるアドレス変更, 間接アドレスによるアドレス変更が全命令について可能	
命令形式	MVAIBF など 4 形式	
演算速度	固定	浮動
	加減算	8 μ s 20 μ s
	乗算	24 μ s 36 μ s
	飛越し	4 μ s

(2) 磁心記憶装置

1 語	32ビット+奇偶検査ビット
読み書き時間	2 μ s
容量	8,192 語, 16,384 語, 32,768 語, 49,152 語, 65,536 語のうちのいずれか
制御回路方式	語配列方式
ブロック構成方式	16K 語ずつ独立に読み書きの制御を行なうので, 1ブロックが故障しても残りの最大 49K 語を利用して演算を行なうことができる。

(3) 入出力チャネル

入出力装置はチャネルを介して制御される。後述。

(4) 万能入出力装置

英字, 数字, カナ文字および記号を扱う。

処理速度 読取り, 印字, セン孔とも 450 字/分

(5) 光電式テープ読取り機

処理速度 200 字/秒

(6) H-329 形カード読取り機

カードの種類 80 欄カード

処理速度 1,470 枚/分

送り誤り, ジャムなどの検出を行なう。

(7) H-323 形カード読取り機

カードの種類 80 欄カード

処理速度 600 枚/分

(8) H-3436 形カードセン孔機

処理速度 300 枚/分

(9) H-336 形カードセン孔機

処理速度 200 枚/分

その他, 読取り機と同様

(10) H-334 形カードセン孔機

処理速度 100 枚/分

(11) H-333 形ラインプリンタ

1 行最大印字数 120 字

印刷密度 横 約 10 字/25.4 mm

縦 約 6 行, 8 行または 10 行/25.4 mm

最大印刷行数 約 1,000 行

印刷文字 0~9 の数字と英字 26 種と以下の記号および
空白 + - , . @ % < \$ = " ' [] ;
> # ↑) * & / □ C_R : ÷ (' など 4 形式。

紙送り 印刷形式制御テープに従って改行することもできる。

(12) H-3485 形磁気テープ装置

テープ速度 3.81 m/s

書込密度 31.5 字/mm

処理速度 120,000 字/秒

テープ長 1,100 m

(13) H-175 形磁気テープ装置

テープ速度 3 m/s

書込密度 8 字/mm

処理速度 24,000 字/秒

テープ長 1,100 m

(14) H-3485 形磁気テープ装置

テープ速度 3.81 m/s

書込密度 31.5 字/mm

処理速度 120,000 字/秒

テープ長 1,100 m

(15) 磁気ドラム記憶装置

平均待時間(回転速度) 約 10 ms (約 3,000 rpm)

記憶容量 32K 語, 49K 語, 65K 語

情報転送速度 51.2K 語/秒

(16) 磁気ディスク記憶装置

平均待時間 約 100 ms

記憶容量 366-1 形 22M 字

366-2 形 44M 字

366-3 形 66M 字

366-4 形 88M 字

3. 中央処理装置の概要

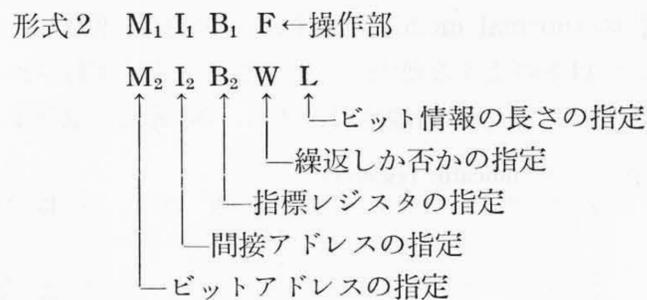
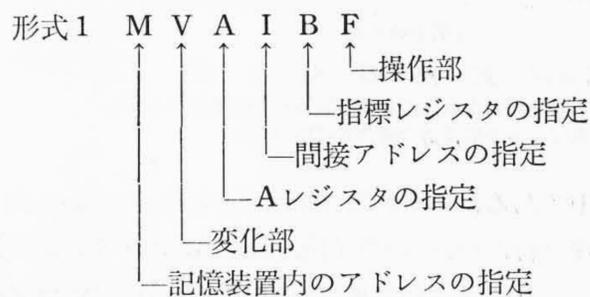
(1) アドレス

5020 の記憶装置内の 1 語は 32 ビットから成り, これらのおおのには 0~65,535 の語アドレスが付加されているが, これらの情報をビット単位でも扱えるよう, 0~2²¹-1 のビットアドレスが付加されている。各命令語でこれらのアドレスを指定することができる。またビット単位のアドレス変更(B-modification)もできる。

(2) 各種レジスタ

アドレス変更利用される指標レジスタ, 演算に使われる Aレジスタ(累算器)および各種表示子(インディケータ)などは 0~31 番地に記憶されている。

(3) 命令語の形式とアドレス変更



など 4 形式。

命令語内の語アドレスもビットアドレスも指標レジスタによる変更および間接アドレス方式による変更が可能である。多重にアドレス変更をするには MNI 命令 (Modify Next Instruction) を利用できる。

(4) 数値語

数値の表現には固定小数点と浮動小数点の 2 通りあり, 第 3 図のとおりである。页数は 2 の補数として表示される。

(5) 自動優先処理

入出力装置は入出力チャネルを介して制御されるが, これらの入出力装置を効率よく使用し得るよう, 入出力装置の動作の終了を検出して, 現在進行中の主プログラムによる処理を暫時中止し, その

第1表 命令コード表

記号の説明

v=0/1

L/R: 左半語または右半語

S/D: 単語または倍長語

S/A: 符号を含むかまたは絶対値

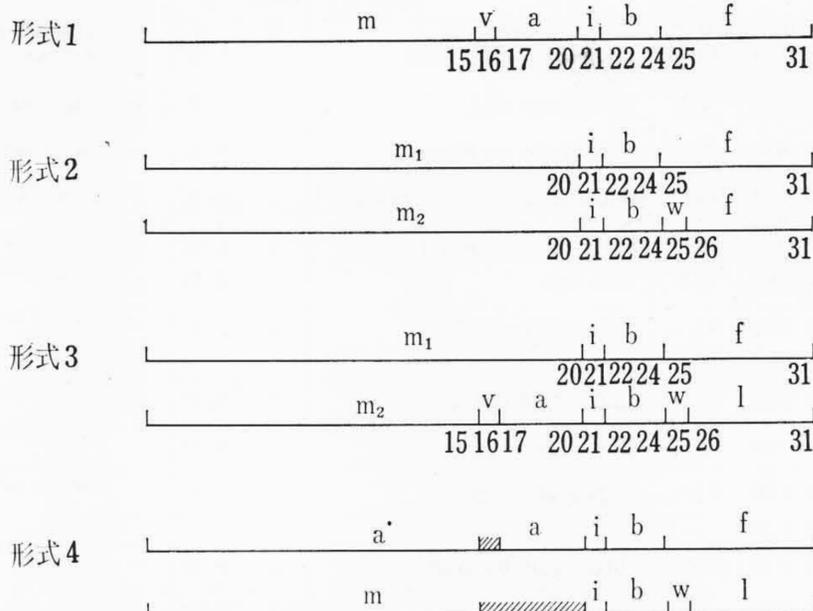
S/P: 符号を含むかまたは正数

X/F: 固定小数点あるいは浮動小数点

/R: 繰返すか否か

/T: 割込みを許すか否か

演算時間は命令語を読み出し、実行する時間の総計であって単位はサイクルである。1サイクルは2μs



m*はアドレス変更後の実効アドレス

000	0000	0001	0010	0011	100	0000	0001	0010	0011						
HP	3	ICA	2	IA	2	T	5/8	TH	6	TC	5/8				
	0100	0101	0110	0111		0100	0101	0110	0111						
IM	5/8 4/4	ICS	2	IS	2	TR	6/9					TRF	7		
	1000	1001	1010	1011		1000	1001	1010	1011						
SL	3/5 3	SLL	3	SLF	3/5 3	FT	6/7	FTL	7/8			FTF	6/7		
	1100	1101	1110	1111		1100	1101	1110	1111						
SR	4/6 4	SRL	4	SRF	4/6 4										
001	0000	0001	0010	0011	101	0000	0001	0010	0011						
JZ	2/3 4/5	JZH	2 4	JP	2 4	JZF	2/3 4/5	VCA	10/12 14/16	VA	10/12 14/16	VTZ	10/13	VJE	8/11 12
	0100	0101	0110	0111		0100	0101	0110	0111						
JN	2/3 4/5	JNH	2 4	JM	2 4	JNF	2/3 4/5	VCS	10/12 14/16	VS	10/12 14/16	VTN	10/13	VJU	8/10 12
	1000	1001	1010	1011		1000	1001	1010	1011						
NE	4	NE1	4	JC	2/3	NE3	4	VMB	10/12 14/16					VJL	8/10 12
	1100	1101	1110	1111		1100	1101	1110	1111						
JI	2 4	JU	2 4	JIC	2 4	JNA	2 4	VCM	8/10 11/13	VAB	10/12 14/16			VJH	8/10 12
010	0000	0001	0010	0011		0000	0001	0010	0011						
CA	4/6			CAF	6/8	ソフト	48 9	ソフト	97	ソフト	98	ソフト	99		
	0100	0101	0110	0111		0100	0101	0110	0111						
CS	4/6			CSF	6/8	ソフト	100	ソフト	101	ソフト	102	ソフト	103		
	1000	1001	1010	1011		1000	1001	1010	1011						
		MB	4/6			JS	7	MNI	5/4	ERI	2				
	1100	1101	1110	1111		1100	1101	1110	1111						
CM	4/7	AB	4/6			PS		PRC		PWC					
011	0000	0001	0010	0011		000000	PSR	0X000	IOCD(N)						
A	4/6	APC	4/6	AF	11, 10/12 *	AFU	11, 12 *	0X001	IOCP(N)						
	0100	0101	0110	0111		000001	PSRB	0X010	IOORD(N)						
S	4/6	SPC	4/6	SF	11, 10/12 *	SFU	11, 12 *	0X011	IOORP(N)						
	1000	1001	1010	1011		000010	PSE	0X100	IOSD(N)						
M	12/40	ソフト	9	MF	18/36	ソフト	59 9	0X101	IOSP(N)						
	1100	1101	1110	1111		000011	PSAB	0X11X	IOJ						
D	21/74 5/8	ソフト	61 9	DF	37~40/68~70 *	ソフト	63 9								

* 印は演算所要時間の代表である。

(2) けた移動命令

Aレジスタの内容を短語あるいは長語として、左あるいは右へ、固定小数点、浮動小数点あるいは論理的な数とみて、けた移動する。

(3) 飛越し命令

Aレジスタを

1語あるいは半語

固定小数点あるいは浮動小数点の数

正、負、ゼロまたはゼロでない

などの規準で判断して飛越し命令と、表示子 (indicator) を判断して飛越し命令など。これらの命令を実行すると16番地の左半語に、命令の所在したアドレスがセットされ、プログラムの追跡などに利用される。

一般のループ計算においては、飛越さない場合よりもむしろ飛び越す場合のひん度が高いことを考慮し、飛び越す場合の先回り制御 (advanced control) を行ない、この場合の演算速度を上げた。

コード	略号	名称	form	v	w	内容	時間	頁
000 0000	HP	halt and proceed	1	—	—	計算機が止まる。START ボタンを押すと次の命令から実行開始	—	
000 0001	ICA	immediate clear add	1	L/R	—	$m^* \rightarrow a_v$	2	
000 0010	—	—	—	—	—	—	—	
000 0011	IA	immediate add	1	L/R	—	$(a_v) + m^* \rightarrow a_v$	2	
000 0100	IM	immediate multiply	1	S/D	—	$(a_v) \times m^* \rightarrow a_v$ $0 \leq m^* \leq 31$	NOP 4 S 5 D 8	
000 0101	ICS	immediate clear subtract	1	L/R	—	$-m^* \rightarrow a_v$	2	
000 0110	—	—	—	—	—	—	—	
000 0111	IS	immediate subtract	1	L/R	—	$(a_v) - m^* \rightarrow a_v$	2	
000 1000	SL	shift left	1	S/D	—	$(a_v) \times 2^{m^*} \rightarrow a_v$ $-2^{15} \leq m^* < 2^{15}$	S 3 D 3, 5	
000 1001	SLL	shift left logical	1	S/D	—	(a_v) を m^* ケタ左へケタ移動 $-2^{15} \leq m^* < 2^{15}$	3	
000 1010	—	—	—	—	—	—	—	
000 1011	SLF	shift left floating	1	S/D	—	仮数を 2^{m^*} 倍し, 指数から m^* を減ずる $-2^{15} \leq m^* < 2^{15}$	S 3 D 3, 5	
000 1100	SR	shift right	1	S/D	—	$(a_v) \times 2^{-m^*} \rightarrow a_v$ $-2^{15} \leq m^* < 2^{15}$	S 4 D 4, 6	
000 1101	SRL	shift right logical	1	S/D	—	(a_v) を m^* ケタ右へケタ移動 $-2^{15} \leq m^* < 2^{15}$	4	
000 1110	—	—	—	—	—	—	—	
000 1111	SRF	shift right floating	1	S/D	—	仮数を 2^{-m^*} 倍し, 指数に m^* を加える $-2^{15} \leq m^* < 2^{15}$	S 4 D 4, 6	
001 0000	JZ	jump zero	1	S/D	—	$(a_v) = 0 \Rightarrow m^*$ へ飛越し	S 2, 4 D 3, 5	
001 0001	JZH	jump zero half	1	L/R	—	$(a_v) = 0 \Rightarrow m^*$ へ飛越し	2, 4	
001 0010	JP	jump plus	1	X/F	—	$(a_v) \geq 0 \Rightarrow m^*$ へ飛越し	2, 4	
001 0011	JZF	jump zero floating	1	S/D	—	仮数が $0 \Rightarrow m^*$ へ飛越し	S 2, 4 D 3, 5	
001 0100	JN	jump non-zero	1	S/D	—	$(a_v) \neq 0 \Rightarrow m^*$ へ飛越し	S 2, 4 D 3, 5	
001 0101	JNH	jump non-zero half	1	L/R	—	$(a_v) \neq 0 \Rightarrow m^*$ へ飛越し	2, 4	
001 0110	JM	jump minus	1	X/F	—	$(a_v) < 0 \Rightarrow m^*$ へ飛越し	2, 4	
001 0111	JNF	jump non-zero floating	1	S/D	—	仮数が 0 でない $\Rightarrow m^*$ へ飛越し	S 2, 4 D 3, 5	
001 1000	NE	no effect	1	—	—	何もしない	4	
001 1001	NE1	no effect 1	1	—	—	—	—	
001 1010	JC	jump and clear	1	S/D	—	無条件に m^* へ飛越し, $0 \rightarrow a_v$	S 2 D 3	
001 1011	NE3	no effect 3	1	—	—	—	—	
001 1100	J I	jump on indicator	1	—	—	v, a の 5 ビットで指定された表示子がオンならば m^* へ飛越し	2, 4	
001 1101	JU	jump unequal	1	—	—	$(a_L) \neq (a_R) \Rightarrow m^*$ へ飛越し	2, 4	
001 1110	J I C	jump on indicator and clear	1	—	—	v, a の 5 ビットで指定された表示子がオンならば m^* へ飛越し, 表示子をオフにする	2, 4	
001 1111	JNA	jump non-zero and add	1	—	—	$(a_L) \neq 0 \Rightarrow m^*$ へ飛越し $(a_L) + (a_R) \rightarrow a_L$	2, 4	
010 0000	CA	clear add	1	S/D	—	$(m_v^*) \rightarrow a_v$	S 4 D 6	注 飛越し命令における演算所要時間は飛越し場合は左側に, 飛越さない場合は右側に記す。
010 0001	—	—	—	—	—	—	—	
010 0010	—	—	—	—	—	—	—	
010 0011	CAF	clear add floating	1	S/D	—	S: $(m^*) \rightarrow a, 0 \rightarrow a+1$ D: $(m^*, m^*+1) \rightarrow a, a+1$	S 6 D 8	
010 0100	CS	clear subtract	1	S/D	—	$-(m_v^*) \rightarrow a_v$	S 4 D 6	
010 0101	—	—	—	—	—	—	—	
010 0101	—	—	—	—	—	—	—	
010 0111	CSF	clear subtract floating	1	S/D	—	$0 - f(m_v^*) \rightarrow a, a+1$	S 6 D 8	
010 1000	—	—	—	—	—	—	—	
010 1001	MB	multiply bit wise	1	S/D	—	$(a_v) \otimes (m_v^*) \rightarrow a_v$	S 4 D 6	
010 1010	—	—	—	—	—	—	—	
010 1011	—	—	—	—	—	—	—	
010 1100	CM	compare memory	1	S/D	—	$(a_v) \cong (m_v^*) \Rightarrow$ ^{高値} 等値 _{低値} 表示子をオンにする正数として比較	S 4 D 7	
010 1101	AB	add bit wise	1	S/D	—	$(a_v) \oplus (m_v^*) \rightarrow a_v$	S 4 D 6	
010 1110	—	—	—	—	—	—	—	
010 1111	—	—	—	—	—	—	—	
011 0000	A	add	1	S/D	—	$(a_v) + (m_v^*) \rightarrow a_v$	S 4 D 6	
011 0001	APC	add with preceeding carry	1	S/D	—	$(a_v) + (m_v^*) + c \cdot 2^{-31}$ (または -63) $\rightarrow a_v$ けた上げ表示子がオンなら $c=1$, オフなら $c=0$	S 4 D 6	
011 0010	AF	add floating	1	S/D	—	$(a, a+1) + f(m_v^*) \rightarrow a, a+1$ 正規化する	S 11* D 11, 12	
011 0011	AFU	add floating unnormalize	1	S/D	—	$(a, a+1) + f(m_v^*) \rightarrow a, a+1$ 正規化しない	S 11* D 11, 12	
011 0100	S	subtract	1	S/D	—	$(a_v) - (m_v^*) \rightarrow a_v$	S 4 D 6	
011 0101	SPC	subtract with preceeding carry	1	S/D	—	$(a_v) - (m_v^*) - c \cdot 2^{-31}$ (または -63) $\rightarrow a_v$ けた上げ, 表示子がオンなら $c=1$, オフなら $c=0$	S 4 D 6	
011 0110	SF	subtract floating	1	S/D	—	$(a, a+1) - f(m_v^*) \rightarrow a, a+1$ 正規化する	S 11* D 11, 12	
011 0111	SFU	subtract floating unnormalize	1	S/D	—	$(a, a+1) - f(m_v^*) \rightarrow a, a+1$ 正規化しない	S 11* D 11, 12	
011 1000	M	multiply	1	S/D	—	S: $(a) \times (m^*) \rightarrow a, a+1$ D: $(a, a+1) \times (m^*, m^*+1) \rightarrow a, a+1, a+2, a+3$	S 12 D 40	
011 1001	soft	—	1	—	—	$(57_L) = p$ とすると (SCC) $\rightarrow p, m^*, v, a, 00, 0 \rightarrow p+1$ $v=0 \Rightarrow p+2$ へ飛越し, $v=1 \Rightarrow p+3$ へ飛越し	9	
011 1010	MF	multiply floating	1	S/D	—	$(a, a+1) \times f(m_v^*) \rightarrow a, a+1$ 正規化する	S 18 D 36	
011 1011	soft	—	1	—	—	$(59_L) = p$	—	
011 1100	D	divide	1	S/D	—	S: $(a, a+1) \div (m^*) \rightarrow a$ 余り $a+1$ D: $(a, a+1, a+2, a+3) \div (m^*, m^*+1) \rightarrow a, a+1, 余り a+2, a+3$	S21 NSP D74 5, 8	
011 1101	soft	—	1	—	—	$(61_L) = p$	—	
011 1110	DF	divide floating	1	S/D	—	$(a, a+1) \div (m_v^*) \rightarrow a, a+1$ 正規化する	S 37~40* D 68~72	
011 1111	soft	—	1	—	—	$(63_L) = p$	—	

コード	略号	名称	form	v	w	内容	時間	頁
100 0000	T	trasfer	1	S/D	—	$(a_v) \rightarrow m_v^*$	S 5 D 8	
100 0001	TH	transfer half	1	L/R	—	$(a_v) \rightarrow m_L^*$ m_R^* は不変	6	
100 0010	TC	transfer and clear	1	S/D	—	$(a_v) \rightarrow m_v^*$, $0 \rightarrow a_v$	S 5 D 8	
100 0011	—	—	—	—	—	—	—	—
100 0100	TR	transfer rounded	1	S/D	—	S: $(a, a+1)$ の 2^{-32} のケタを丸めたものを m^* へ入れる D: $(a, a+1, a+2)$ の 2^{-64} のケタを丸めたものを m^*, m^*+1 へ入れる	S 6 D 9	
100 0101	—	—	—	—	—	—	—	—
100 0110	—	—	—	—	—	—	—	—
100 0111	TRF	transfer rounded floating	1	—	—	仮数の第 25 ビット目を丸めたものを m^* へ入れる	7	
100 1000	FT	find out transition	1	S/D	—	(a_v) の符号と異なるビットのうちの最上位のビットの語内ビットアドレスを m_L^* へ入れる	S 6 D 7	
100 1001	FTL	find out transition logical	1	S/D	—	(a_v) の最も左の 1 のビットの語内ビットアドレスを m_L^* へ入れ, そのビットを 0 にする	S 7 D 8	
100 1010	—	—	—	—	—	—	—	—
100 1011	FTF	find out transition floating	1	S/D	—	(a_v) の仮数部について FT と同様にして求めた数を m_L^* へ入れる	S 6 D 7	
100 1100	—	—	—	—	—	—	—	—
100 1101	—	—	—	—	—	—	—	—
100 1110	—	—	—	—	—	—	—	—
100 1111	—	—	—	—	—	—	—	—
101 0000	VCA	variable length clear add	2	—	/R	$(m_1^* \sim m_1^*+l) \rightarrow m_2^* \sim m_2^*+l$ R のときは A レジスタ 2, 3 に従って繰返し	SS 10 LS 12 SL 14 LL 16	
101 0001	VA	variable length add	2	—	/R	$(m_2^* \sim m_2^*+l) + (m_1^* \sim m_1^*+l) \rightarrow m_2^* \sim m_2^*+l$ R のときは A レジスタ 2, 3 に従って繰返し	SS 10 LS 12 SL 14 LL 16	
101 0010	VTZ	variable length test zero	2	—	/R	$(m_1^* \sim m_1^*+l) = 0 \Rightarrow m_2^*$ を 1 にする $\neq 0 \Rightarrow m_2^*$ を 0 にする	S 10 L 13	
101 0011	VJE	variable length jump equal	3	S/A	/R	$(a \sim a+l) = (m_1^* \sim m_1^*+l) \Rightarrow m_2^*$ へ飛越し, A のときは絶対値の比較	SS 8 LS 11 LL 12	
101 0100	VCS	variable length clear subtract	2	—	/R	$-(m_1^* \sim m_1^*+l) \rightarrow m_2^* \sim m_2^*+l$	SS 10 LS 12 SL 14 LL 16	
101 0101	VS	variable length subtract	2	—	/R	$(m_2^* \sim m_2^*+l) - (m_1^* \sim m_1^*+l) \rightarrow m_2^* \sim m_2^*+l$	SS 10 LS 12 SL 14 LL 16	
101 0110	VTN	variable length test non zero	2	—	/R	$(m_1^* \sim m_1^*+l) \neq 0 \Rightarrow m_2^*$ を 1 にする $= 0 \Rightarrow m_2^*$ を 0 にする	S 10 L 13	
101 0111	VJU	variable length jump unequal	3	S/A	/R	$(a \sim a+l) \neq (m_1^* \sim m_1^*+l) \Rightarrow m_2^*$ へ飛越し A のときは絶対値の比較	SS 8 LS 11 LL 12	
101 1000	—	—	—	—	—	—	—	—
101 1001	VMB	variable length multiply bit wise	2	—	/R	$(m_2^* \sim m_2^*+l) \otimes (m_1^* \sim m_1^*+l) \rightarrow m_2^* \sim m_2^*+l$	SS 10 LS 12 SL 14 LL 18	
101 1010	—	—	—	—	—	—	—	—
101 1011	VJL	variable length jump low	3	S/A	/R	$(a \sim a+l) \geq (m_1^* \sim m_1^*+l) \Rightarrow m_2^*$ へ飛越し A のときは絶対値の比較	SS 8 LS 11 LL 12	
101 1100	VCM	variable length compare memory	2	—	S/P	$(m_2^* \sim m_2^*+l) \cong (m_1^* \sim m_1^*+l) \Rightarrow$ 表示子をオンにする P のときは正数として比較 低値 等値 高値	SS 8 LS 10 SL 11 LL 13	
101 1101	VAB	variable length add bit wise	2	—	/R	$(m_2^* \sim m_2^*+l) \oplus (m_1^* \sim m_1^*+l) \rightarrow m_2^* \sim m_2^*+l$	SS 10 LS 12 SL 14 LL 16	S: 演算数が 1 語 以 L
101 1110	—	—	—	—	—	—	—	—
101 1111	VJH	variable length jump high	3	S/A	/R	$(a \sim a+l) < (m_1^* \sim m_1^*+l) \Rightarrow m_2^*$ へ飛越し A のときは絶対値の比較	SS 8 LS 11 LL 12	L: 内演算数が 2 語にまたがる
110 0000	soft	—	1	—	—	$(96_L) = p$ とすると (SCC) $\rightarrow p$; $m^*, va, a, 0 \rightarrow p+1$ $v=0$ なら $p+2$ へ, $v=1$ なら $p+3$ へ飛越し	9	
110 0001	soft	—	1	—	—	$(97_L) = p$	—	
110 0010	soft	—	1	—	—	—	—	
110 0011	soft	—	1	—	—	—	—	
110 0100	soft	—	1	—	—	—	—	
110 0101	soft	—	1	—	—	—	—	
110 0110	soft	—	1	—	—	—	—	
110 0111	soft	—	1	—	—	—	—	
110 1000	JS	jump and set	1	0/1	—	(SCC) $\rightarrow m^*$; $a, va, 00 \rightarrow m^*+1$ $v=0$ なら m^*+2 , $v=1$ なら m^*+3 へ飛越し	7	
110 1001	MNI	modify next instruction	1	—	—	$(a_L) + (m^*) \rightarrow PSX_v$ (PSX _v) で次の命令のアドレス変更を行なう	0: 5 1: 4	
110 1010	ERI	execute remote instruction	1	—	—	m^* の命令を実行する	2	
110 1011	—	—	—	—	—	—	—	—
110 1100	PS	peripheral select	—	—	—	—	—	—
上の 2 ビットは無効	0000	R	read	—	—	a^* チャネルの a^* 装置を選択し, l による入出力動作を開始する。記憶装置との情報の授受は指令に従う。T のときは動作が終了するとプログラムへの割込みで起こる。	—	—
	0001	RB	read backward	—	—	—	—	—
	0010	A	advance	4	4	/T	—	—
	0011	AB	advance backward	—	—	—	—	—
	0100	W	write	—	—	—	—	—
	0110	E	erase	—	—	—	—	—
	0111	WB	wind backward	—	—	—	—	—
110 1101	—	—	—	—	—	—	—	—
110 1110	PRC	peripheral read console	4	—	/T	a^* 装置の a^* 機器から 1 字読んで m^* へ入れる	—	—
110 1111	PWC	peripheral write console	4	—	/T	m^* の先頭の 1 字を a^* 装置の a^* 機器へ打ち出す	—	—

(4) 固定長演算数命令

記憶装置内の単語または長語を A レジスタへ, 固定小数点または浮動小数点の数とみて, 加減乗除あるいは論理積, 排他的論理和の規

準に従って処理を行なう。またこれらの情報と A レジスタとの比較を行なって高値, 等値または低値表示子 (high, equal, low indicator) をセットする命令もある。これらの命令において, MIB 部がすべて

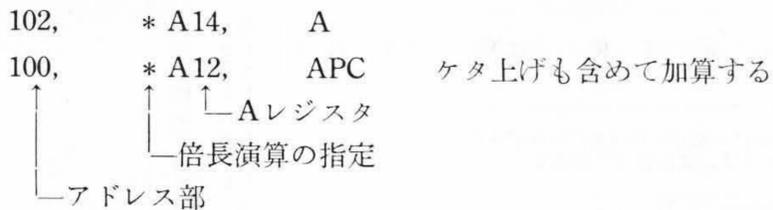
ゼロであると、命令語の所在アドレスの次のアドレスの内容が演算数として処理される、次アドレス演算数の機能がある。

固定小数点演算の多倍長演算が容易なように、加減算によるケタ上げ (carry) あるいは借り (borrow) を表示し、次にこのケタ上げあるいは借りを含めて処理を行なう命令 APC (Add with Preceding Carry), SPC もある。

単語の浮動小数点演算においては、Aレジスタは長語、記憶装置から読み出した演算数もいったん長語のレジスタにセットしてから演算を行ない、しかも結果は長語として立つ。したがって、ケタ合わせのためのケタ移動によって最下位のビットからあふれて失われる情報の演算精度に対する影響はきわめてわずかとなっている。

(例) 固定小数点 4 倍長演算

100~103 番地に記憶されている数を 12~15 番地へ加える。



(5) 転送命令

Aレジスタの単語または半語を、固定小数点または浮動小数点の数とみて、丸めを行なうか否かの指定に従って、記憶装置内へ書き込みを行なう。

(6) ファインド・アウト・トランジション命令

Aレジスタを固定小数点、浮動小数点あるいは論理的な数とみて最も左にある 1 の語内ビットアドレスを見つけ、それを記憶装置に書き込む。

(7) 可変長演算数取扱い命令

相隣る 2 語に含まれる任意の引き続いたビット情報に関する処理を指定する命令であって、これらの 2 組のビット情報間の加減算、これの 1 組と Aレジスタとの、大小あるいは等値の比較などを繰り返して行なうことができる。この命令群の適用範囲はきわめて広く、たとえば索表、最大数あるいは最小数を見つけること、情報のブロック転送、2進パターンの取り扱いなどに有用で、シミュレーションや設計解析などにも威力を発揮する。

(例) 1,000 番地, 1,002 番地, …… , 1,998 番地と 1 語おきの左半語にセットされている正整数のうちから最大数を求める。

あらかじめ 2 番地, 3 番地に次の数をセットしておく。



また a 番地の左半語に 1,000 番地の左半語をセットしておく。

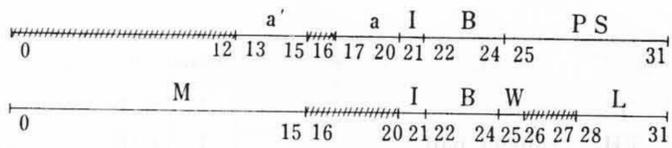
PP 0)	0,	B3,	VJH	Aレジスタと記憶装置内の
PP 1,	* A a,	* 15		情報の大小比較をして大きいものをみつける。
				次のルーチン
PP 1) 0,	B3,	VCA		みつかったより大きい数を
3,		15		改めて、Aレジスタにセッ
PP 0,	A2,	JN		ト再び比較を繰り返す。

(7) その他の命令

サブルーチンへのつなぎまたは 2 重アドレス変更に使われる命令

(8) 入出力関係命令

後述。

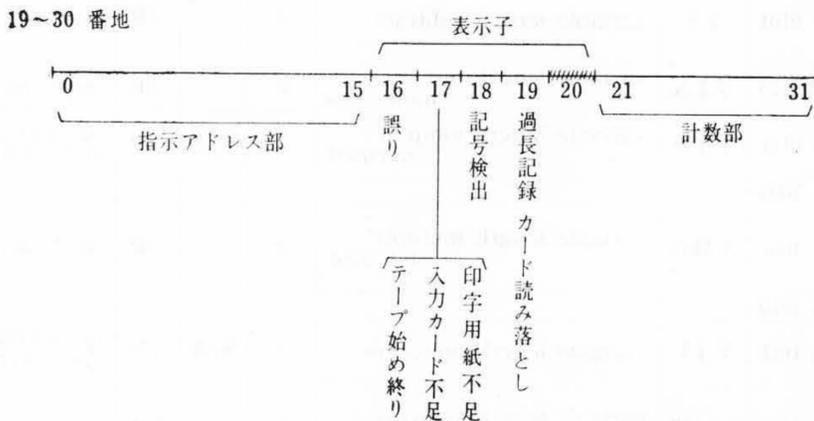


- a : チャンネル #
- a' : 装置 #
- M : 指令アドレス(これによって最初の指令の所在アドレスを指定)
- W : マスクレジスタ内の a チャンネルに対応するマスクビットに 1 をセットするか否かの指定
- L : 処理内容を指定

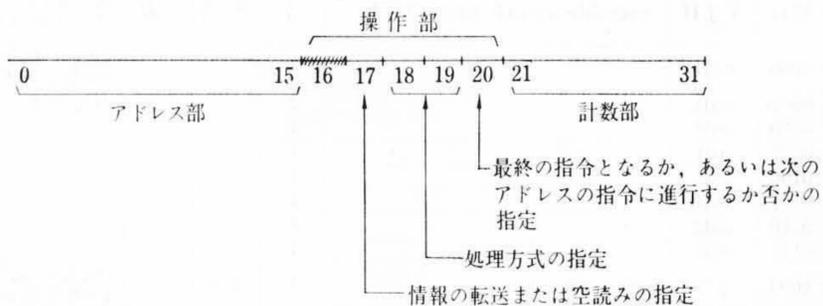
L	磁気テープ	磁気ドラム	カード読取り機	カードせん孔機	ラインプリンタ
000	読取り	読取り	読取り		
001	逆読み				
010	前進				
011	後退				
100	書込み	書込み		せん孔	印字
101	巻戻し				
110	消磁				
111	巻戻し				

注. 空所は無定義

第 5 図 入出力命令 PS (Peripheral Select) の形式およびその指定内容を示したものである。入出力装置に動作を開始させる働きをもつ。



第 6 図 チャンネルの動作を制御し、動作終了後は、終了時の状態 (final status) を保持するレジスタで、各チャンネルに 1 語対応している。



第 7 図 指令 (command) の形式を示したものである

5. 入出力制御方式

(1) 専門チャンネル方式

入力装置を制御するのはチャンネルと呼ばれる制御回路であって、入出力命令 PS (Peripheral Select) によって入出力チャンネル # (3~14) とそれに接続される装置 # および読み書きなどが指定されると、指定されたチャンネルは、中央処理装置におけるプログラムの進行と独立して入出力装置の制御を行ない、記憶装置への情報の読み書きの必要が生ずると、時分割に記憶装置を利用する。相異なるチャンネルに接続される入出力装置はそれぞれ独立に制御される。この制御の詳細を指定するのは指令 (command) と呼ばれる入出力チャンネル専用の命令である。

(2) 指令方式

PS 命令で指定されたチャンネルは、同じ命令で指定されたアドレスから引き続く一連の指令に従って入出力装置の制御を行なう。各指令は一般に、記憶装置内のアドレスの指定(アドレス部)と処理方式の指定(操作部)と処理すべき語数の指定(計数部)から成り、たとえば磁気テープ装置のチャンネルにおいては集合書き込み (gather write) および分散読み (scatter read) が可能で、動作終了後の状態は 19~30 番地のチャンネル制御レジスタに表示される。

(例) 磁気テープに集合書き込み (gather write)

- 100~135, 440~462, 232~239番地の内容を磁気テープ上に1ブロックとして集合書き込みする。
- 100, IOCP, 36. 100番地から36語書き込む
- 440, IOCP, 23. 引き続いて440番地から23語
- 232, IORP, 8. さらに232番地から8語を書き込み、ブロック間げきを入れる。

(3) チャンネルの動作

チャンネルは中央処理装置、磁心記憶装置および入出力装置の間に介在して、中央処理装置からの指示 (PS 命令) に従って入出力装置を制御し、1語の処理の終了に伴って磁心記憶装置へ時分割に割込みを行なう。今、これを磁気テープチャンネルを例にとってその動作を述べる。

PS 命令は、チャンネルとそれに接続される装置#を選択し、チャンネルの処理方式(読取り、逆読み、書き込み、巻戻しなど)をチャンネルに指示し、さらに処理内容を指定すべき指令群の先頭アドレスをチャンネル制御レジスタ(19~30番地)にセットし、プログラムは次へ進行する。書き込みの場合についてみると、指定を受けたチャンネルは磁心記憶装置に時分割に割込んで指令を読み出す。この指令のアドレス部と計数部はチャンネルとチャンネル制御レジスタに分離してセットされ、このアドレスの内容(1語)を磁心記憶装置から読み出し、この情報を字の形(1語32ビットを5 $\frac{1}{3}$ 字に編集する、1字=6ビット)に編集し、磁気テープ上に1字ごとに並列に書き込み、1語の書き込みの終了前に磁心記憶装置に時分割に割込んで、あらかじめ次の1語を読み出しておく。チャンネル内にあるアドレスレジスタの内容は1語を磁気テープ上に書き込むべき情報を1語磁心記憶装置から読み出すたびに、1だけ加えられ、チャンネル制御レ

第2表

指 令	第2表			
	0	m	XXXXX	n
コード	略号	名	称	
00000	IÖCD	input output by count control and disconnect		
00001	IÖCP	input output by count control and proceed		
00010	IÖRD	input output of a record and disconnect		
00011	IÖRP	input output of a record and proceed		
00100	IÖSD	input output until signal and disconnect		
00101	IÖSP	input output until signal and proceed		
01000	IÖCDN	input output by count control in no transmission mode and disconnect		
01001	IÖCPN	input output by count control in no transmission mode and proceed		
01010	IÖRDN	input output of a record in no transmission mode and disconnect		
01011	IÖRPN	input output of a record in no transmission mode and proceed		
01100	IÖSDN	input output until signal in no transmission mode and disconnect		
01101	IÖSPN	input output until signal in no transmission mode and proceed		
0X11X	IOJ	input output jump		

X: 0または1

ジスタにある計数器からは1だけ引かれる。この処理が何回か繰り返され、計数器の内容が0になると指令 (command) の処理は終了し、チャンネル制御レジスタ内の指令アドレスは1加えられて次の指令が読み出される。テープ上に書き込むべき情報またはチャンネルの動作を指定する指令を磁心記憶装置から読み出す場合、中央処理装置における各指令に関しては磁心記憶装置を利用しない処理はチャンネルからの割込みと無関係に進行し、磁心記憶装置を利用する場合には2サイクル(指令の場合は3サイクル)待たされる。H-582(66.7kc)1チャンネルについてこの割込みによる記憶装置の利用率を求めてみると、次の程度である。

$$\frac{66,667 \text{ 字}}{5\frac{1}{3} \text{ 字}} \times 10^{-6} \times 4 \text{ 秒} = 5\%$$

6. 結 言

以上 HITAC 5020 のハードウェアの概要について記述したが、詳細については HITAC 5020 命令語の説明書を参照されたい。またソフトウェアシステムに関しては別の機会に報告する予定である。

参 考 文 献

HITAC 5020 命令語説明書