

# MARS-101 座席予約中央処理装置

Center Processing Device for MARS-101 Seat Reserving System

穂坂 衛*	岸本 利彦**	沢田 正方**
Mamoru Hosaka	Toshihiko Kishimoto	Masamichi Sawada
波多野 泰吉***	谷 恭彦***	海老名 護***
Taikichi Hatano	Yasuhiko Tani	Mamoru Ebina
八田 恒明***		
Tsuneaki Hatta		

## 内 容 梗 概

題記装置は MARS-101 座席予約システムを中心とする電子計算機システムであって、全座席の台帳の管理をしていて、時々刻々に発生する端局装置の要求に応じて座席の割当てを行なうものである。システムの基本的な考え方は別掲論文「実時間処理方式の基本構想」に詳細に記載されているので、本論文では各装置の具体的な構成および論理について述べている。2 節には本中央装置の全体の構成と基本回路を、3 節には本装置の全体の動作を規制している汎用プログラム記憶式の統制処理装置について、実時間処理用計算機としての機能と高速処理能力を経済的に実現するため、特に考慮され、特長とする点を述べ、4 節には多数の通信回線を接続するための接続装置を、5、6 節には座席予約特有の索表、座席の割当動作を能率よく行なうための専用計算機であるテーブルコンピュータおよび座席ファイル制御装置につき概略を述べている。

## 1. 緒 言

MARS-101 座席予約システムについては、別稿論文に紹介されているので、本稿ではその中央処理装置の金物の面について報告する。中央処理装置は本システムで取り扱う全座席のファイルを管理して、端局装置の要求に応じて座席の割当てを行なうものであって、座席予約自動化システムを中心とする電子計算機システムである。本システムの基本構想は別掲論文「実時間処理方式の基本構想」に詳細述べられているが、その特長を概略述べる。

- (1) 座席予約特有の処理を高速に行なうため、それぞれ独立の特殊な制御装置（電子計算機）を用いている。
- (2) 特に実時間制御システムに適するよう設計された汎用プログラム記憶式の電子計算機（統制処理装置）を用いて、上記の各専用計算機の制御を行ない、各機器の処理能力を最大限に発揮させるため、流れ作業的に処理を行なわせる方式としている。
- (3) 並列運転方式であり、正常時にはファイルは常に 2 組が Update されていて故障による業務停止を極力短くするよう考慮されている。また二つの系の処理結果をお互いにチェックしており、誤処理を防ぐとともに故障を早期に発見できるようになっている。
- (4) 座席ファイルに磁気ドラムを用い、1 座席 1 区間を 1 ビットで表示して、これを実際の車両内の座席と同様の配列で並べられている。列車、等級、車両により、それぞれ座席数、区間数などが異なるので、ファイルには車両ごとに車両番号、等級、区間分割方法などの制御情報が記録されており、これらの制御情報と与えられた命令およびデータに従って完全に可変長情報のビット処理を行なう。
- (5) 多数の入出力回線を通して多数の端局装置と同時に送受信を行なうことができる。この送受信は 50 ボーの電信回線によりビット直列に行なわれるが、このために送受信制御装置が使用され、時分割で各回線を制御して、直接主記憶装置の磁気コアメモリと情報の授受を行なっている。
- (6) 高度の割込機能を有する。本装置に 3 種類の割込機能があ

って、それぞれの特性に応じて使い分けられている。第 1 は主記憶装置に関するもので、各制御装置、統制処理装置は同一の磁気コアメモリを共通に使用しており、それぞれの優先度に応じ任意に読み書きが行なわれる。第 2 は入出力チャネルの統制処理装置への割込みであって、入出力制御バッファレジスタと磁気コアメモリとの情報授受の際に統制処理装置内のレジスタと制御回路が一時的に利用される。以上の二つは金物のレベルで行なわれる割込みであるが、第 3 のものは統制処理装置のプログラムに対する割込みである。これには、周辺装置からの割込、故障による割込、他系統からの割込、時計、マニュアルスイッチによる割込など 20 レベルの割込機能を有しているため、高度のプログラムを組むことができる。これらのプログラムによる処理については別稿論文に紹介されている。

(7) 端局装置との間で送受信を行なった情報、特殊処理を行なった事項、異常の状態など、処理の経過などをすべて磁気テープに記録保存することができる。なお時計装置により、これらの記録には時刻も同時に入れることができるので種々のトラブルが生じたとき、これを解決するために参照したり、各種の審査統計に用いられる。

## 2. 中央処理装置の構成

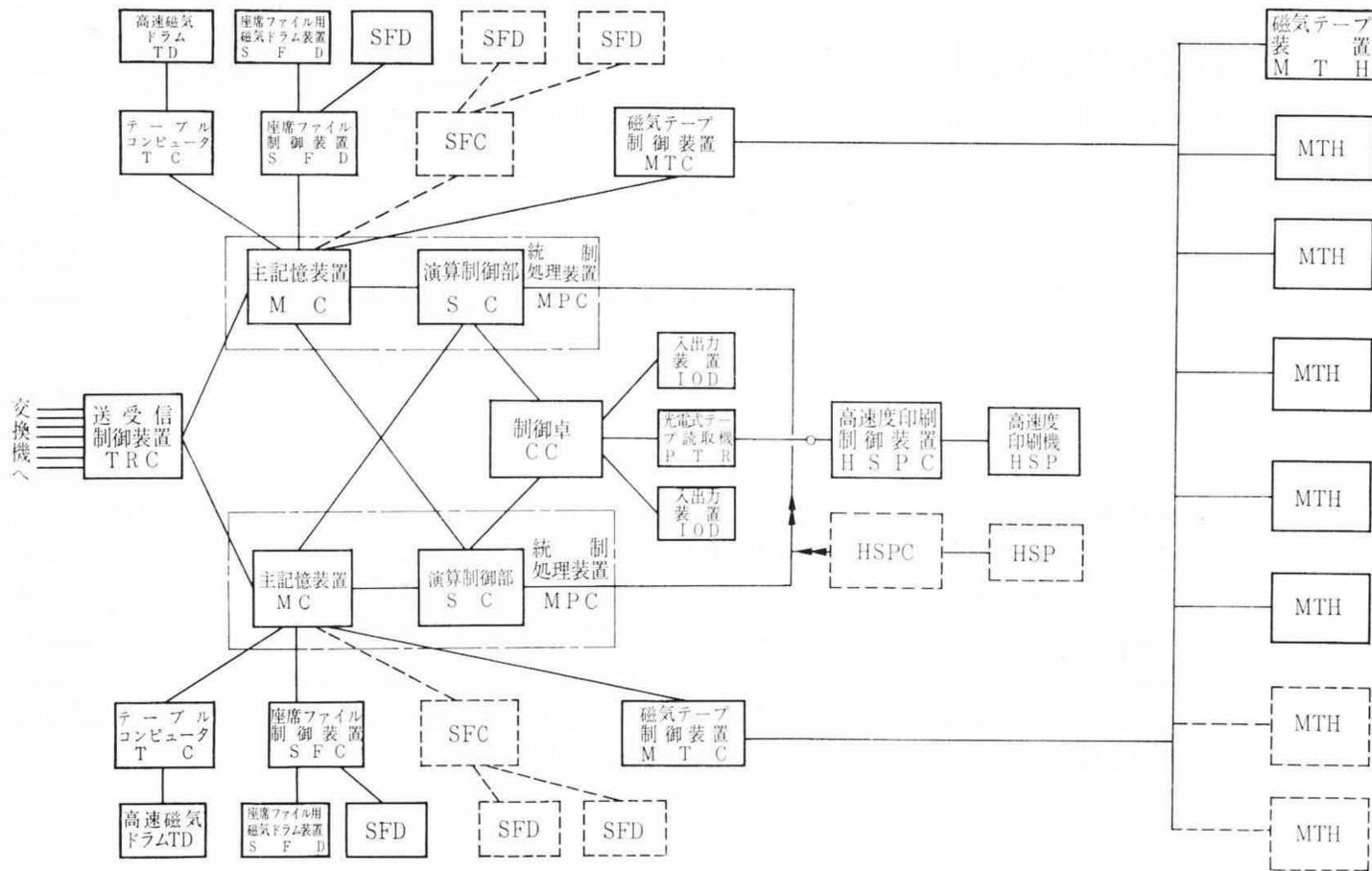
中央処理装置は多数の計算機の組み合わせより成る計算機システムであって、その構成は第 1 表に示すとおりであって、その系統図を第 1 図に示す。なおこれらの電源として電動発電機、エンジン発電機蓄電池および整流器などがある。制御装置はダイオード論理による同期制御式トランジスタ計算機である。クロックは TRC 内の 480 kc の水晶発振器より作られ、TRC、MPC、MTC は両系ともに完全に同期したクロック（周期約 2.08  $\mu$ s）で動作している。TC、SFC、HSPC はそれぞれの磁気ドラムのクロックが用いられているので MPC とは非同期となっている。系統図に示すように各制御装置は主記憶装置と接続されており、命令およびデータの授受はすべてこの記憶装置を媒介として行なわれる。この情報授受は 1 語 40 ビット並列に行なわれる。

各制御装置は同一構造のきょう体を用い、回路ユニットを 3 面実装とし、前後面はゲート構造として保守の便を図っている。回路ユニットには各種のものがあるが、主としてフリップ・フロップ 1 種、

\* 東京大学

\*\* 日本国有鉄道

\*\*\* 日立製作所神奈川工場



第1図 MARS-101 座席予約中央処理装置

第1表 MARS-101座席予約中央処理装置構成表

名 称	略 号	員数 (実装)	員数 (容量)
統 制 処 理 装 置 (演 算 制 御 部) (主 記 憶 装 置)	MPC (SC) (MC)	2	
テ ー ブ ル コ ン ピ ュ ー タ (制 御 部) (高 速 磁 気 ド ラ ム)	TC (TC) (TD)	2	
座 席 フ ァ イ ル 制 御 装 置	SFC	2	4
座 席 フ ァ イ ル 用 磁 気 ド ラ ム 装 置	SFD	4	8
送 受 信 制 御 装 置	TRC	1 (2群32回線)	1 (3群96回線)
磁 気 テ ー プ 装 置	MTH	6	8
磁 気 制 御 装 置	MTC	2	
高 速 度 印 刷 機	HSP	2	2
高 速 度 制 御 装 置	HSPC	1	2
制 御 卓	CC	1	
入 出 力 装 置	IOD	2	
光 電 式 テ ー プ 読 取 機	PTR	1	
整 流 電 源 装 置 (独 立 の 2 回 路 実 装)	DCS	1	
高 速 ド ラ ム 用 周 波 数 変 換 機	FC	2	

ゲートユニット4種，エミッタフォロワ2種，インバータ1種が用いられている。これらの主要回路には，実績ある MARS-1 とほぼ同様のものが用いられている。

(1) フリップ・フロップ

飽和形スタティック・フリップ・フロップであってトリガにはセット，あるいはリセット入力信号とクロックパルスを用い，同期式として使用している。入力信号は抵抗を通して入力コンデンサを充電し，次のクロックでこの電荷をトランジスタのベースに加えてトリガする。出力は+10Vと+1Vである。

(2) ゲート回路

本機のゲートはすべてダイオードで構成されているが，4種のユニットを適当に組み合わせて用いている。ゲートは必ずAND-ORとして単純化を図っており，OR-AND とする場合はエミッタ・フォロワを介することとした。

(3) エミッタ・フォロワ

フリップ・フロップの出力電圧を大きく設計してあるので，ゲートを通ったときの信号レベルの減衰は，あまり問題とならないので，本装置ではフリップ・フロップを必要最小限にし，その間でできる限りの直流通理を組んでいる。このためのバッファアンプとして，エミッタ・フォロワを多数使用している。なお浮遊容量の多い長い配線の駆動にはNPNとPNPのトランジスタを組み合わせたコンプリメンタリのエミッタ・フォロワを使用して高速動作に支障のないようにしてある。

(4) インバータ

エミッタ・フォロワにて駆動される増幅器であって，そのコレクタ回路より反転出力を得ている。論理を行なったのちの波形の反転に用いる。

3. 統制処理装置 (MPC H-3031 形)

主記憶装置(MC)，主演算制御部(SC)，入出力制御部(IOC)より成り，本計算機システムの中核として動く汎用プログラム記憶式の計算機であり，単に数値演算やデータ処理を行なうことのみならず，一般情報処理，制御指令発生のために特に考慮されており，高速演算能力をもっている。

命令の読み出し	10 μs
加 減 算	12~20 μs
シ フ ト	10~14 μs
テスト・ジャンプなど	6~20 μs

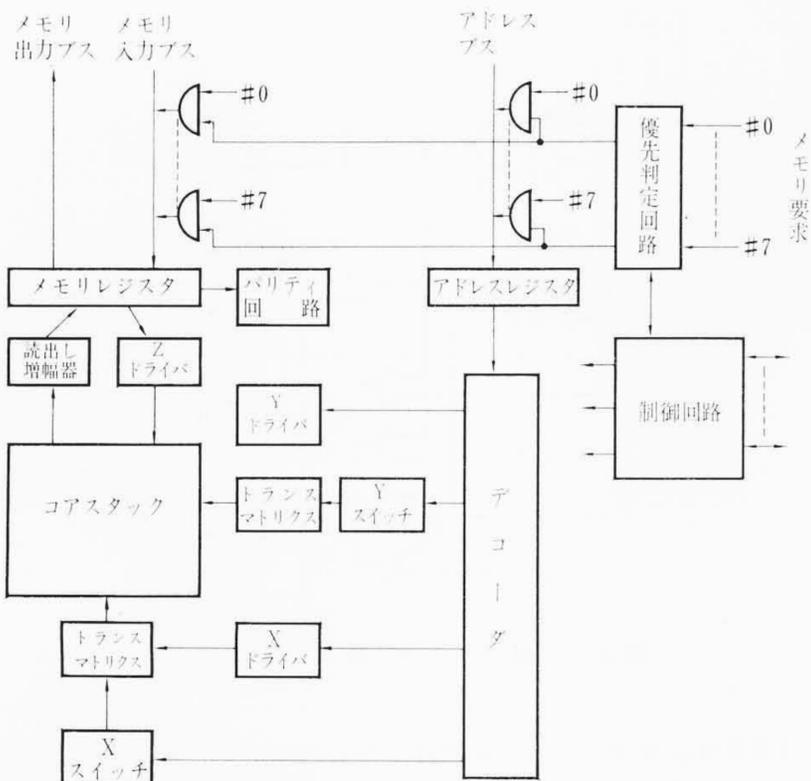
3.1 主記憶装置

主記憶装置は磁気コアを用いた高速記憶装置であり，仕様は下記のとおりである。第2図はそのブロック図である。

記 憶 容 量	4,096 語 (1 語40ビット+パリティビット)
サイクルタイム	10.8 μs (スプリットリードライト可能)
駆 動 方 式	電流一致式
プレーン構造	64×64
プレーン枚数	41 枚

3.1.1 主記憶装置の動作概要

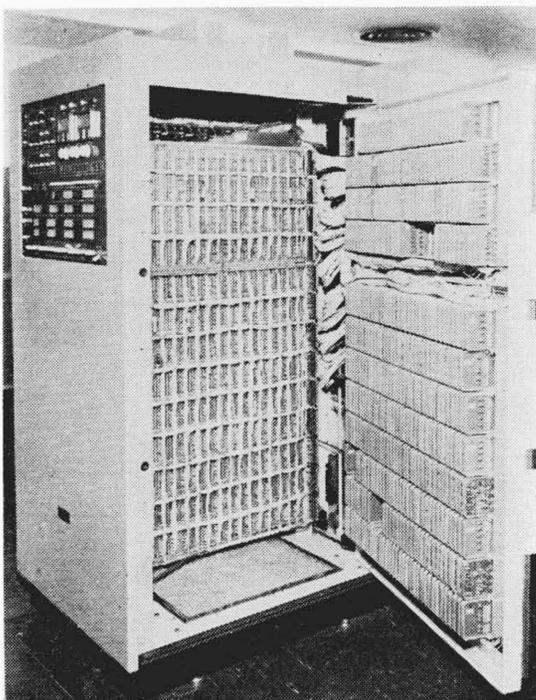
さきに述べたように本記憶装置は各種制御装置と直接接続され



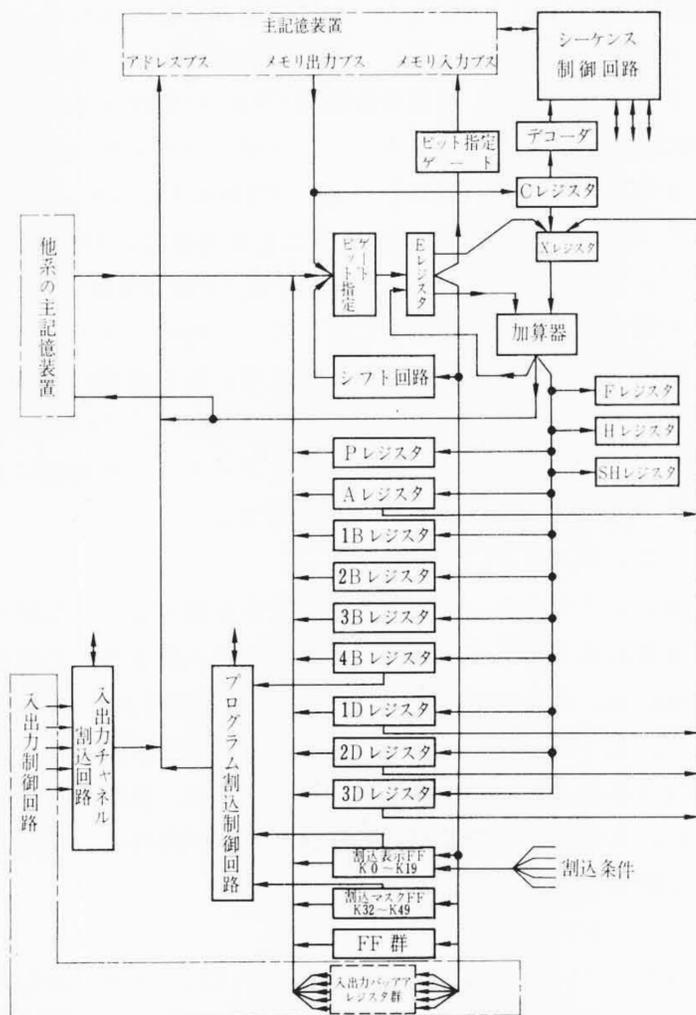
第2図 MARS-101 主記憶装置ブロック図

て情報の授受を行なっている。これを円滑に行なうため、ブロック図に示すように、主記憶装置はまったく独立の制御回路を有していて、各制御装置からのメモリ要求により動作を開始する。ここでは統制処理装置の演算制御部も、他の制御装置と同様の一つのチャンネルとして取り扱われており、特別な関係はない。メモリ要求信号がはいると優先判定回路により最優先のチャンネルを探し出し、そのチャンネルの要求しているアドレスをアドレス・レジスタに読み込む。それと同時に要求信号を調べて読み出し要求か書き込み要求かも判定する。アドレス・レジスタの出力はデコーダを通してXおよびYスイッチ、ドライバを駆動し、それぞれX線、Y線の1本ずつに駆動電流を流してその交点の記憶情報を読み出す。読み出し要求のときは、これをメモリレジスタにセットして再書込を行なう。書き込み要求のときは、読み出し出力をメモリレジスタにセットせず、メモリ入力ブスの情報をセットして書き込みを行なう。読み書き要求のときは、まず読み出し情報をセットし、次に入力ブスの情報をセットして書き込みを行なう。書き込みおよびメモリレジスタのリセットはそれぞれのチャンネルの信号により制御することができる。一つのチャンネルの要求を処理してメモリレジスタのリセットを行なうと同時に優先判定回路を動作させて、次の要求に対する処理を開始する。もしもパリティ回路により情報の誤りを発見したときは、そのアドレスとチャンネル番号とを4096番地に書き込み、SCのプログラムに割り込みを起こして警報を発する。

3.2 演算制御部  
演算制御部は第3図に示すブロック図のように、各種レジスタと加算器、シフト回路、ビット指定回路、プログラム割込制御回路、入出力チャンネル割込制御回路およびシーケンス制御回路などより成りたっている。シーケンス制御回路は全体の制御を行なうものであって、主記憶装置から命令を読み出し、その命令の解読と実行（アドレス演算、オペランドの読み出し、各種レジスタまたはオペランドの操作など）を順序よく制御するもの



第4図 MARS-101 統制処理装置の内部構造



第3図 MARS-101 統制処理装置ブロック図

である。

3.2.1 各種レジスタ、主要回路とその機能

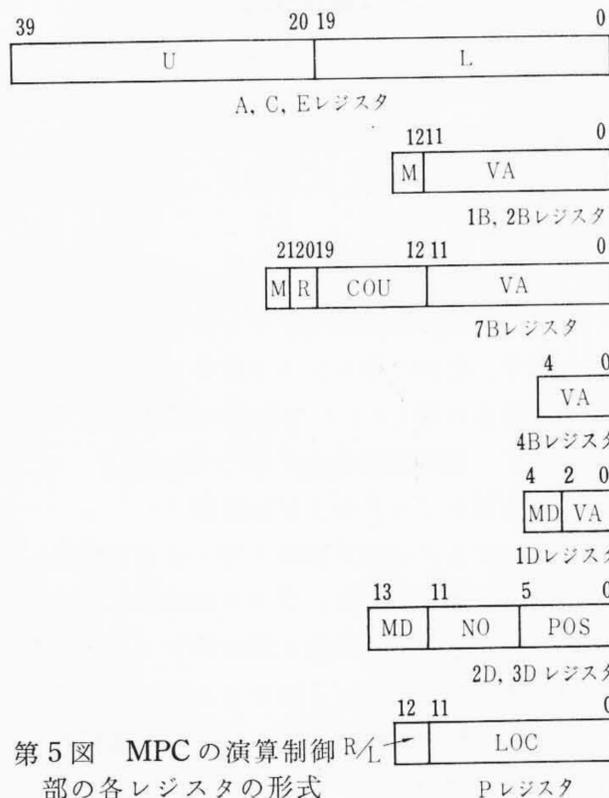
演算制御部のレジスタの形式は第5図に示されているが、それらの機能概要について述べる。

(1) Aレジスタ

1語40ビットの大きさを有する累算器であって、加減算およびオペランドとの種々の論理操作に用いられる。

(2) Bレジスタ

1B, 2B, 4B, 7Bの4個のレジスタがある。インデックス・レジスタであり、アドレス修飾、カウントなどブックキーピングの操作に便利に使用される。4Bレジスタはプログラム割込みに関係した特殊なレジスタで5ビットより成り、カレント・タスク・レジスタとも呼ばれ、このレジスタの示している数より高いレベ



第5図 MPCの演算制御部の各レジスタの形式

ル(数値の小さいほう)のものみに割込みが許容される。7Bレジスタはアドレス修飾に用いられる数値部12ビットと計数部8ビットより成り、繰返し演算や数値部(VA)に操作を加えるとき自動的に計数部(COU)がカウントしてプログラムの分岐を制御する。また7BのVAとCOUを分離して3Bおよび5B(または6B)として、それぞれを単独に指定することもできる。1B, 2BはVA12ビットより成る。なお1B, 2B, 7B(または3B)はメモリモードと称するビット(M)を有していて、このビットが1であるときに読み出しの命令でアドレス修飾に用いると他系の記憶装置を指定することとなる。書き込みを伴う命令では、このビットは無関係となる。これは機器の故障またはプログラムの暴走により他系のメモリを破壊するのを避けるためである。

(3) Cレジスタ

命令レジスタであって、1語の大きさを有する。したがって1語に含まれる2命令が一度にメモリから読み出されてこのレジスタにはいる。命令は上位20ビットのものが実行され、これが終了すると、上下20ビットが交換されて、それまで下位にあった命令が実行される。2命令の繰返し演算のときは、再び上下の交換が行なわれるので命令の読み出し動作は最初の一回のみで指定回数の繰返し演算を行なう。

(4) Dレジスタ

ビット・インデックスレジスタとも呼ばれ、メモリから読み出す、または書き込むビットフィールドを指定する。1Dは数値部(VA)3ビット、モード(MD)2ビットより成り、1語を10ビットまたは20ビットに区切って、ビットフィールドをコードで指定する。2D, 3Dはビット位置指定部(POS)6ビット、ビット数指定部(NO)6ビットおよびMD2ビットより成り、POSでフィールドの右端のビット位置をNOでビット数を指定する。MD部には指定されたフィールドの特性を示すもので、指定フィールド以外をすべて0とみなす正常モード、指定されたフィールドの最上位のビットを符号とみなす符号モード、Aレジスタについて指定されたビット数にだけ操作を加え、他のビットには全く影響を及ぼさない制限モードの3種類がある。

(5) Eレジスタ

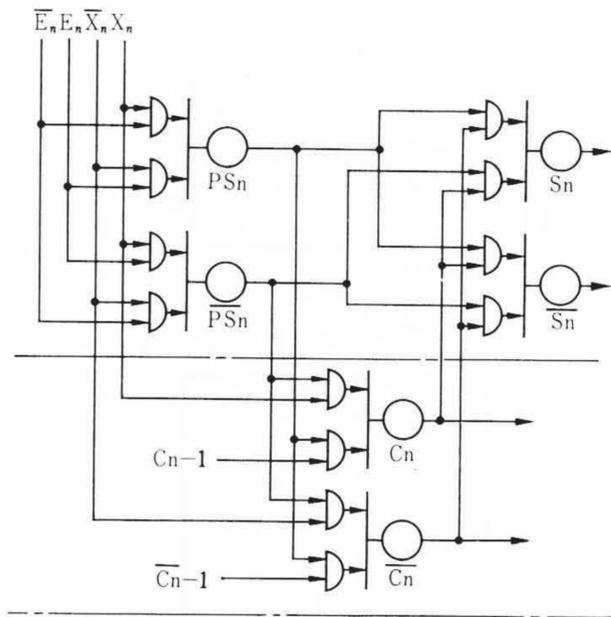
1語の大きさの演算レジスタである。ほとんどすべての演算、すなわちアドレス演算およびオペランドの演算、シフト、各種テストが行なわれる。したがって入力にはメモリ出力、各レジスタ出力、シフト回路の出力などがビット指定ゲートを通して接続されており、出力は加算器、シフト回路、ビット指定ゲートを通してメモリへ行っている。また一時的なアドレス・レジスタとしてインダイレクト・アドレッシングやアドレス計算に利用できる。なお入出力チャンネルの割込みのときに、そのチャンネル・インデックスのアドレス演算、入出力データの組立、分解にも利用される。

(6) Pレジスタ

プログラム・カウンタであって現在実行中の命令のアドレスを示している。最上位のビットは実行中の命令が左命令か右命令かを示す。なおこのレジスタはBレジスタと同様にアドレス修飾にも利用される(アドレス修飾の際の5B, 6Bはレジスタの指定ではなく、相対番地を示すものである)。

(7) Xレジスタおよび加算器

Xレジスタは加算器の入力レジスタであって20ビットの大きさである。加算器はEレジスタの下20ビットとXレジスタを加えるもので、その概要は第6図に示すようなものであるが、キャリーの論理段数が6段以下になるように構成されている。本機ではシーケンス制御回路によりこの1個の加算器を種々の演算、カウントに時分割で使用している。したがってAレジスタに関する演算



第6図 MPCの加算器概念図

は2クロックタイムで、そのほかのものは1クロックタイムで完了する。

(8) F, Hレジスタとビット指定ゲート

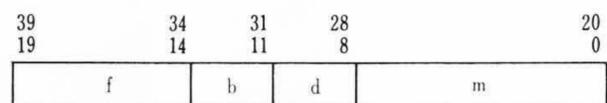
本機の特長であるビット指定を行なうためのレジスタであってFレジスタにフィールドの右端のビット番号がはいる、Hレジスタに左端のビット番号がはいる。これらのレジスタはDレジスタまたはCレジスタのd部の出力より加算器を通して与えられる。このFとHレジスタのデコーダ出力によってビット指定ゲートが駆動される。

(9) SHレジスタとシフト回路

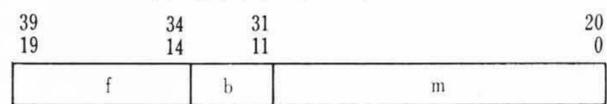
本機のシフト回路は1, 4, 16ビットのシフト回路が直列に接続されているのでEレジスタの内容を1, 4, 5, 16, 17, 20, 21ビットのけた移動が1クロックで行なえるので、いかなるシフトも3クロック以内で完了する。SHレジスタはこのシフトのけた数を制御するレジスタである。

3.2.2 命令の形式と機能

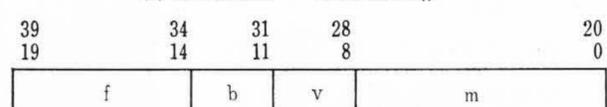
本機の命令は20ビットで1命令を構成し、1語に2命令が収容される。1アドレス方式で通常は左(上)側命令→右(下)側命令の順に実行される。命令は第7図に示すように数種の形式があるが、上位6ビットにf部があり、これにより命令の操作種別を表わしている。アドレスはすべて2進数で扱われ、2, 3の例外を除きすべてEレジスタにより修飾される。Eレジスタはアドレス



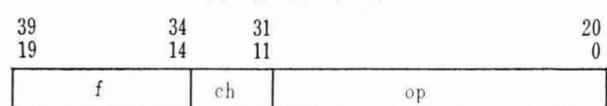
(1) 標準アドレッシング



(2) Immediate Addressing



(3) 制御命令



(4) 入出力命令

第7図 MPCの演算制御部の命令形式

準備命令によってセットされ、それ以外の命令を実行するとクリアされる。オペランドが数値である場合は純2進または2進10進（1けた4ビット）で扱い、最上位ビット（またはけた）が符号を表わす。負数は2または10の補数で表現される。

(1) 標準アドレッシング

メモリのアドレスを指定し、その内容を操作する命令の形式で実効アドレスは  $(E) + (B)^b + m$  となり、さらに  $d$  で指定された  $D$  レジスタの内容が示すビットフィールドがオペランドとなる ( $(B)^b$  は  $b$  で指定された  $B$  レジスタの内容を示す)。標準アドレッシングでは、Extract-shiftが基本となっており、指定されたビットフィールドの右端が各レジスタの右端と一致するようけた移動が自動的に行なわれる。なお  $b$  が 5, 6 のときは相対アドレス（前および後）であり、7 のときは繰返し演算の指定である。

(2) イメディエイトアドレッシング (Immediate Addressing)

実効アドレス  $(E) + (B)^b + m$  がアドレスを示さず、直接オペランドとして使用する命令形式である。

(3) インデックスアドレッシング

形式的には上記の(1)または(2)の形式と同一であるが、 $b$  はアドレス修飾を指定するのではなく、操作すべき  $B$  レジスタを指定するものである。なお  $b$  が 5, 6 のときはレジスタとして  $7B$  の  $COU$  部を指定し、繰返しモードビット  $R$  を単または対にセットする。

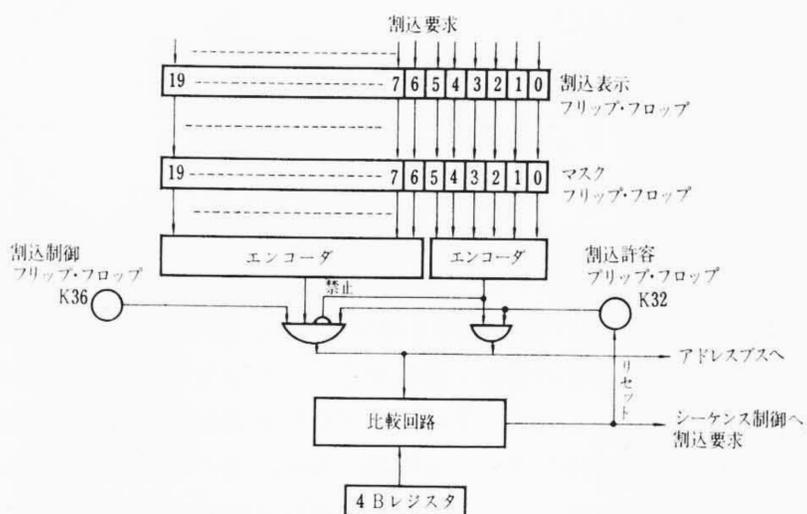
(4) そのほか、特殊なものとして制御命令、入出力命令などがあり、 $v$  部で  $f$  の変形やチャンネルの指定をするもの、 $op$  で接続機器およびその動作を指定するものなどがある。

3.2.3 繰返し演算機能

本機には1命令または1語に含まれる対命令を指定回数だけ実行する特別な機能がある。この機能はアドレス変更と回数のカウントを別の命令を用いずに同時に行なうので、きわめて有効な機能である。繰返し演算は  $b = 7$  で指定する。このとき  $7B$  の  $R$  が 0 であればその命令のみを繰り返す、1 であれば対命令を交互に繰り返す。この際にそれぞれの命令を実行すると同時に  $(VA)_{7B} + m \rightarrow (VA)_{7B}$ ,  $(B)^b + m \rightarrow (B)^b$  の操作を  $B$  レジスタに加えるのでアドレス変更が自動的に行なわれる。また  $b = 7$  の命令を実行するたびに  $COU$  を一つずつ減じていき 0 になると動作を終了する。なおテスト命令のときは条件が成立すれば  $COU$  が 0 にならなくても動作を終了する。

3.2.4 プログラム割込機能

本機のプログラムへの割込みは第8図のように制御されている。割込要求が起こるとまず割込表示フリップ・フロップがセットされる。それに対応したマスクフリップ・フロップが ON であれば、その出力はエンコーダにはいり、そのレベルに対応した数



第8図 プログラム割込制御概念図

値に変換される。エンコーダは優先回路が含まれているので、その出力にはそのときの最も優先度の高い割込レベルが現われる。割込許容フリップ・フロップ  $K32$  が ON であれば(割込みのレベルの低いものはさらに割込制御フリップ・フロップ  $K36$  もともに ON になっている必要がある)これが比較回路に加えられ、 $4B$  レジスタと比較される。割込要求が  $4B$  の数値より小さいときはシーケンス制御回路へ割込要求が出され、その制御によってプログラムの実行が停止されて、エンコーダ出力をアドレスとしてメモリを読み出し、その左半分を  $P$  レジスタにセットすると同時に、それまで実行していた命令の次のアドレス ( $P$  レジスタの内容) を右半分には書き込む。これにより新しい要求に対するプログラムへジャンプすることになる。このとき  $K32$  はリセットされ、引き続いて割込みが起こるのを禁止している。表示フリップ・フロップのリセットおよびそのほかのフリップ・フロップのセットリセットはすべてプログラムで行なう。

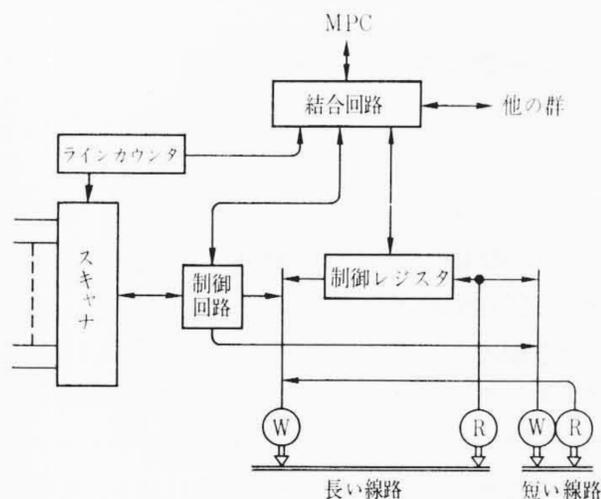
3.2.5 入出力の同時制御

本機の入出力機器の制御はチャンネル構造により主演算部の命令実行とは同時に並行して行なわれ、主記憶装置と情報授受を行なうとき一時的に割り込まれる。入出力チャンネルはそれぞれ特定番地をチャンネルインデックスとして保有している。入出力制御部が情報交換を必要とする場合は、シーケンス制御回路に要求を出す。シーケンス制御回路は命令の実行を一時停止し、 $E$  レジスタ、シフト回路、加算器を流用して、その要求チャンネルのインデックスを読み出して必要な変更を加え、それに基づいてデータの分解、組立を行なってメモリへの書き込みまたはチャンネルへの出力を行なう。この動作が終了すると再び命令の実行にもどるようになっている。

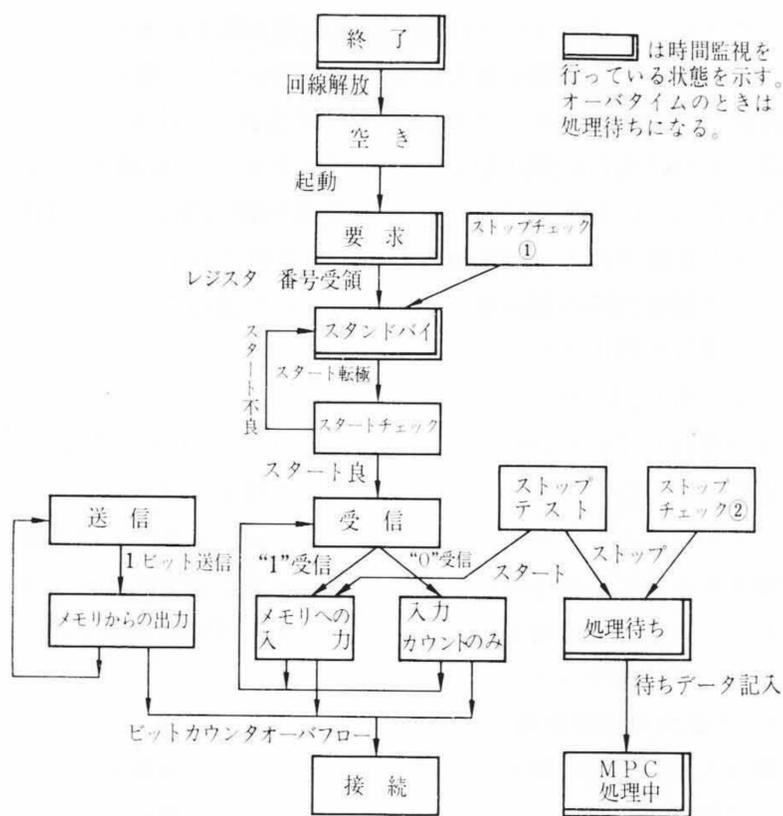
4. 送受信制御装置 (TRC H-221 形)

TRCは50ボアの電信回線とMPCを接続し、MPCの指令を受けて情報の送受を行なうものである。すなわち回線を通して送られて来る情報をMPCのコアメモリ内に順次書き込み、またコアメモリ内の情報をシリアルに回線に送り出す動作を行なう。

TRCは2個の同一の制御回路より成り、それぞれは群と呼ばれ、お互いに完全に独立となっている。各制御回路はそれぞれ32回線を時分割で制御するのでTRCとしては64回線まで同時に送受信を行なうことができる。時分割で制御するための制御情報を一時記憶するライン・インデックスレジスタがそれぞれの群に付属している。このレジスタは長短それぞれ3本ずつの遅延線で構成されており、長いものは磁気遅延線で31回線分、短いものはLC遅延線で1回線分、合計32回線分ある。電信回線はこれと同期してスキャンされる。レジスタを一巡する時間は1,333ms (20ms/15) であるので、それぞれの回線は送受信する電信1ビットの間に15回ずつ制御



第9図 送受信制御装置ブロック図



第10図 TRC動作流れ図

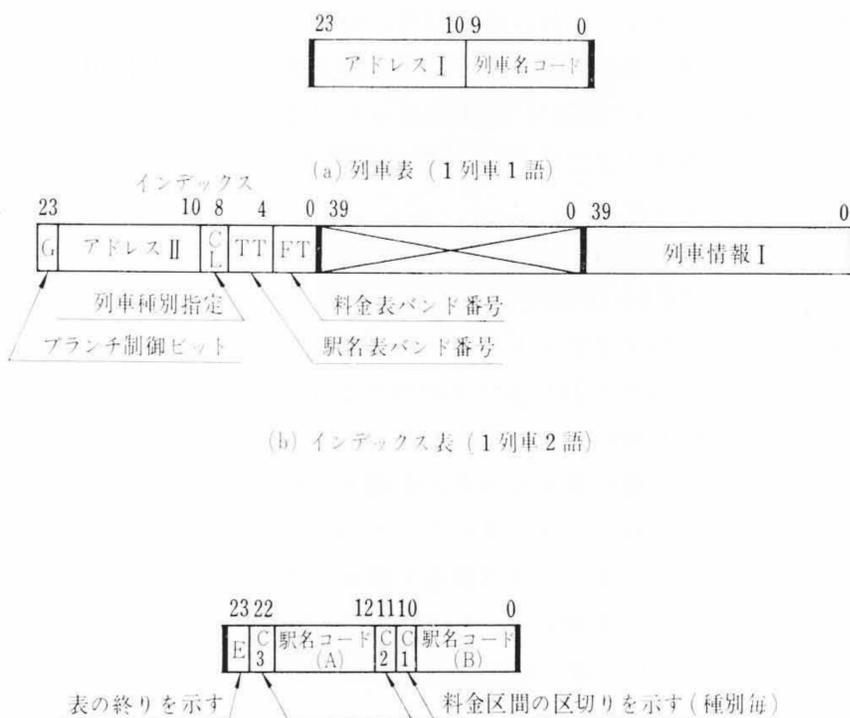
を受ける。それぞれの回線に対応するインデックスは約60ビットからなり、状態表示、タイマ、入出力レジスタ番号、語番号、ビット番号、入出力ビットのバッファ、ビットカウンタ、コネクタ番号、アラームタイマおよびアラーム表示などから成っている。TRCの動作の概要を第10図に示す。

TRCはMPCのコアメモリと制御情報および入出力情報を直接授受する。制御情報の交換用としてコアメモリの特定アドレスが用いられ、これらには4種のものがある。回線から起動がかかってくると上記の特定アドレスの一つから使用可能な入出力レジスタの番号と受信すべきビット数を受けとり、それによって順次受信信号を入力する。指定されたビット数の受信が終了すると、その情報を処理待ち記録用のアドレスに書き込んでMPCに処理を依頼する。MPCは処理が終わるとTRC制御用アドレスに必要な情報（出力レジスタ番号、出力ビット数など）と命令（送信、開放など）を書き込んで、動作の指令を出してくるので、TRCはそれによって動作を続行する。これら動作の制御は、コアメモリの制御情報の使用の可否を示す情報線およびMPCのプログラムへの割込用制御線によって行なわれる。

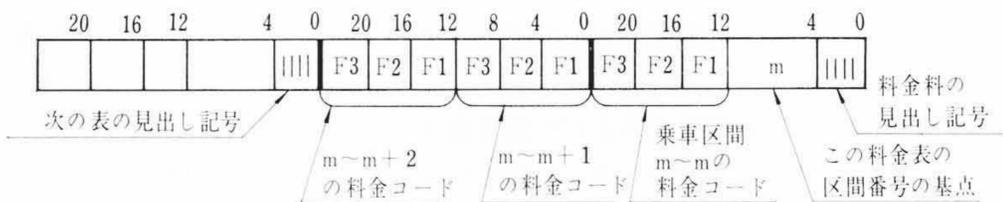
なお、送受信は電信回線を通して遠隔地と行なわれるので種々時間監視を行なっており、必要な警報を発するようになっている。

### 5. テーブルコンピュータ (TC)

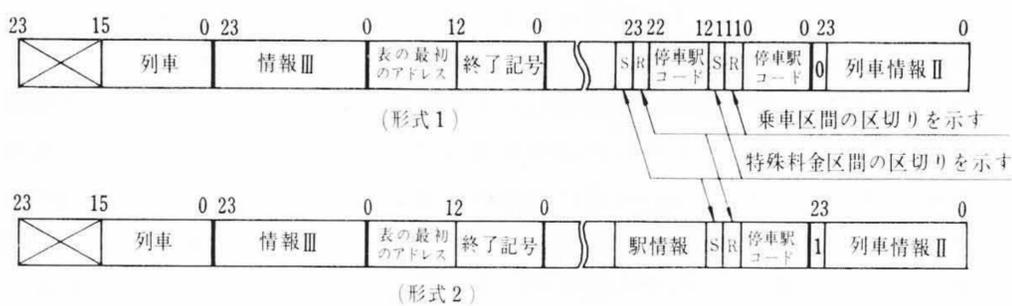
TCは磁気ドラムメモリをもった専用計算機であって、本システム固有のコード変換、区間算出、コードのバリデティ・チェック (Validity check) などを行なう。本機のドラムは毎分約9,000回転のものであって、MPCから一度命令を与えられるとそのデータに従って、ドラム上のテーブルをひき、そのテーブルから得られた情報によって次のテーブルをひくという動作を順次行なって、ファイルのベースアドレス、乗車区間、料金コード、日付変更の有無およびその列車に付随した各種情報をドラム3、4回転のうちで求めることができる。ドラムは64バンド、8,196語(1語は24ビット)の容量を有し、各種テーブルとして用いられる。



(c) 駅名表(1駅1語)コード(A)と(B)は同一駅に与えられた2種類のコードである。

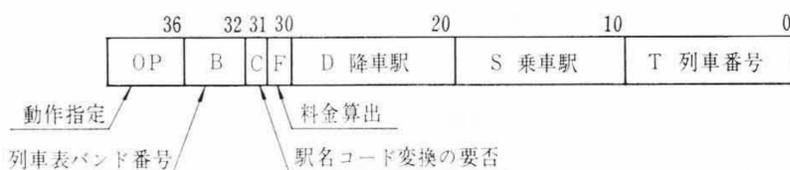


(d) 料金表(1区間半語)F1,2,3は各種別に対する料金コード



(e) 列車停車駅表 (列車情報IIのビット番号23に形式が区別される)

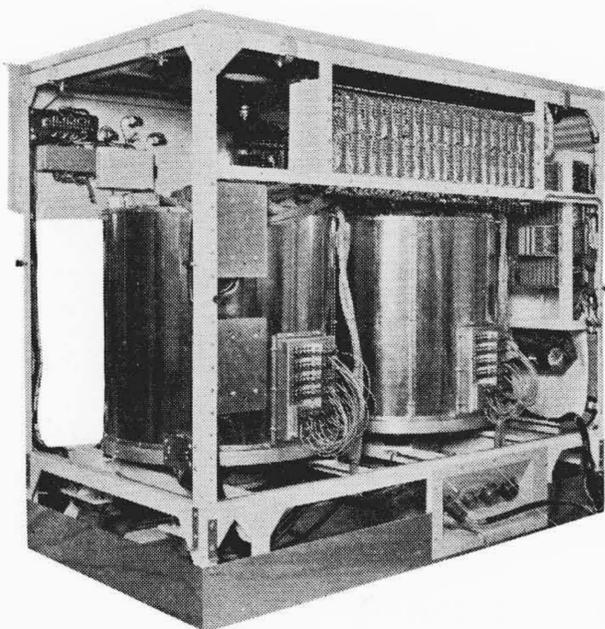
第11図 テーブルコンピュータで用いられる各種表の形式



第12図 テーブルコンピュータへの命令の一例

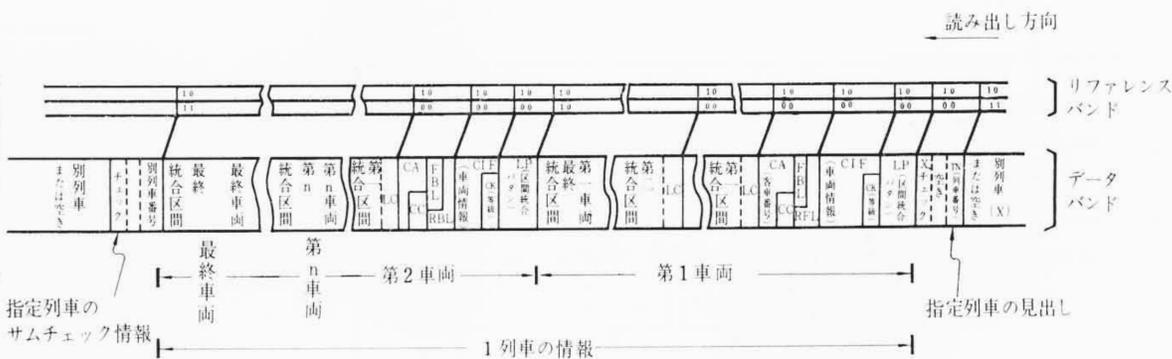
テーブルには列車表、インデックス表、駅名表、料金表、列車停車駅表などがある。これらのテーブルの形式を第11図に示す。

MPCからの命令には数種類のものがあるが、第12図に例示されている命令についてその動作を説明する。この命令では列車表のバンドが指定されているので、そのバンドの列車表を順次調べて指定された列車コードを探し出し、その語に含まれるアドレスIを読み出す。アドレスIはインデックス表のアドレスであるから、これにより列車情報Iを読み出してMPCのコアメモリに書き込み、さら

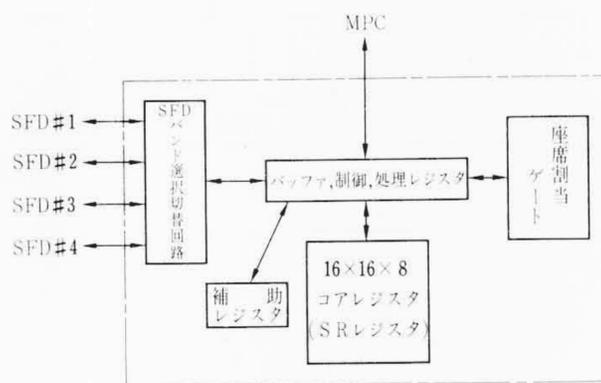


第 13 図 磁気ドラム装置内部構造図

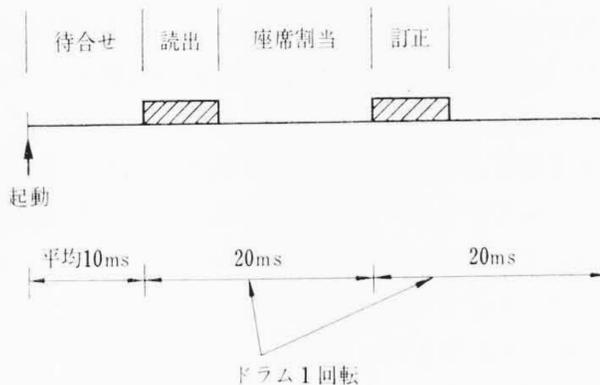
に引き続いてインデックスを読み出す。この読み出されたインデックスで指定される駅名表と、命令で指定された乗降車駅を比較して必要に応じて駅名のコード変換を行ない、料金区間番号を算出する。この料金区間番号を用いて、インデックスで指定された料金表から料金コードを引きだして、列車情報Ⅱとともに MPC のコアメモリに書き込む。列車情報ⅡはインデックスのアドレスⅡで指定されるものであり、これに引き続いて、その列車の停車駅表がある。この表と乗降車駅コードを比較して、指定された駅にその列車が停車するかどうかをチェックすると同時に乗降駅の区間コードを引き出し、これを MPC に書き込む。列車停車駅表を形式 2 のようにした場合には駅に付随した情報(たとえば発車時刻)をとり出して利用できる。最後に列車情報Ⅲを読み出して MPC に書き込み動作を終了する。以上の命令のほか途中でブランチしたり、途中から始めるもの、単に 1 語の読み出し、書き込みを行なうものなどがある。



第 14 図 情報収容図



第 15 図 SFC ブロック図



第 16 図 処理動作時間配分

6. 座席ファイル制御装置 (SFC)

SFC は MPC のデータ・チャンネルに接続し、座席ファイル用磁気ドラム装置 (SFD) を制御して座席情報の読み出し、訂正および座席の割当てなどの制御を行なう専用の計算機である。

座席情報は SFD に記憶されている。MARS-101 では座席位置を指定して予約、解約を行なうため 1 座席に 1 ビットをあてている。さらに 1 座席を途中停車駅で乗降する 2 人以上の乗客に割り当てることにより座席の利用効率を高めるため、始発-終着駅間を適当な区間に分割し、各区間の座席を 1 ビットで表現する方式としている。このような記憶方式をとるので初期実装として約 400 万ビットの容量が必要となった。将来の増設を考え最大実装で 800 万ビットの容量をもたせることとし、200 万ビットの容量をもつ磁気ドラム装置を 4 台まで接続できるよう計画した。

SFD の仕様は概略次に示すとおりである。

平均待時間	10 ms
ビット/トラック	3,200
クロック周波数	160 kc
データバンド	最大 160 バンド (4 トラック/バンド)
リファレンスバンド	最大 32 バンド (2 トラック/バンド)
記憶容量	約 210 万ビット

座席情報は SFD の面上を列車の編成に合わせてリファレンスバンドで区切り、第 14 図に示すように列車単位、車両単位で記憶させ、記憶容量の利用効率を良くするよう考慮してある。

SFC は第 15 図に示す構成になっている。バッファ・制御・処理レジスタが処理の段階に応じ、バッファレジスタ、制御レジスタ、

処理レジスタとして多種多様に動作し処理動作が進行する。

SFC は MPC の起動指令で起動し、MPC コアメモリの固定番地から制御命令を読み取り実行する。一つの制御命令の実行が完了しても終了の条件が成立するまで、次々と制御命令を読み取り実行するので MPC コアメモリの固定番地に配置しておく制御命令の組み合わせにより、種々の処理動作が指令できる。

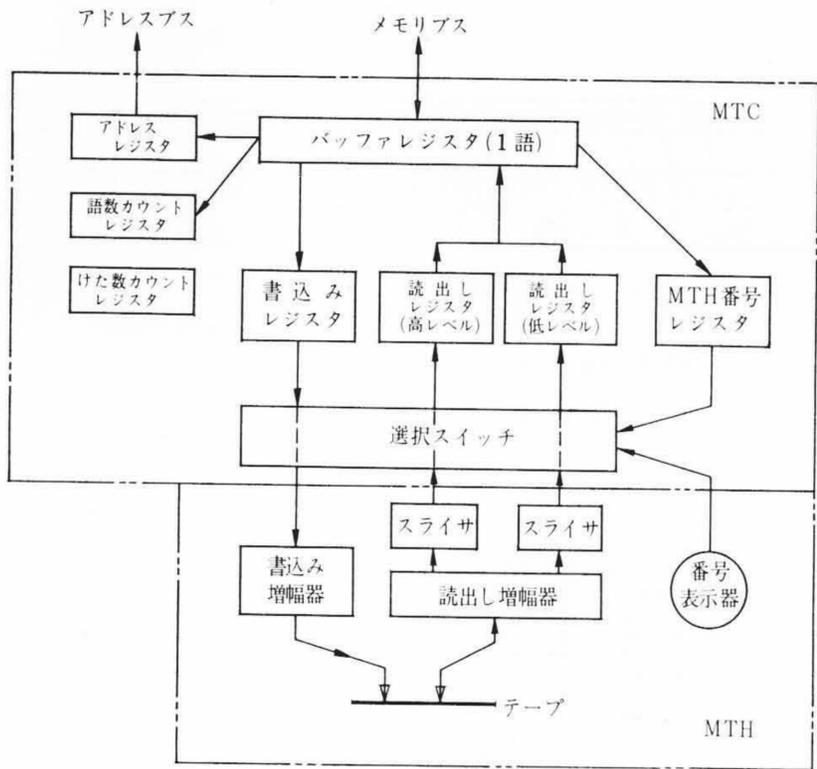
制御命令は 23 種あるが、以下に示す 4 種に大別できる。

- 読み出し 指定された情報を SFD から読み取り SR レジスタに記入する。
- 訂正 SR レジスタの情報を用いて SFD の指定された個所を訂正する。
- 座席の割当て SR レジスタに読み出された情報を調べ、指定条件にしたがい座席の割当てを行なう。
- SR レジスタ制御 SR レジスタと MPC コアメモリとの間の情報交換を行なう。

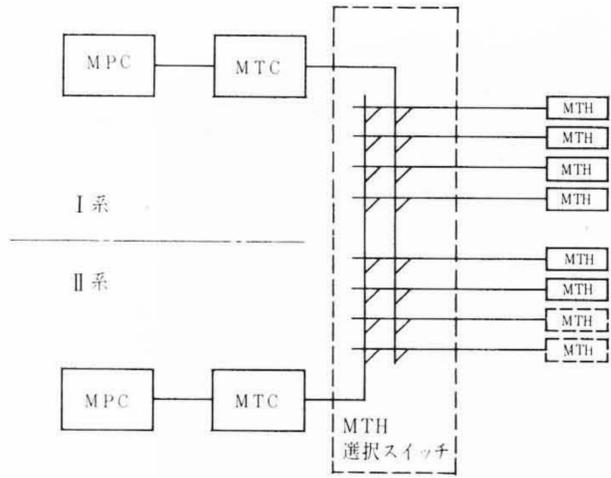
通常予約、解約などの動作は(読み出し)→(座席の割当て)→(訂正)の 3 種の制御命令の組み合わせで行なわれる。処理に必要な時間はドラムの回転と関係し、第 16 図の配分となり 1 件あたり平均 40ms 程度となる。

7. 磁気テープ装置 (MTH) とその制御装置 (MTC)

MTH は MTC を介して MPC と接続されており、MPC より命令を受けると第 17 図のブロック図に示されるアドレスレジスタ、語カウンタの制御のものに MPC のプログラムの実行とは全く独



第17図 磁気テープ装置(MTH)とその制御装置(MTC)のブロック図



第18図 磁気テープ装置接続系統図

- (2) 起動停止時間 約 10 ms
- (3) 情報記録方式 NRZ (Non Return to Zero)
- (4) テープ制御方式 真写制御

8. 結 言

MARS-101座席予約中央処理装置は、大規模な計算機システムであり、以上に概略述べたようにこれまでに例のない新しい構想、方式が採用されている。本システムの完成は実時間情報処理の分野で、一時期を画するものであり、今後この分野で大いに活用発展するものと考えられる。もちろんこのような情報処理システムは、金物のみでなりたつものではないので、その評価はプログラムおよび運用保守などあらゆる面から行なわれねばならないと考えている。

終わりにのぞみ、企画の段階から完成まで非常に長い期間にわたって、いろいろの面で絶大なご援助をいただいた日本国有鉄道、電気局、鉄道技術研究所、東京電気工事局、東京鉄道管理局の関係各位、および日立製作所関係各位に厚くお礼申しあげる。

立に直接 MPC のコアメモリと情報の入出力を行なう。

2系統の処理装置の MTC は第18図のように MTH と接続されており、6台(容量8台)の MTH はいずれの系統からでも任意に番号を指定して使用できる。

情報の転送速度は10kc/sで、1~255語語の範囲で任意のブロック長を扱うことができる。テープからの読み出しの際は高低二つのレベルで判定して縦横パリティチェックを行なっている。また書き込み時には読み出しチェックが行なわれる。

MTH の性能は下記のとおりである。

- (1) テープ速度 2m/s

特許と新案

最近登録された日立製作所の特許

(52頁よりつづく)

特許番号	名 称	氏 名	特許登録日	特許番号	名 称	氏 名	特許登録日
414654	変圧器用放圧弁	阿部 春雄	38. 12. 5	414667	気 化 器	穂原 連	38. 12. 5
414655	二段飽和型直流リアクトルの空隙調整装置	浅野 次夫	"	414668	フオノグラフビックアップ	河島 幸彦	"
414656	X線撮影における露出制御方法	山根 巖	"	414669	プラスチック表面の放電加工法	中栗 山子	"
414657	内燃機関の平衡装置	氏原 良男	"	414670	吊下げ工器具	加高 山健夫	"
414658	内燃機関の平衡装置	氏原 良男	"	414671	線型荷電粒子加速装置	沢田 良嘉	"
414659	搬送継電装置	建脇 勉	"	414672	荷電粒子発生装置	木村 明	"
414660	複式気化器操作装置	大前 藤雄	"	414673	電力系統における周波数自動制御と経済負荷配分の協調方式	樋本 尚	"
414661	圧延機制御装置	前川 滋敏	"	414674	粒子加速等における電磁石装置	竹村 克己	"
414662	圧延機制御装置	前川 滋敏	"	414675	電子線加工処理方法	加内 義彰	"
414663	自在位置決め装置を具備する放射線源取扱い装置	前川 滋敏	"	414676	ベルト式静電高圧発生器の定電圧制御装置	田村 龍二	"
414664	半導体整流器保護装置	前川 滋敏	"	414677	避雷器動作責務試験方式	東田 光昭	"
414665	自動車格納用運搬機	逸和 見文	"	414678	ブレーキ付電動機	杉本 淳一	"
414666	自動車格納用運搬機	小田切 三昭	"			古河 市光	"
		栗本 保平	"				
		青木 俊保	"				
		若木 保平	"				
		若木 俊保	"				