# トランジスタ特集


MOSトランジスタの開発…… 67

シリコンPM形トランジスタの開発 …… 78

レジンモールドSiトランジスタ…… 85

UHFチューナ用トランジスタの開発 …… 94

トランジスタの信頼性…… 100

U. D. C. 621.382.323

# MOSトランジスタの開発

## Development of MOS Transistors

大野 稔* 鈴木 茂* 桃井敏光*
Minoru Ôno Shigeru Suzuki Toshimitsu Momoi
大橋伸一** 久保征治**
Shin'ichi Ôhashi Seiji Kubo

**内 容 梗 概**

MOSトランジスタの構造，動作原理の概略を述べ，電気的特性を決定する設計因子は寸法，材料仕様のほかにMOS表面の特性を指定しなければならないことを示した。MOS表面の特性を広い範囲にわたって制御する技術はいまのところ完成していない。われわれはゲートとSi基板との間に電圧を追加して加熱冷却することによりMOS表面の電位をある範囲内で制御しうることを見出したので，この方法（FC処理）をその製法の一部に適用し，MOS形電界効果トランジスタ3SK 11Ⓗ，12Ⓗ，13Ⓗを製品化した。これらのトランジスタの特性と回路応用例についても述べた。

## 1. 緒 言

この2～3年来，内外の半導体メーカーや回路関係者の間で，電界効果トランジスタ（Field-Effect Transistor, FET）が注目されている。FETの原理は古くから考えられており数多くの研究もなされておりながら，最近になってようやく製品化の動きが出て来た理由は，

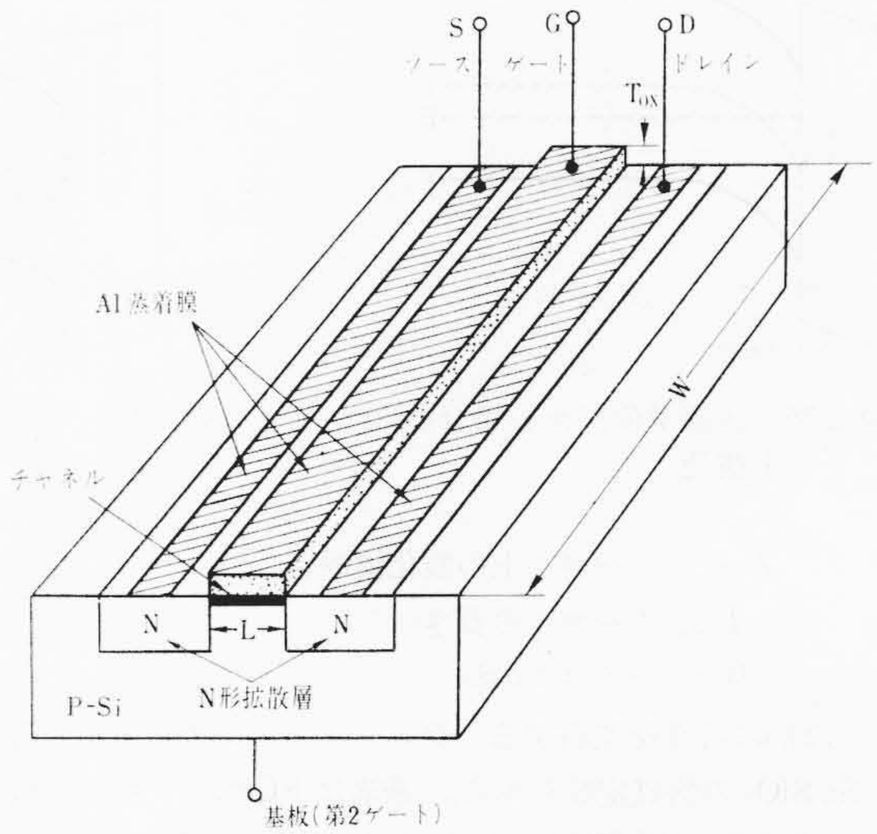
（i） 各種の電子応用機器の固体化が進み，本質的に低入力インピーダンス素子である従来のトランジスタでは無理な使い方しかできないため，固体化の困難な部分が目につき始め，FETに対する回路関係者の要求がたかまってきたこと。

（ii） 半導体装置の製造技術が急速に進歩し，プレーナ技術，エピタキシャル技術などの新技術が確立されたこと。

(iii) よく知られているShockley氏のP-N接合形FET[1]のほかに，Siを使ったMOS形やCdSの薄膜トランジスタ（Thin-Film Transistor-TFT）[2]のような新しいタイプのFETが開発され，入力インピーダンスなどの電気的特性の面で電子管をしのぐものさえ現われ始めたことによると思われる。

電界効果を利用して固体増幅器を作ろうとする発想は古く1935年にさかのぼる。当時ドイツ人のO. Heil氏によって今日の絶縁ゲート形電界効果トランジスタの原型ともいうべき特許[3]が提案されている。しかし実際に増幅作用をもつ素子として実現したのは1962年RCAのWeimer氏らによる薄膜トランジスタにおいてである。この間Shockley氏はGeの蒸着薄膜を使った絶縁ゲートによる電界効果を実験し[4]固体増幅器の可能性を検討したが，予期しただけの増幅作用は得られず失敗に終わった。しかしこの原因をつきとめようとしたBardeen氏らの鋭い洞察による表面準位の仮設がトランジスタを生み出すきっかけになったことは有名である***。

1952年になってShockley氏は表面準位の影響をうけない固体内部のチャネルの電気抵抗を変調するP-N接合形FETを提案し，Dacey氏[5]らにより試作も行なわれたが，当時の技術では，あまりすぐれたものは得られなかった。これ以降接合形のFETに関しては多くの研究がなされ，Tecnetronとして製品化された例もあるが，本格的な製品化が意図されるようになったのはここ2～3年のことである。1962年，RCAのWeimer氏はCdSの蒸着薄膜を利用し，画期的なFETを発表し，TFT（Thin Film Transistor）と名づけた。このタイプのFETは材料や製造技術こそ異なるけれども，最初Heil氏が発明しShockley氏により実験検討されたこともある絶縁ゲート形FETであり，Heil氏の着想以来実に30年にして実際に増幅作用をもつ素子として実現したわけである。1963年MOSトランジスタがRCAのHofstein氏，Heiman氏[6]，筆者の一人[7]，Fairchild社のWanlass氏[8]によりそれぞれ独立に発表され，絶縁ゲート形FETの一種として製品化の見通しが明確になってきた。筆者らはプレーナトランジスタ開発途上に見出した新規な現象—FC効果—をMOSトランジスタの製造工程の一部に適用して特性を制御することを意図した点に特色があり，FC効果に関連して見出されたSiの表面現象の2，3とそれを利用してMOSトランジスタの特性を制御することについて記述する。




第1図 MOSトランジスタの構造

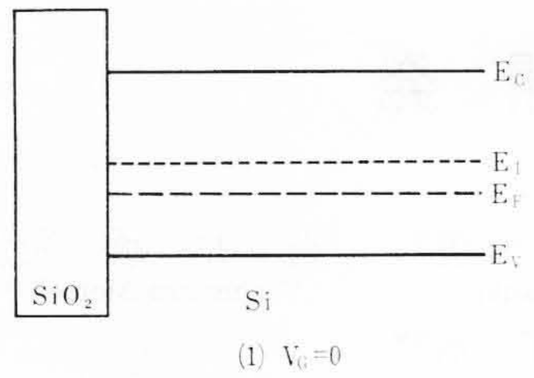
また，このようにして製作されたトランジスタの電気的諸特性と，それらを従来のバイポーラ形トランジスタと比較した場合の特長，かつこれらの特長を生かした回路応用例とその問題点についてもふれる。

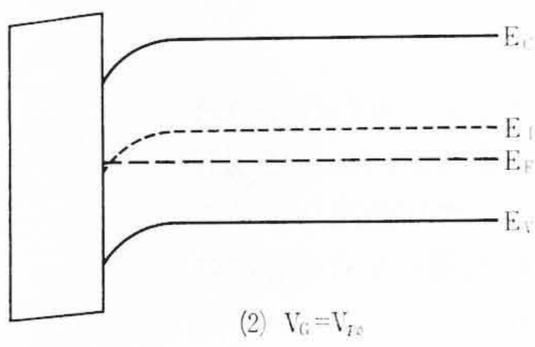
## 2. MOSトランジスタの構造と動作原理

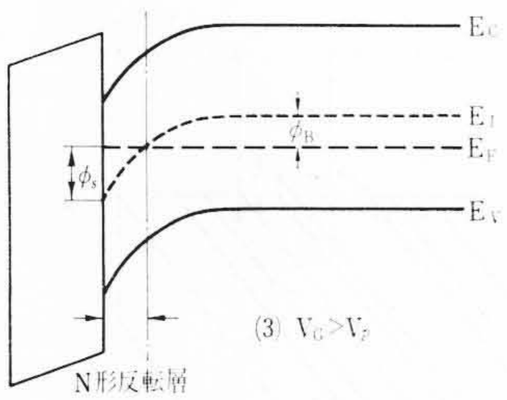
### 2.1 構 造

第1図にMOSトランジスタの構造を示す。これは動作原理を説明するためのものであり必ずしも実際のものを忠実に写しているわけではない。あとに述べる動作特性上特に重要な構造上の定数は

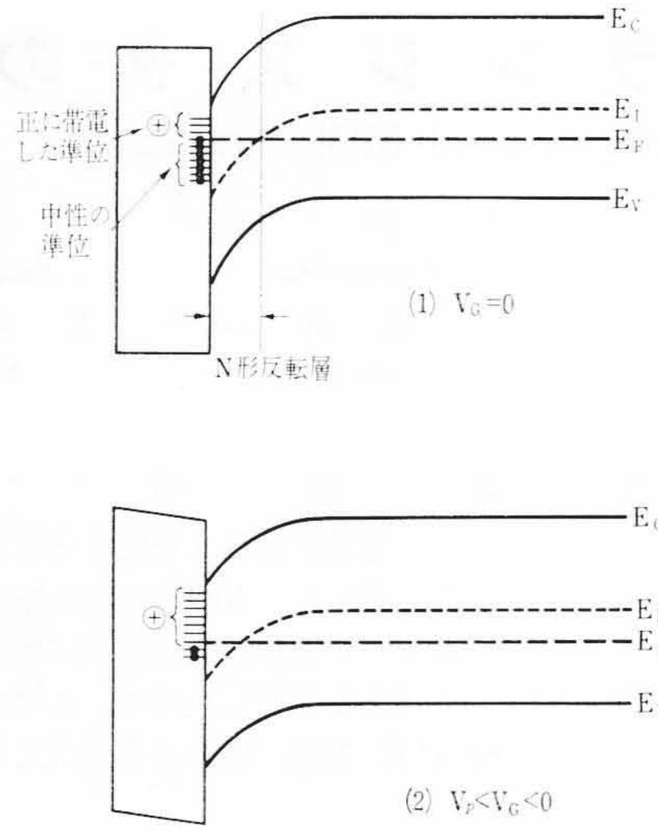
* 日立製作所武蔵工場
** 日立製作所中央研究所
*** 昨年秋Shockley氏来朝のときの記念講演会でも述べられた。



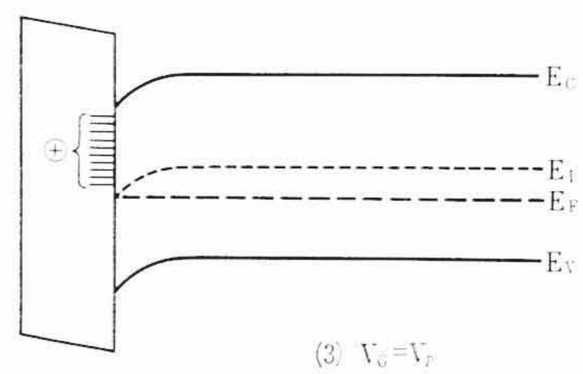




第2図　表面単位がない場合のバンド構造

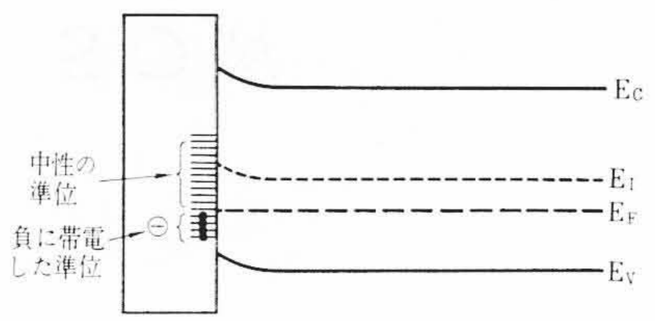


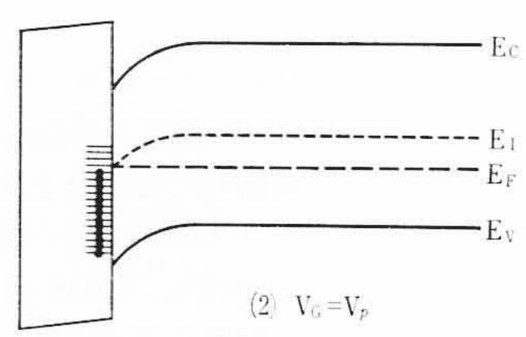


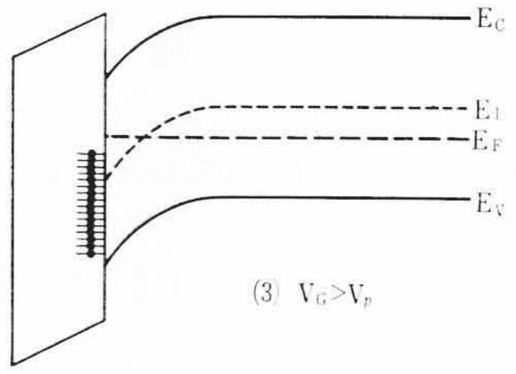





第3図　ドナー形表面準位が存在する場合




第4図　アクセプタ形表面準位が存在する場合

$T_{OX}$：　チャネル上の酸化膜厚さ

$L$：　チャネルの長さ

$W$：　チャネルの幅

このほかに特性を左右するパラメータとしてチャネルの表面電導度とSi, $SiO_2$の物質定数がある。前者はFC処理である程度制御しうる。Si, $SiO_2$の物質定数で，ほとんど動かし得ないものであり，MOSトランジスタの設計因子は，以上の4項目に限定されると考えてよい。**第1図**は特に原理が説明しやすいようにストライプ構造のものを書いたが，実際には3電極を同心円状に配置したものも考えられる。**第1表**にはわれわれが試作した2種類のMOSトランジスタの構造寸法を示した。

### 2.2　半導体の表面の性質と電界効果

MOSトランジスタ，TFTなどの絶縁ゲート形FETに共通の動作原理は，半導体表面に絶縁物を介して直角方向の電界を印加し，半導体中の移動電荷の数を制御することにより，その電導度を変調しようというきわめて単純な着想に基づくものであるが，半導体表面あるいは絶縁物中に存在する表面準位がふん囲気，電界などにより複雑に変動する場合には，その影響におおわれて再現性のある電導度変調の効果は見られない。Shockley氏の初期の実験が不成功に終わった理由もそこにある。以下の所論において表面準位はそのエネルギー的分布は固定しており，かつ半導体との電荷のやりとりの時定数は無視しうるほど短いと仮定して議論を進める。（このような仮定が熱生成された$SiO_2$で保護されたSiの場合には，ほぼ正しいと見られる）。

第1表　構　造　基　本　定　数

| | HS624 | 2SK11～13 |
|---|---|---|
| 構　　造 | Bar Gate | Ring Gate |
| $L$ | 1.6 mm | 0.5 mm |
| $W$ | 10 $\mu$ | 10 $\mu$ |
| $T_{OX}$ | 2,000 A | 2,000 A |
| $\mu$ | 200 $cm^2$ $volt^{-1}$ $sec^{-1}$ | |
| $\varepsilon_{OX}$　$\varepsilon_0$ | $35\times10^{-14}$ farad/cm | |
| $\varepsilon_{Si}$　$\varepsilon_0$ | $106\times10^{-14}$ farad/cm | |

（1）　表面準位がない場合

**第1図**に示したMOSトランジスタのチャネル部分のバンド構造を**第2図**に示す。ゲート電圧が0の場合（$V_G=0$）は接触電位差の影響を無視すると（1）のような構造となる。ゲート電圧が正のある一定値$V_{PO}$を越えると表面にn形反転層が形成されソース，ドレン間に電流が流れ始める。このときのチャネルの電導度$G_C$と$V_G$との関係をKingston氏，Neustadter氏の表示法によって示すと，チャネル中の電子密度の増加量は，

$$\Delta n=\left(\frac{\varepsilon_{si}\,\varepsilon_0\,kT\,n_i}{2\,q^2}\right)^{\frac{1}{2}}G(-U_S,\ -U_B)\quad\cdots\cdots\cdots\cdots(1)$$

ただし，$U_S=\dfrac{q\phi_S}{kT}$，　$U_B=\dfrac{q\phi_B}{kT}$，

$\varepsilon_{si}\,\varepsilon_0$：　Siの誘電率

$n_i$：　真性Siの電子密度

$G(-U_S, -U_B)$：　$K\,\&\,N$の表示関数

またチャネルの電導度$G_C$は

$$G_C=q\cdot\mu\cdot\Delta n\frac{L}{W}\quad\cdots\cdots\cdots\cdots(2)$$

ただし，　$q$：　電子の電荷

$\mu$：　電子の易動度

またこの時のゲート電極の表面電荷密度は，$C_GV_G/LW$でこの値は半導体中の空間電荷密度に等しい。

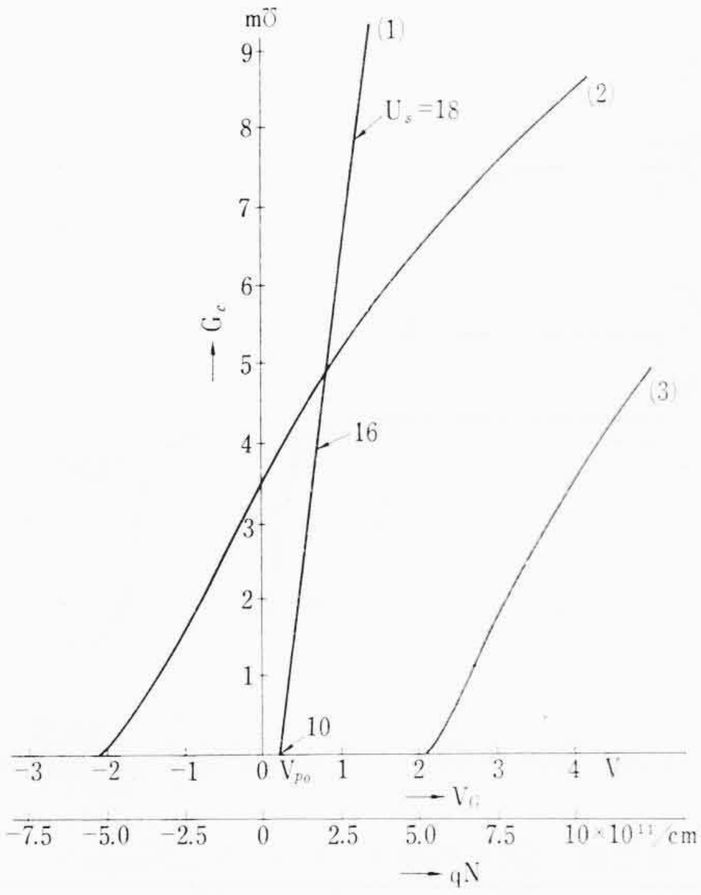
すなわち

$$C_GV_G/W\cdot L=Q_{SC}=(2\,\varepsilon_{OX}\,\varepsilon_0\,kT\,n_i)^{\frac{1}{2}}F(U_S,\ U_B)\quad\cdots(3)$$

ただし，　$F(U_S, U_B)$：　$K\,\&\,N$の表示関数

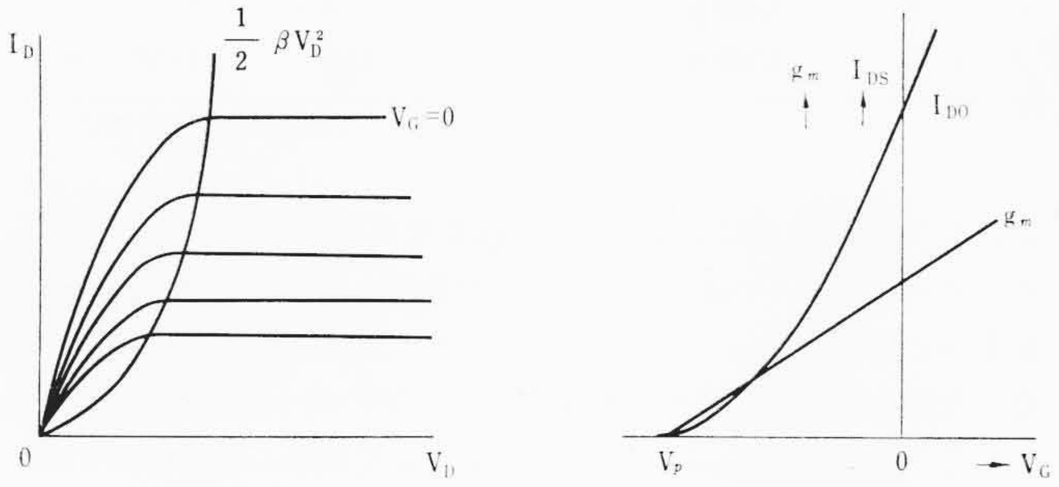
$C_G=\varepsilon_{OX}\,\varepsilon_0\,L\cdot W/T_{OX}$：　ゲートとSi間の静電容量

$\varepsilon_{OX}\,\varepsilon_0$：　$SiO_2$の誘電率




（1） 表面準位が存在しない場合（計算）
（2） ドナ形表面準位が存在する場合
（3） アクセプタ形表面準位が存在する場合

第5図 Si の電界効果曲線




第6図 MOS トランジスタの静特性（理論）

（2）と（3）の関係は，$K\&N$の表示関数[9]を用いて計算することができる。その一例を $-U_B=10$（約 10Ωm の P形 Si 結晶）の場合について**第5図**の曲線（1）に示した。

（2） ドナー形表面準位が存在する場合

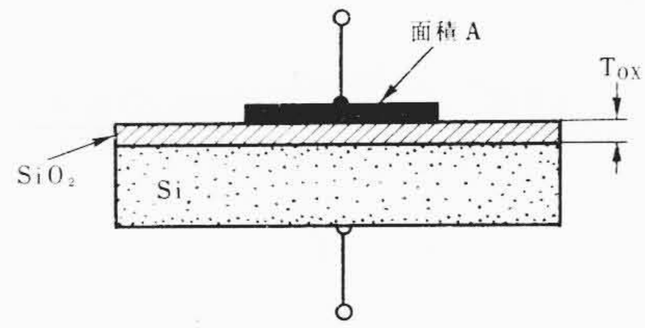
**第3図**に表面ドナー形準位が存在する場合のバンド構造を示す。ゲート電圧 $V_G=0$ のときすでにバンドは下方に曲げられている。$E_F$ よりエネルギー的に高い位置にある表面準位は Si に電子を与え自らは正に帯電しているからである。ゲートに一定の負電圧 $V_P$ が加えられると反転層は消失し $G_C$ は0になる。このときのバンド構造は，図中（3）に示すように**第2図**の（2）の状態と同じはずである。異なる点は界面に正に帯電した表面準位が存在し，ゲート電極に加えられる電荷はその分を補償するだけ余分に与えられなければならない。この関係を用いるとバンドの中心より上方に存在する表面準位密度 $N_{DS}$ は次の関係により算出しうる。

$$q\cdot N_{DS}=(V_{PO}-V_P)C_O/LW=(V_{PO}-V_P)\varepsilon_{OX}\varepsilon_0/T_{OX} \quad \cdots(4)$$

この関係式は MOS トランジスタのピンチオフ電圧と表面準位密度との関係を与える式で n チャネル形の場合にはドナー形表面準位密度が高いほどピンチオフ電圧 $V_P$ は負の高い値になる。

（3） アクセプタ形表面準位が存在する場合

アクセプタ形表面準位が存在する場合には $V_G=0$ の状態においてバンドは上方に曲り，チャネルに電子電導を引き起こすためには，ゲートに正の電圧を加えなければならない。ピンチオフ電圧は形式的には(4)によって規定されるが，$V_P$ は正の値となり $N_{DS}$ の代わりにアクセプタ準位密度（$N_{AS}$）と書き換えなければならない（**第4図**）。




第7図 MOS ダイオード

以上三つの場合につき**第5図**に $G_C-V_G$ 曲線の例を示した。（1）は実現不可能であり，**第1表**に示した定数を用い，かつ $K\&N$ のグラフにより理論的に算出した。（2），（3）の場合については実測結果をそのまま示したが，表面準位の密度とその形は後述する方法により相当広い範囲に制御でき，本例はあくまでも一例にすぎない。

### 2.3 MOS トランジスタの動作特性

表面準位の影響を厳密に考慮して MOS トランジスタの増幅素子としての特性式を導き出すことは相当に困難である。ここでは表面準位の存在によるバンドの曲りを，表面への不純物ドーピングによるチャネルと等価と仮定して解析した Hofstein 氏，Heiman 氏[6]の理論を紹介する。彼らによれば3極管特性領域の $I_D$-$V_D$ 特性，5極管特性領域の特性，ならびに $g_m$ 特性はそれぞれ次のようになる。

$$I_D=\beta\left[(V_G-V_D)V_D-\frac{1}{2}V_D^2\right] \quad \cdots(5)$$

$$I_{DS}=\frac{1}{2}\beta(V_G-V_P)^2 \quad \cdots(6)$$

$$g_m=\frac{\partial I_{DS}}{\partial V_G}=\beta(V_G-V_D) \quad \cdots(7)$$

また3極管特性から5極管特性領域に移る境界線は，

$$I_D=\frac{1}{2}\beta V_D^2 \quad \cdots(8)$$

ただし， $\beta=\dfrac{\varepsilon_{OX}\varepsilon_0\mu W}{L\ T_{OX}}$

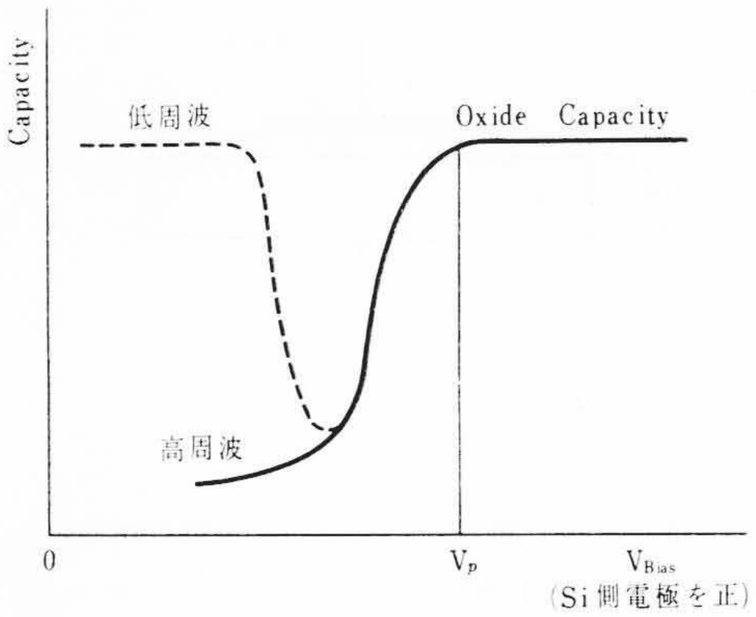
これらを n 形チャネルのものにつき示したのが**第6図**である。以上（5）～（8）までの特性式は $\beta$ と $V_P$ が与えられれば一義的にきまってしまう。$\beta$ の項に含まれる $W, L, T_{OX}$ がきめられれば，あとは $V_P$ によってのみ特性が左右される。換言すれば $W, L, T_{OX}$ が一定の素子はその特性のバラツキ，経時変化などは一切 $V_P$ の変動によって起こると考えてよい。$V_P$ は（4）式に示したように $SiO_2$ の相互作用によって引き起こされる表面準位密度に関係しており $V_P$ の制御すなわち表面準位密度の制御ということになる。以下 $SiO_2$ でおおわれた Si 表面における表面準位密度の増減，そのタイプの転換ならびにほかのパラメータとの関係などについて記述する。

## 3. $SiO_2$ をもつ Si 表面の性質

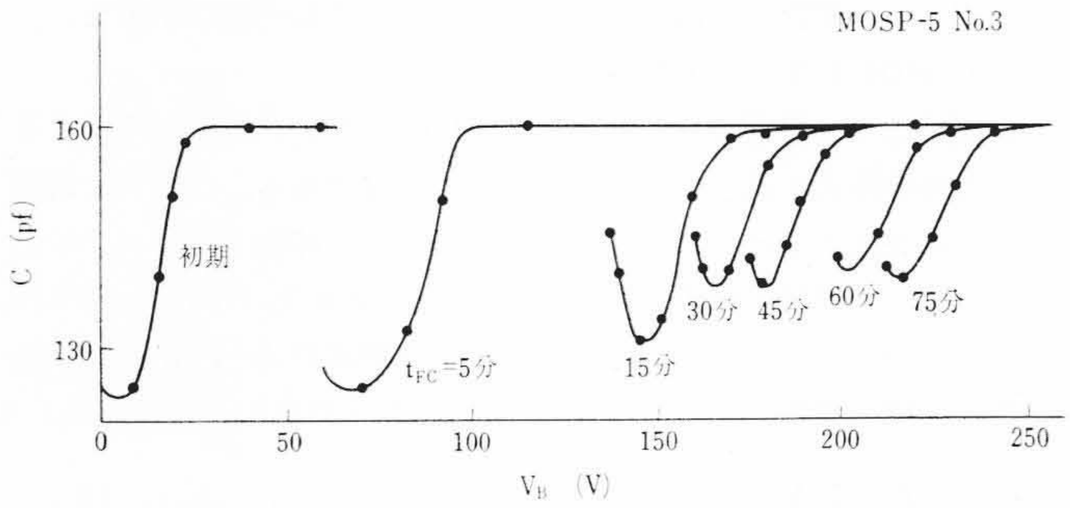
### 3.1 表面ドナー準位密度と FC 効果

**第7図**に示したような構造を有する MOS ダイオードに Si 側が正になるような直流電圧を印加して，その点における小信号の静電容量を測定すると，あるバイアス点で容量の谷が見られる。P形の結晶の場合には**第8図**に示すように高いバイアス電圧（Si 側が正の場合を正とする）の場合には Si 表面に正孔の Accumulation Layer が形成され周波数に依存しない $SiO_2$ のみの容量が測定される。$V_P$ なる一定のバイアス値で Si 表面に空乏層が形成され容量は低下し始める。この $V_P$ は先に述べた MOS トランジスタの場合のピンチオフ電圧 $V_P$ に相当するものであり Si 結晶が Intrinsic の場合にはこのときの電極の電荷量は正に帯電した表面準位の電荷量に等しい。

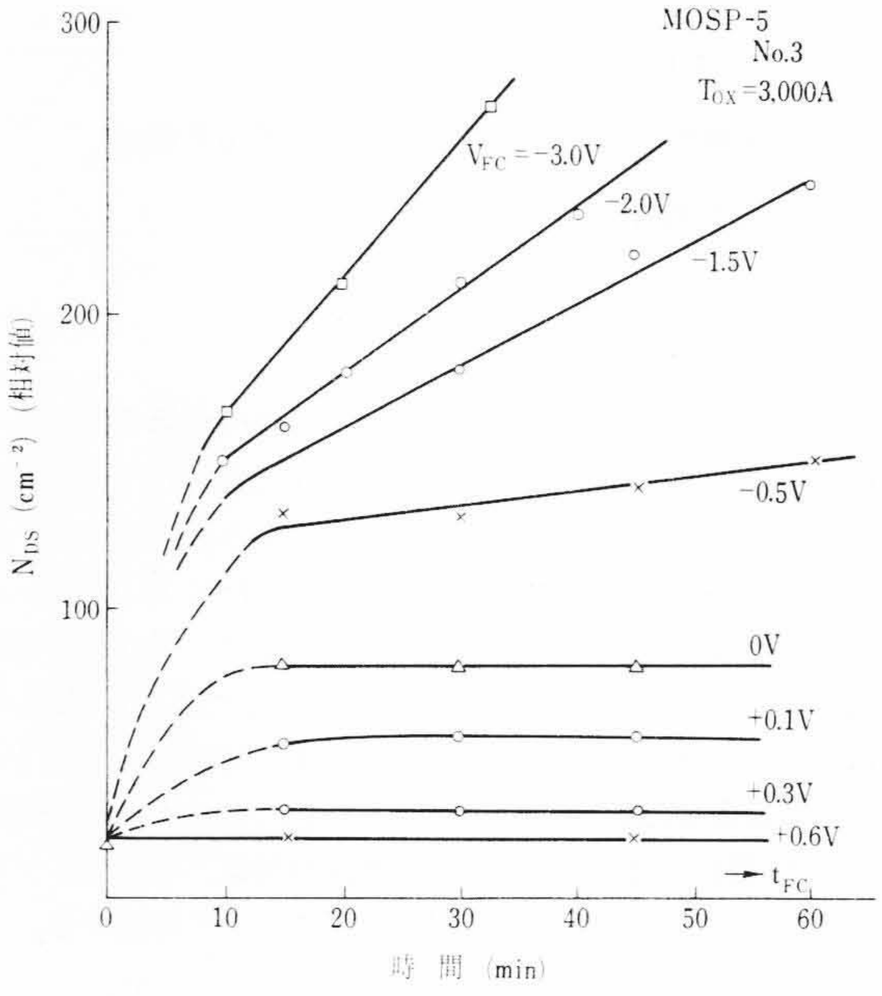
すなわち




第8図　MOSダイオードの特性（P形Si）




第9図　1.5 V FCによる特性の変化（350℃）

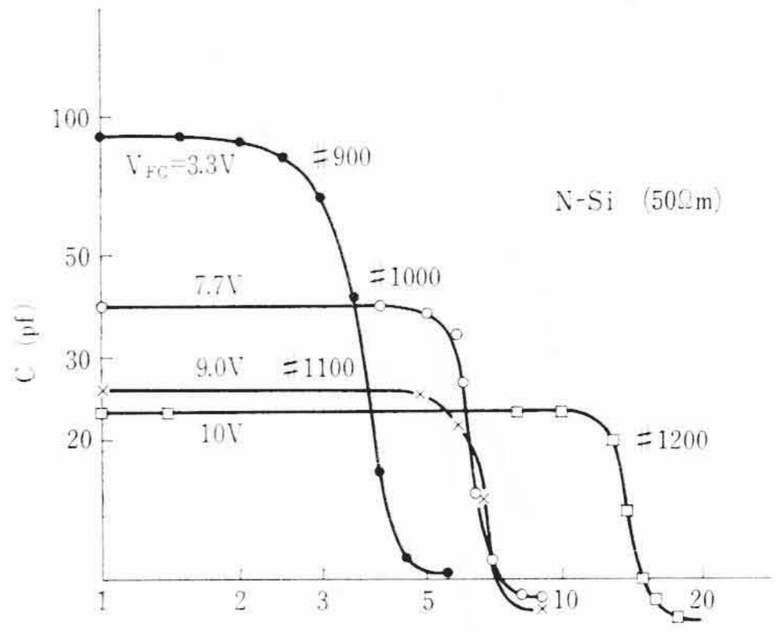



第10図　FC処理による表面準位密度の変化

$$N_{DS}=\frac{\varepsilon_{OX}\,\varepsilon_0}{q\cdot T_{OX}}V_P \quad \cdots\cdots(9)$$

ただし，　$q$：電子の電荷
$N_{DS}$：表面ドナー準位密度
$\varepsilon_{OX}\,\varepsilon_0$：$SiO_2$ の誘導率

したがって $N_{DS}$ を測定するだけの目的であればMOSトランジスタを製作するまでもなく試料の作成がより容易なMOSダイオードにより(1)式を使用して表面準位密度が算出できる。**第9図**はFC処理によるMOSダイオードの特性の変化の一例を示す。この処理中MOSダイオードに印加された電圧は1.5V（Si側を負，ゲート側を正）でパラメータとして350℃中の加熱時間をとった。**第10図**は




第11図　$SiO_2$ の厚さを変えた場合の $[N_{DS}]_{min}$

第2表　$SiO_2$ の厚さ（$T_{OX}$）と $[N_{DS}]_{min}$

| ロット＼定数 | $T_{OX}$ | $C_{OX}$ | $V_P$ | $[N_{DS}]_{min}$ |
|---|---|---|---|---|
| 900 | 1,400 Å | 90 pF | 3.5 V | $5\times10^{11}/cm^2$ |
| 1,000 | 3,400 Å | 38 pF | 6.5 V | $4\times10^{11}/cm^2$ |
| 1,100 | 4,800 Å | 26 pF | 7.0 V | $3\times10^{11}/cm^2$ |
| 1,200 | 5,400 Å | 23 pF | 13 V | $5\times10^{11}/cm^2$ |

（N形50～100 Ωcm）

このようにFC処理によりドナー準位密度の変化する様子を示した。パラメータにはダイオードに印加した電圧をとり，その極性はSi側が正のときを正方向とした。電圧を正の一定値以上でFC処理を行なった場合には表面ドナー密度 $N_{DS}$ は一定の最小値 $[N_{DS}]_{min}$ に飽和することがわかる。この $[N_{DS}]_{min}$ はFC処理前の初期値が大幅にバラついてもFC後にはバラツキのきわめて小さい値となりMOS形素子の特性を均一化するうえに有利である。以下この値についてさらにくわしい検討をする。

### 3.2　$SiO_2$ の厚さと $[N_{DS}]_{min}$

酸化温度と酸化時間を変えて $SiO_2$ の厚さを変えたMOSダイオードの $[N_{DS}]_{min}$ を測定した。**第11図**の場合のSi結晶はN形50Ωcmのものを用いた。FC処理は320℃中で30分行ない $V_P$ を飽和させた。このときの各ロットの $[N_{DS}]_{min}$ は**第11図**ならび**第2表**に示すように $SiO_2$ の厚さにはほとんど関係しないことが見られる。このことから $N_{DS}$ 生成に関与する原因が $SiO_2$ 中に空間的に均一に分布しているのではなくSiにごく接近した部分の $SiO_2$ 中に存在するか界面そのものの作用と推定される。

### 3.3　結晶軸と $[N_{DS}]_{min}$

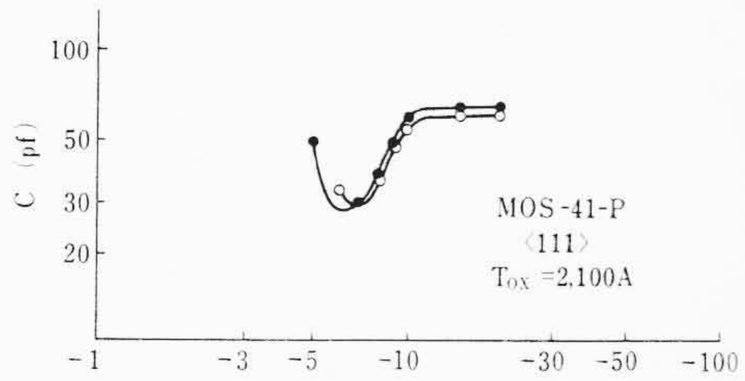
（1）　MOSダイオード

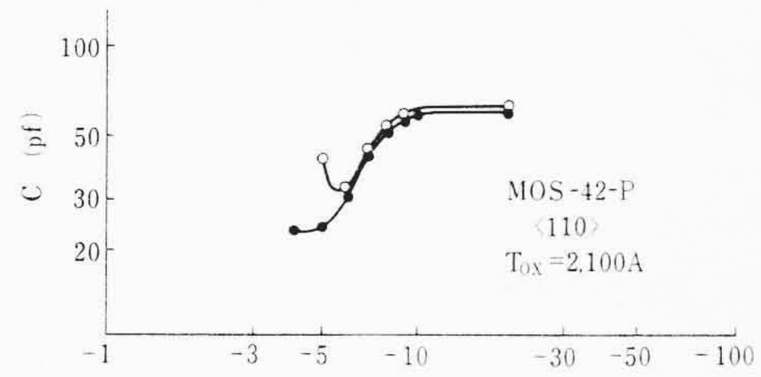
Si基板の結晶面を〈111〉，〈110〉，〈100〉の3種の場合につき，容量—電圧特性を測定した。比抵抗4 Ωcmのp形，Flooting Zoneによるものである。処理方法による特性のばらつきをさけるため試料製作の全工程にわたって3種を同時に処理するようにした。$SiO_2$ の厚さは，2,100 Åでの処理後の特性は**第12図**に示すとおりである。$V_P$ の大きさは〈111〉，〈110〉，〈100〉の順序で小さくなってゆく傾向は認められるが，定量的に議論するには精度が十分でない。$V_P$ が明確に観測できるMOSトランジスタで行なった同一目的の実験を以下に述べる。

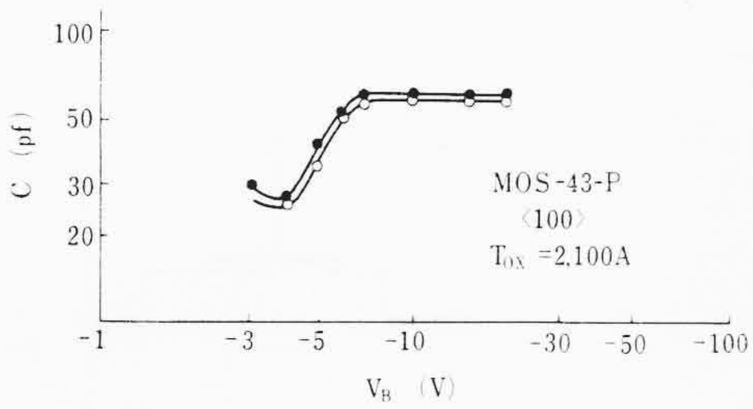
（2）　MOSトランジスタ

MOSトランジスタではソース，ドレン間のコンダクタンスは次式で表わされる。

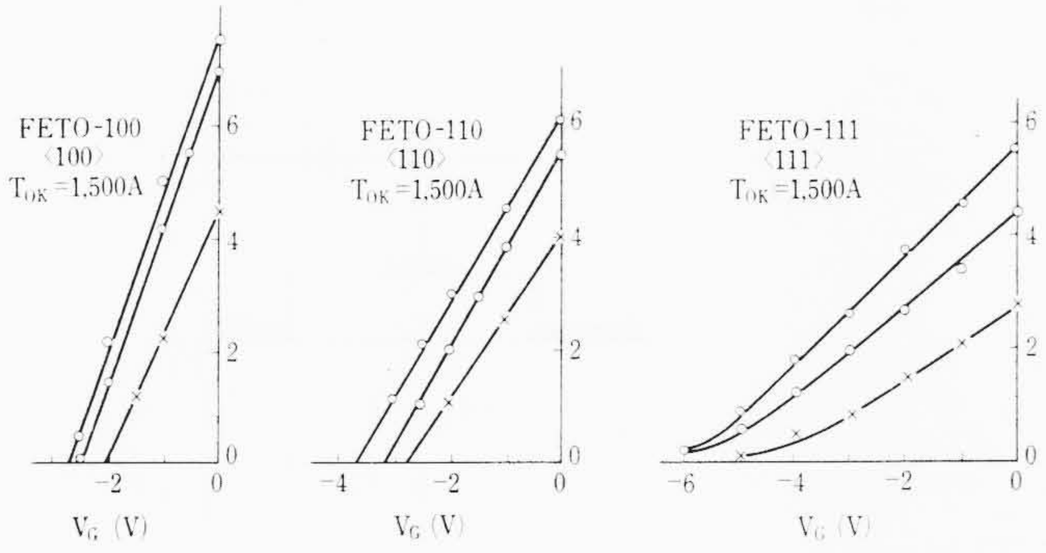
$$G_C=\frac{\mu_F W}{L}\sigma_m \quad \cdots\cdots(10)$$




第 12 図　結晶軸との関係（MOS ダイオード）



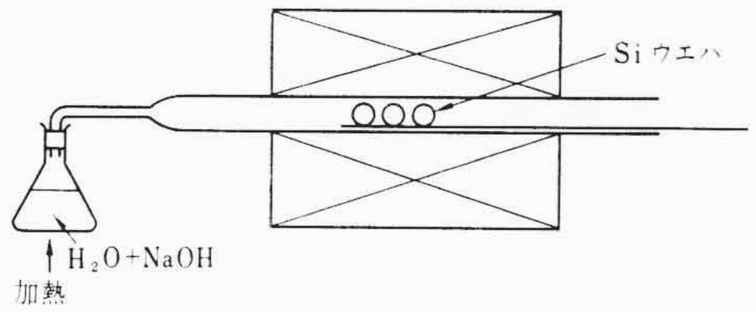

第 13 図　$G_C$–$V_G$ 特性（結晶軸との関係）

$$\sigma_m = \frac{\varepsilon_{OX}\,\varepsilon_0}{T_{OX}}[V_G - V_P] \quad \cdots\cdots (11)$$

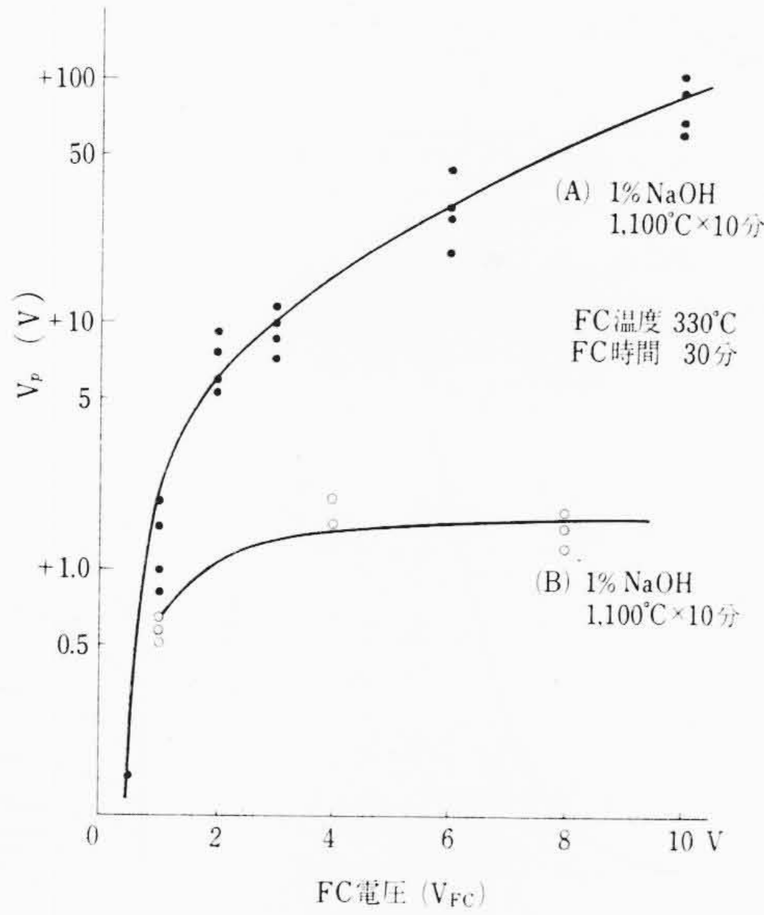
ただし，　$\sigma_m$：移動しうる電荷の表面密度

$\mu_F$：電界効果移動度（Field effect mobility）

ここで $V_P$ はピンチオフ電圧を表わし，ゲート電圧がこの値に等しくなったとき，表面は Intrinsic になり電子の電導が消失する。このときのゲート電極の負電荷は正に帯電した表面ドナー準位密度に等しいとして $[N_{DS}]_{min}$ を算出しうることは MOS ダイオードの場合と同様である。この結果を**第 13 図**と**第 3 表**に示した。MOS ダイオードの場合と同じく〈111〉, 〈110〉, 〈100〉の順で $[N_{DS}]_{min}$ は小さくなりその比は 2:1.4:1 の関係にある。このことは $[N_{DS}]_{min}$ が界面の Si 表面の原子密度に関係しているように思われるが，さらにくわしい検討を続けている。また $G_C$–$V_G$ 特性から電界効果易動度 $\mu_F$ が算出されるがこの値も〈100〉, 〈110〉, 〈111〉の順に小さくなっている。この原因についてはよく分らないが実用上から結果そのものは重要であり MOS トランジスタの場合には同一設計寸法に対して相互コンダクタンスが大きくとれる点から〈100〉面が最も有利であることを示している。




第 14 図　アルカリ処理炉




第 15 図　Na をドープした $SiO_2$ の FC 効果

### 3.4　$SiO_2$ 中に不純物をドープした場合の表面準位

$SiO_2$ 中に $B$（ホウ素），リンを意識的にドープした MOS ダイオードに FC 処理を行ない $[N_{DS}]_{min}$ を測定した結果は**第 4 表**に示すとおりである。ロット 40N は普通の $SiO_2$ であり，他の 4 種はプレーナトランジスタの製作工程を利用して $B$ および $P$ をドープしたものであるが，いずれの場合も $[N_{DS}]_{min}$ には顕著な差は認められない。普通の Si トランジスタの製作工程で $SiO_2$ 中に入り込む程度の $B$ や $P$ は $[N_{DS}]_{min}$ にはほとんど影響を与えないことがわかる。

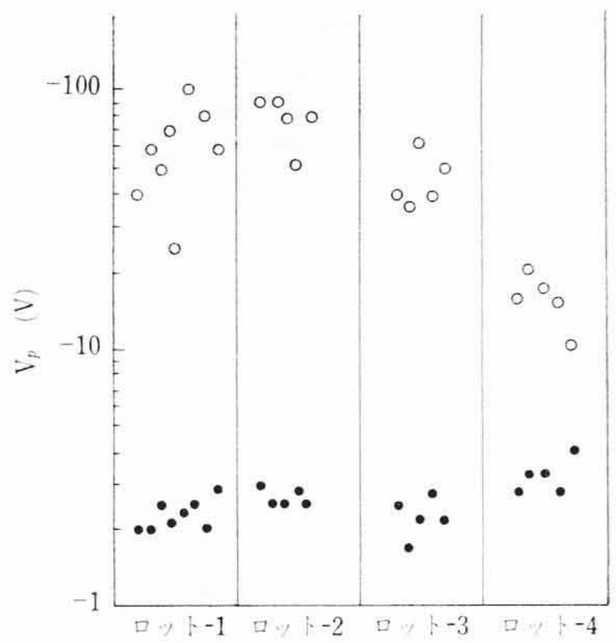
次に普通の方法で $SiO_2$ を生長させたものに**第 14 図**に示すアルカリ処理炉で Na などのアルカリ金属をドープしたうえで FC 処理を行なったものにつき $V_P$ を測定した結果は**第 15 図**に示すとおりである。普通の $SiO_2$ では $V_P$ がある一定の負の値に飽和して $[N_{DS}]_{min}$

第 3 表　結晶軸と $[N_{DS}]_{min}$, $\mu_F$

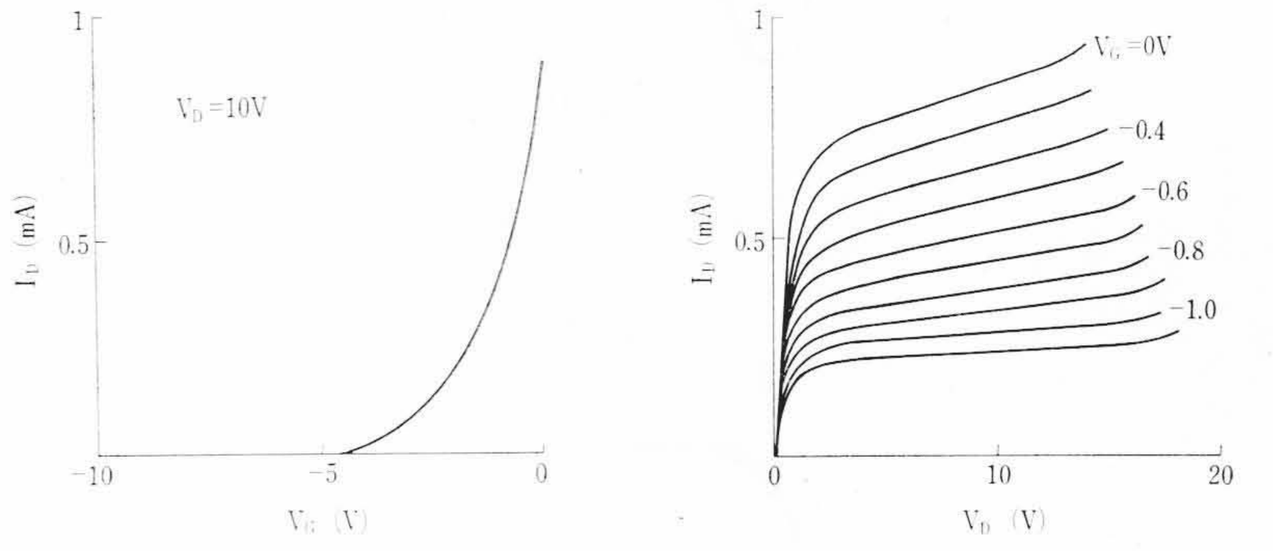
| 軸 ＼ 定数 | $V_P$ | $[N_{DS}]_{min}$ | $\mu_F$ |
|---|---|---|---|
| <111> | −5.5V | $8.3\times10^{11}$/cm² | 150 cm²/V•sec |
| <110> | −3.3V | $5.0\times10^{11}$/cm² | 320 cm²/V•sec |
| <100> | −2.3V | $3.5\times10^{11}$/cm² | 530 cm²/V•sec |

第 4 表　$SiO_2$ 中に不純物(B, P)をドープした場合の $[N_{DS}]_{min}$

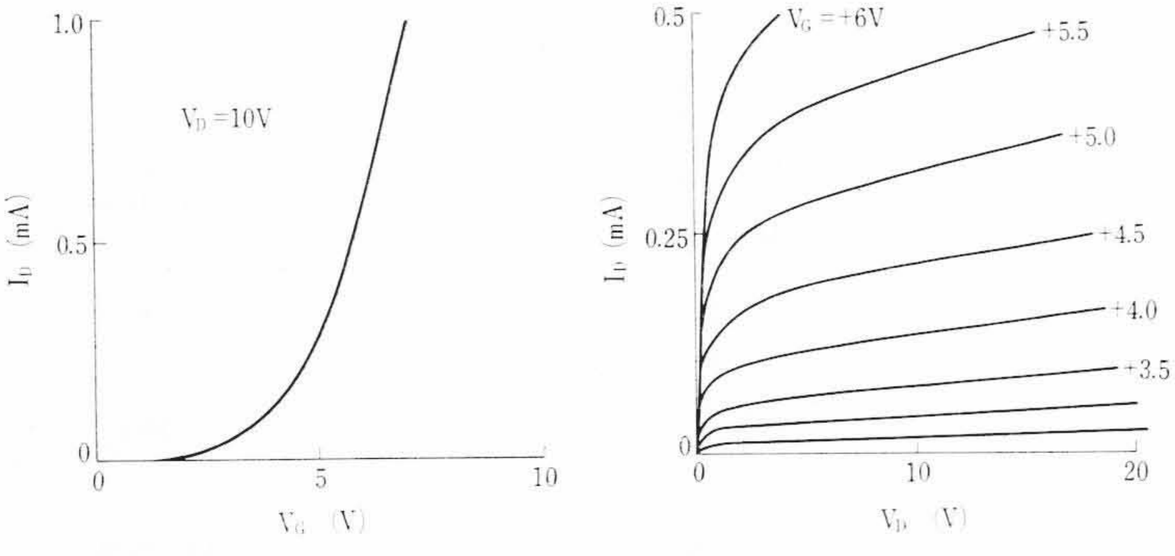
| ロット | $C_{OX}$ No. 1 | $C_{OX}$ No. 2 | $C_{OX}$ No. 3 | $T_{OX}$ | 処理 | $V_P$ | $[N_{DS}]_{min}$ |
|---|---|---|---|---|---|---|---|
| | pF | pF | pF | Å | hrs | V | /cm² |
| 40N | 18.3 | 18.0 | 18.0 | 7,300 | 1,200℃×1 | 16 | $6\times10^{11}$ |
| 41N | 27.5 | B. D. | 27.5 | 5,000 | B拡散-1 | 8 | $4\times10^{11}$ |
| 42N | 16.0 | 16.0 | 16.0 | 8,000 | B拡散-2 | 15 | $4\times10^{11}$ |
| 43N | 31.0 | 32.0 | 32.0 | 4,000 | P拡散-1 | 10 | $6\times10^{11}$ |
| 44N | 34.0 | 34.0 | B. D. | 3,700 | P拡散-2 | 8 | $5\times10^{11}$ |



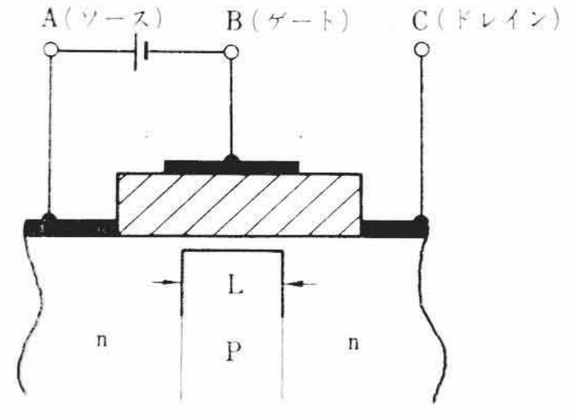

第16図　FC処理前後の $V_P$ 比較

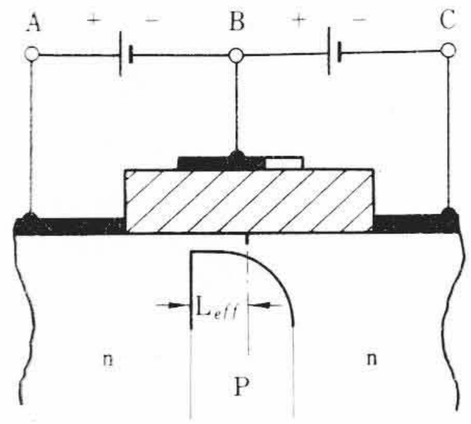



第17図　DM形MOSトランジスタの特性

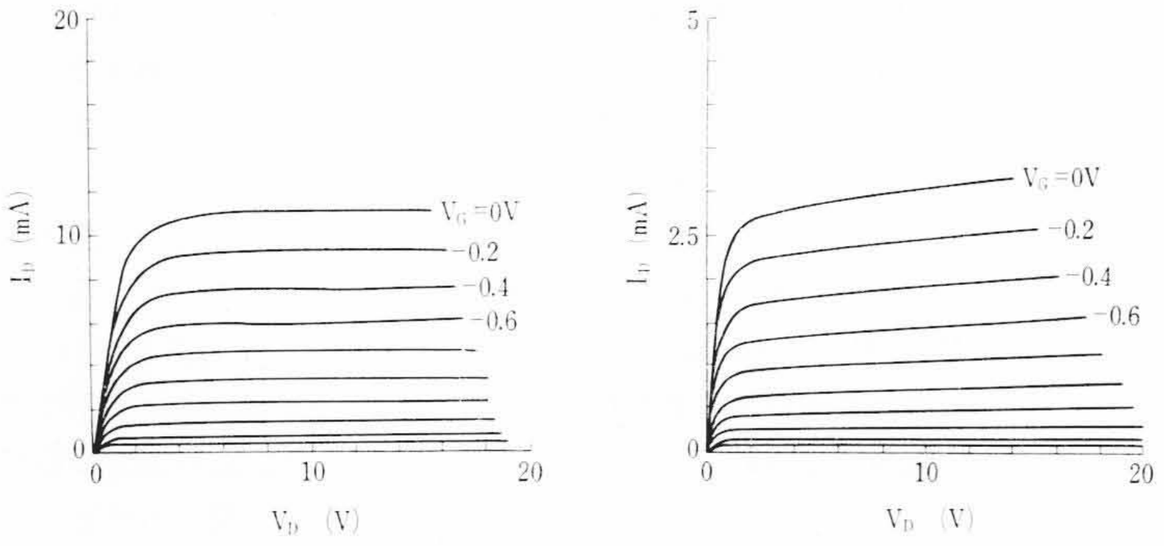



第18図　EM形MOSトランジスタの特性




第19図　FC処理時のバイアス極性




第20図　不均一チャンネルによる特性改善（Bar Gate形）

に対応する $V_P$ に飽和するのに対し，Naをドープした場合には $V_P$ は正の値に反転し，表面準位がアクセプタ形に変換しその密度はFC処理により広い範囲に制御しうることが見られる。この現象は物理的に興味あるものでSiと$SiO_2$の相互作用を解明するかぎとなるかもしれないが，ここではMOS素子への応用に必要なデータを記すにとどめる。

## 4. 素子製造への応用

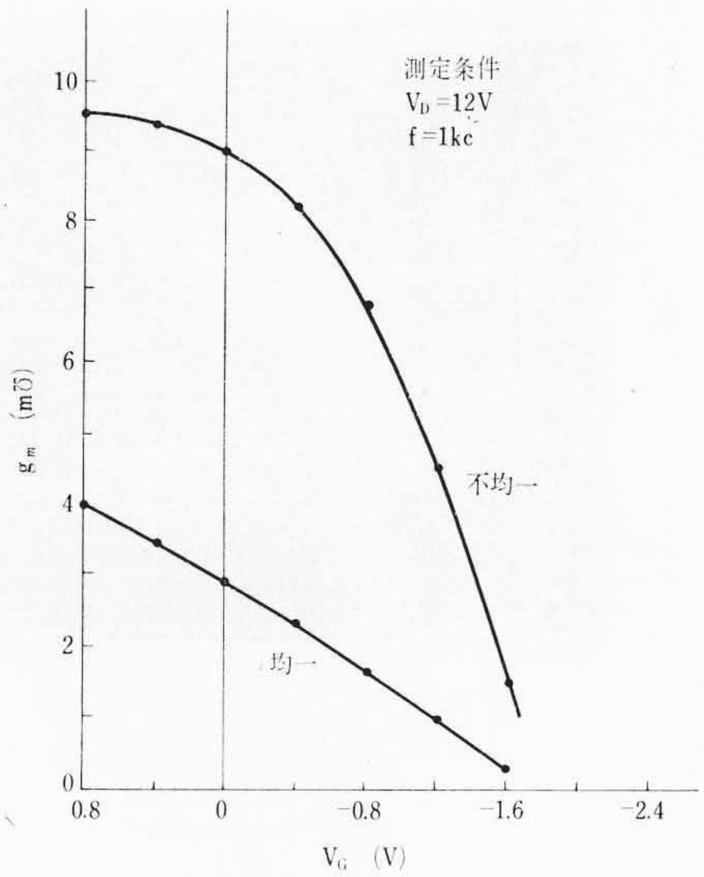
### 4.1 Depletion Mode

以上，$SiO_2$でおおわれたSi表面の性質の2, 3を述べたが，これらの現象はすべてMOS構造を有するSi半導体素子の特性制御に利用できる。

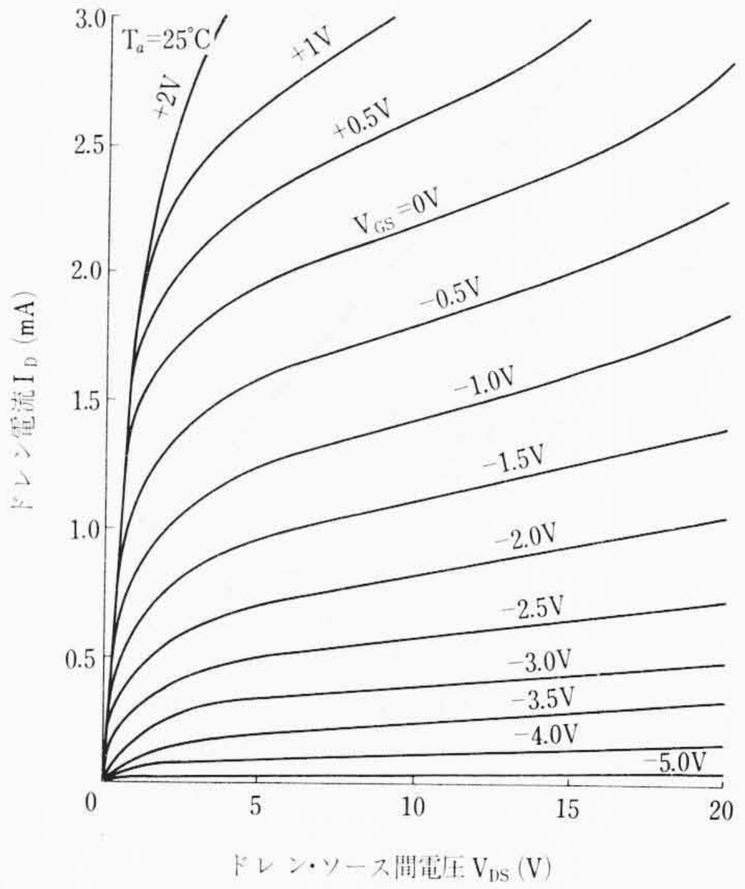
さきに述べた(5), (6), (7)式に含まれる諸定数中，$L$, $W$, $T_{OX}$ は構造的に決められる設計因子であり $\varepsilon_{OX}$, $\varepsilon_0$ は $SiO_2$ の物性定数として動かし得ないものである。Si表面の特性に関連した，$\mu_F$ と $N_{DS}$ は前述したように広い範囲にわたって変動し得る定数であり，MOS形素子の製作工程中の加熱処理によって不規則に変動し，均一な特性が得られにくい場合が普通である。したがってMOSトランジスタ製作の最終工程の一部にFC処理を追加することにより $\mu_F$, $N_{DS}$ に関係した特性値（$g_m V_P$ など）を所要の値にもちきたし，かつそのバラツキをおさえることが可能である。特にFC処理により $N_{DS}$ を $[N_{DS}]_{min}$ の状態にもちきたすことにより $V_P$ の値を低下させかつそのバラツキを著しく改善できる。(第16, 17図)

### 4.2 Enhancement Mode

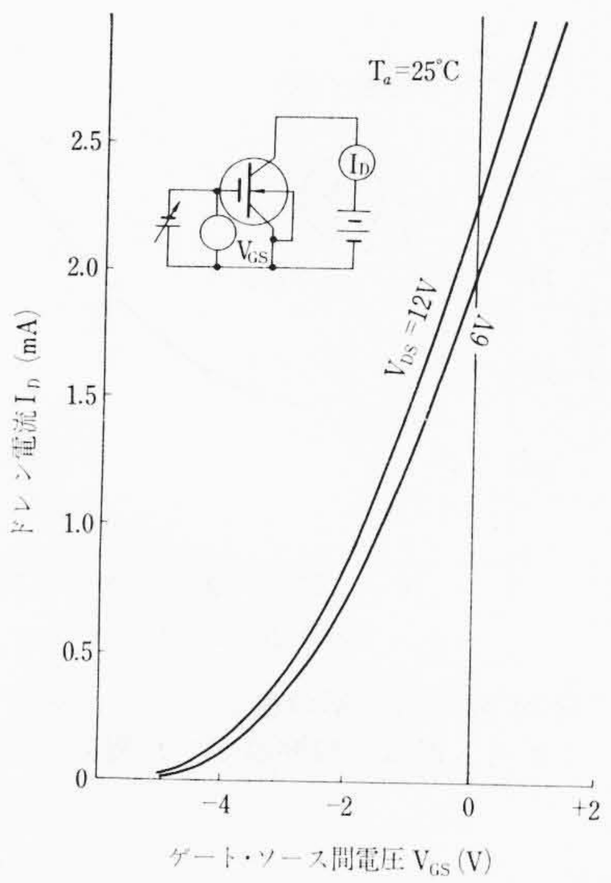
通常の $SiO_2$ を持つSi表面はnチャネルMOSトランジスタでは $V_P$ が負の値で，その動作はいわゆるDepletion Modeといわれる




第21図 $g_m$-$V_G$ 特性




第22図 ドレン特性

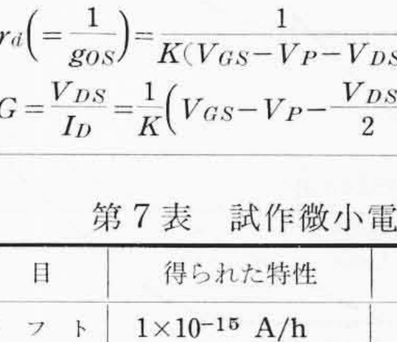
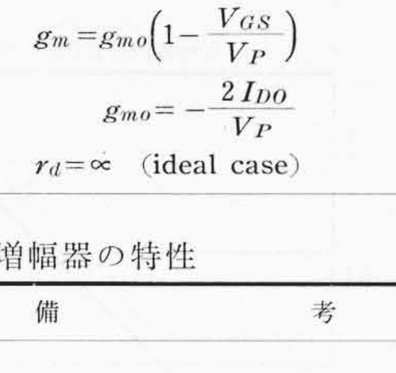



第23図 ドレン電流体ゲート電圧特性

第5表 均一，不均一チャネル MOS トランジスタの特性比較 (Bar Gate 形)

| 特性＼チャネル形状 | 均一 | 不均一 No. 1 | 不均一 No. 2 |
|---|---|---|---|
| 入力容量 $C_{in}$ | 4.5 pF | 4.5 pF | 4.5 pF |
| 相互コンダクタンス $gm$ | 5.5 mʊ | 5.5 mʊ | 9.0 mʊ |
| 出力抵抗 $rd$ | 25 kΩ | 50 kΩ | 100 kΩ |
| 電圧増幅率 $\mu=gmrd$ | 75 | 250 | 900 |
| 利得帯域幅積 $F=gm/2\pi C_{in}$ | 100 Mc | 195 Mc | 320 Mc |

第6表 MOS トランジスタの諸特性 (S. R. Hofstein 氏による)

| 特性＼動作点 | 3 極管領域 | 6 極管領域 |
|---|---|---|
| 静特性 |  |  |
| | $-V_P > V_{DS}-V_{GS}$ | $-V_P < V_{DS}-V_{GS}$ |
| | $I_D=KV_{DS}\left[V_{GS}-V_P-\frac{V_{DS}}{2}\right]$ | $I_D=I_{DO}\left[1-\frac{V_{GS}}{V_P}\right]^2$ |
| | (注) $V_P$: ピンチオフ電圧 (Nチャネルでは，$V_P<0$，Pチャネルでは $V_P>0$)<br>$I_{DO}$: $V_{GS}=0$ におけるドレン電流<br>$K=\frac{I_{DO}}{V_P{}^2}=\frac{\varepsilon_{OX}\cdot\mu\cdot W}{L\cdot T_{OX}}I_{DO}$<br>($L$: チャネル長，$W$: チャネル幅，$T_{OX}$: $SiO_2$ 層の厚，$\varepsilon_{OX}$: $SiO_2$ 層誘導率，$\mu$: キャリヤ移動度) | |
| 3定数 | $\mu=\frac{V_{DS}}{V_{GS}-V_P-V_{DS}}$<br>$g_m(=y_{fs})=KV_{DS}$<br>$r_d\left(=\frac{1}{g_{OS}}\right)=\frac{1}{K(V_{GS}-V_P-V_{DS})}$<br>$G=\frac{V_{DS}}{I_D}=\frac{1}{K}\left(V_{GS}-V_P-\frac{V_{DS}}{2}\right)$ | $\mu=\infty$ (ideal case)<br>$g_m=g_{mo}\left(1-\frac{V_{GS}}{V_P}\right)$<br>$g_{mo}=-\frac{2I_{DO}}{V_P}$<br>$r_d=\infty$ (ideal case) |

第7表 試作微小電流増幅器の特性

| 項目 | 得られた特性 | 備考 |
|---|---|---|
| 電流ドリフト | $1\times10^{-15}$ A/h | |
| 周波数応答 | 1.3 s | $R_f=10^{13}\Omega$ |
| 雑音 | 6 mV pp | $R_f=10^{13}\Omega$, f=0.13 c/s |
| 起動時ドリフト | <10 mV/30 分 | |
| 温度ドリフト | 100 μV/℃ | $\Delta T$=22～40℃, $R_i$, $R_f$=1 MΩ, $I_D$=4mA |
| 電源変動ドリフト | 1.3 mV/0.1% | 零調電源は除く |
| 電圧利得 | 92 dB | 無帰還時 |
| 周波数帯域 | 100 c/s (−3 dB) | 無帰還時 |
| 出力振幅 | 10 V pp | $R_1\geqq10$ kΩ |

ものであるが，Si 表面の準位をアクセプタ形にすることも，さきに述べたように $SiO_2$ 中に Na をドープし，適当な FC 処理を行なうことにより可能であり，$V_P$ を正の値にして Enhancement Mode 化することができる。その一例を示したのが**第18図**である。このように動作 Mode を自由に制御することが容易になれば，MOS トランジスタを固体回路の能動素子として組み込んだ場合に非常に便利である。

### 4.3 不均一チャネル

MOS トランジスタの高周波における性能指数として次のような関係が考えられる[13]。

$$g_m/C_{in}=\left(\frac{\mu_F}{L^2}\right)(V_G-V_P) \quad \cdots\cdots(12)$$

$L$はチャネルの長さであり，フォトレジストマスクなどの精度によってきまるもので，普通は10ミクロン前後のものであるが，FC 効果を利用することにより，有効チャネル長さを2ないし5ミクロン程度に制御することが可能であり，性能指数を(12)に示される値の2～8倍前後向上させることができる。そのような場合の例を，**第19, 20, 21図**に示した。またそのようにして改善された特性をまとめて**第5表**に示した。

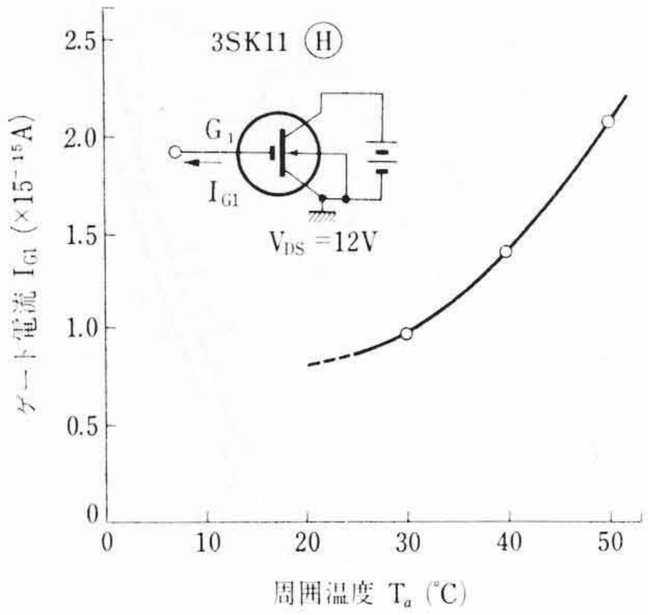
## 5. 電気的特性

以上 $SiO_2$ でおおわれた Si 表面の基本的な物理的性質とそれらを MOS 素子に適用して特性を制御する一般的な2～3の例をあげた。以下の記述では実際に製品化した $n$ チャネル，Depletion Mode の MOS トランジスタ 3 SK 11 Ⓗ シリーズの電気的諸特性と実際の回路応用例を述べる。

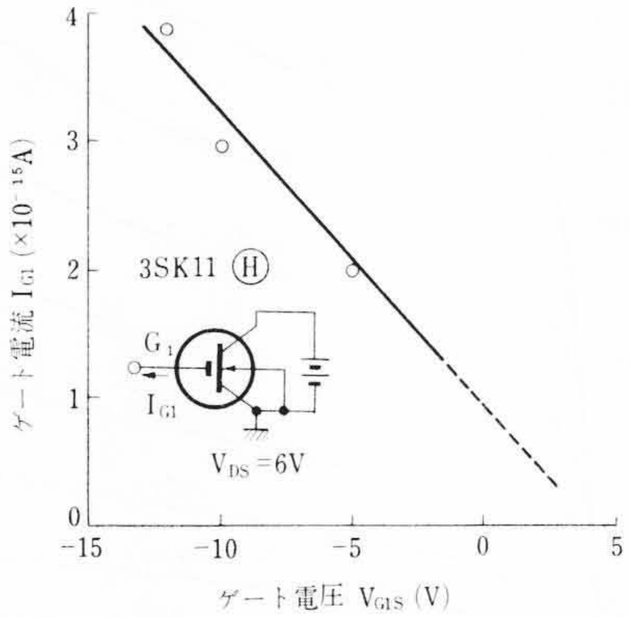
### 5.1 静特性

MOS トランジスタの静特性はこれが電圧駆動素子であるため真空管の特性に非常によく似ている。

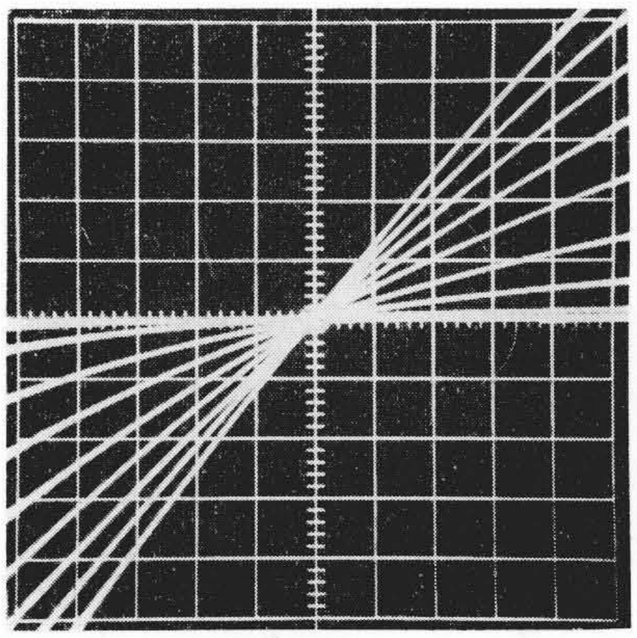
**第22図**は 3 SK 11 Ⓗ の出力特性 ($V_{DS}$-$I_D$) を示したものである。これは真空管のプレート特性に相当するもので，パラメータがゲート電圧 ($V_{GS}$) である点は通常のトランジスタとまったく異なる点である。ドレン電圧の変化に対するドレン電流 ($I_D$) は，ドレン電圧 ($V_{DS}$) の増加とともに最初は比例的に増加し，しだいに飽和する。電圧とほぼ比例関係にある領域を三極管領域と呼び，飽和した部分



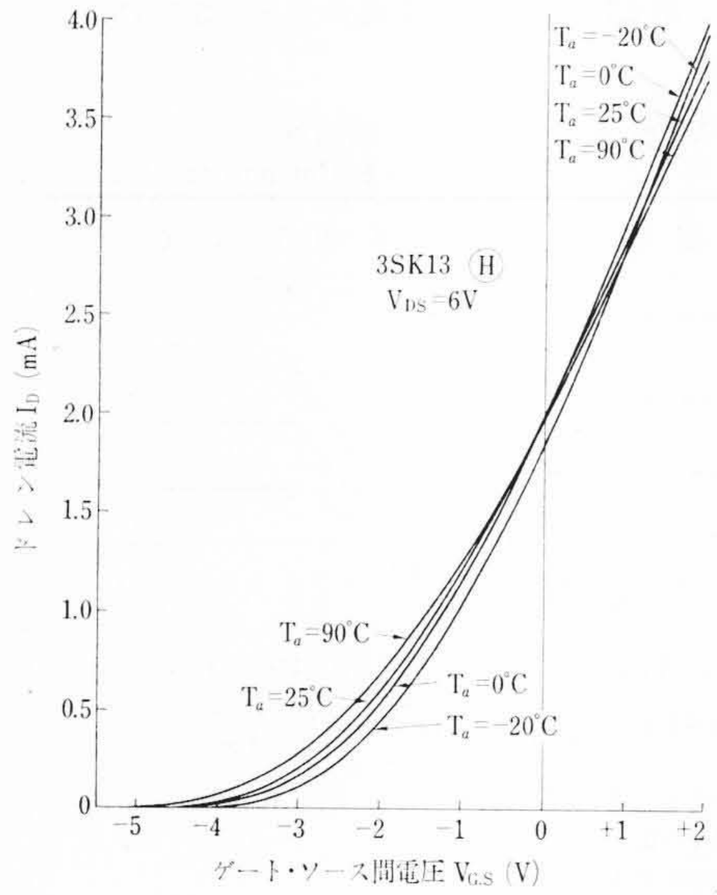

第24図（a）　MOSトランジスタの
ゲート電流と周囲温度との関係



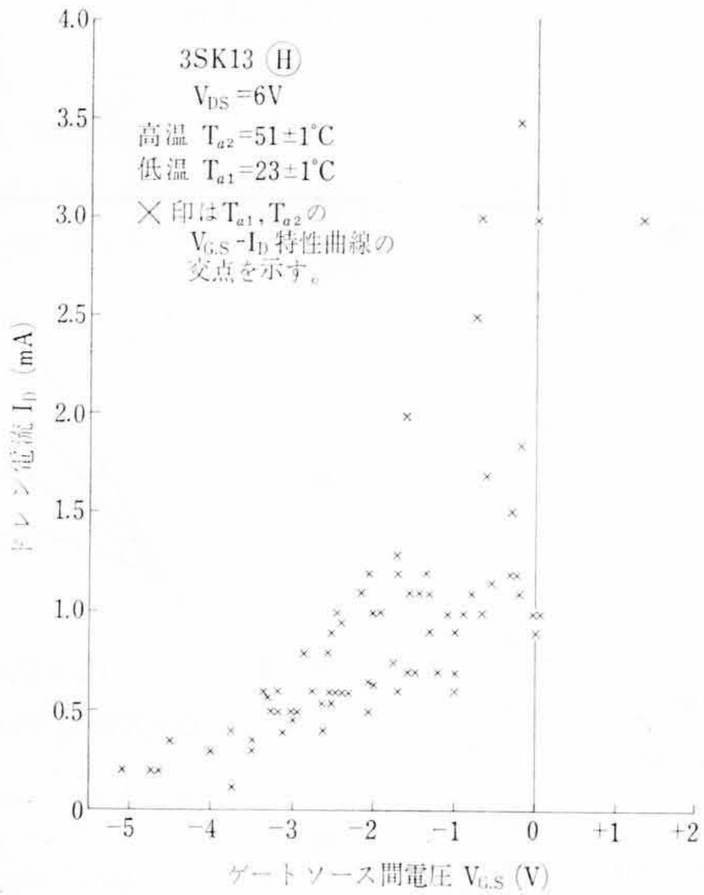

第24図（b）　MOSトランジスタの
ゲート電流とゲート電圧の関係



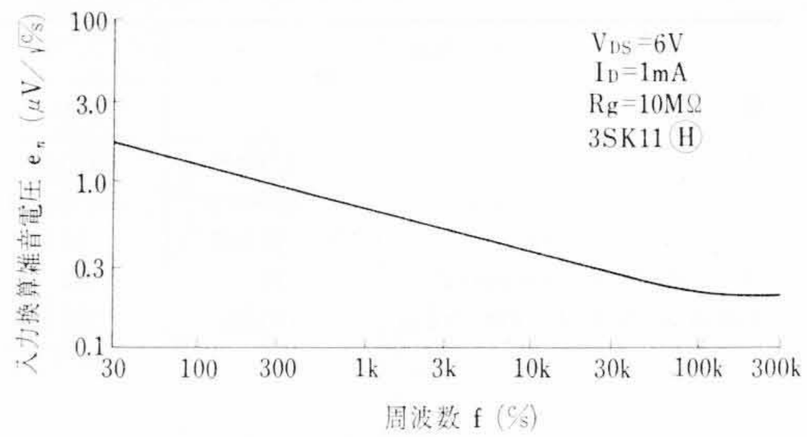
第25図　MOSトランジスタ
(3SK12Ⓗ) の微小電圧特性
横軸　20 mV/div
縦軸　20 μA/div



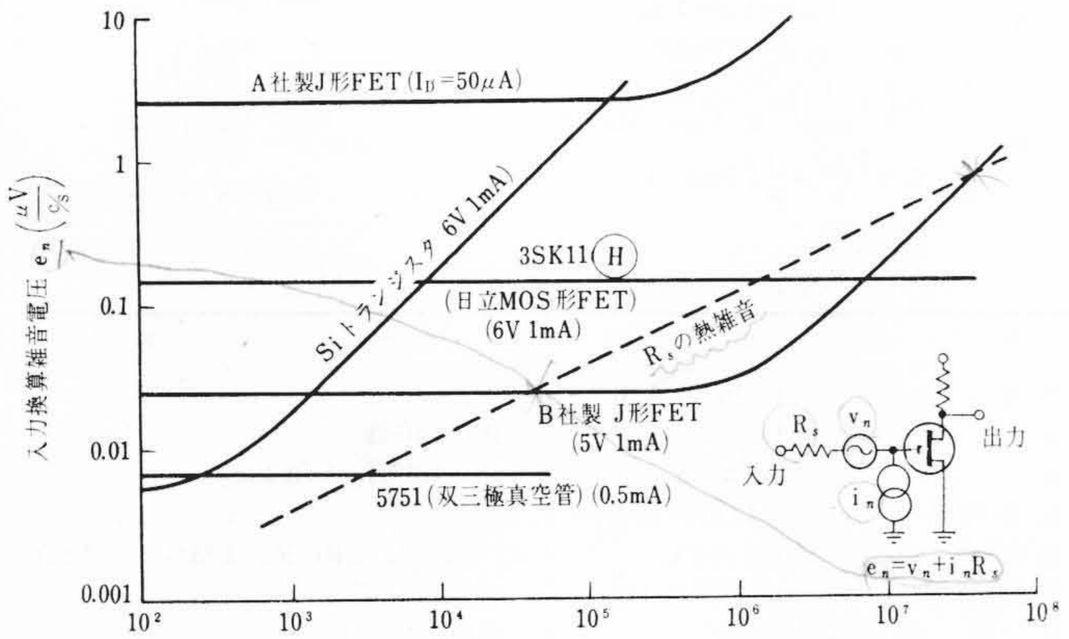

第26図（a）　ゲート電圧対ドレン電流の
温度特性の一例




第26図（b）　ゲート電圧対ドレン
電流の温度特性




第27図　雑音の周波数依存性




第28図　各種電界効果トランジスタとトランジスタおよび
真空管雑音の信号源抵抗依存性の比較

を五極管領域と呼ぶ。ドレン電圧 ($V_{DS}$) を定格以上に増加するとしだいにドレン電流は増加し，ついにはブレークダウンすることは通常のトランジスタと同様である。この特性のバラツキを示す特性値として，$V_{GS}=0$ の特性曲線をとり，一定 $V_{DS}$ におけるドレン電流を $I_{DSS}$（または $I_{DO}$）として規格化している。

**第23図**は真空管のカットオフ特性に相当するもので，3SK11Ⓗの伝達特性（$V_{GS}$–$I_D$）を示す。負のゲート電圧（$V_{GS}$）の増加によりドレン電流はほぼ理想的な2乗曲線をたどって減少する。ドレン電流がほとんど流れない状態のゲート電圧を，ピンチオフ電圧（$V_P$）またはゲートカットオフ電圧 $V_{GSC}$ と呼ぶ。ゲート電圧を正負ともに印加しうる点はMOSトランジスタの便利な特長である。

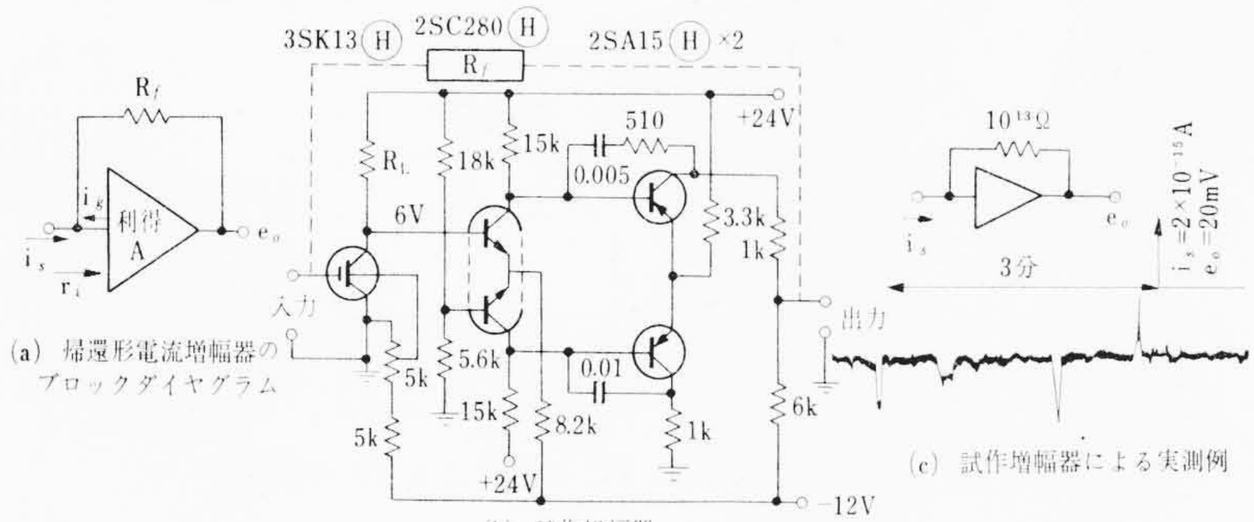
これら諸特性の関係式は**第6表**により表わされる。**第7表**は日立MOSトランジスタの特性を示したものである。

### 5.2　高入力インピーダンス特性

MOSトランジスタのゲート電極はソース，およびドレン電極とは，$SiO_2$ 層によりほぼ完全に絶縁されている。ゲート電極の漏えい電流は**第24図**で示したようにゲート，ソース間電圧の正負にかかわらず $10^{-15}$ A 程度である。これは従来の特殊真空管よりもすぐれた高入力インピーダンス特性である。

### 5.3　可変抵抗特性

**第22図**の $V_{DS}$–$I_D$ 特性の原点付近を拡大して示すと**第25図**のようになり，通常のトランジスタではP–N接合電位差および接合漏えい電流にもとづく，オフセットが避け得なかったのに対し，MOSトランジスタでは本質的にオフセットを生じない。特に $V_{DS}\leqq 100$ mV においては原点を中心に完全な対象性を示す。

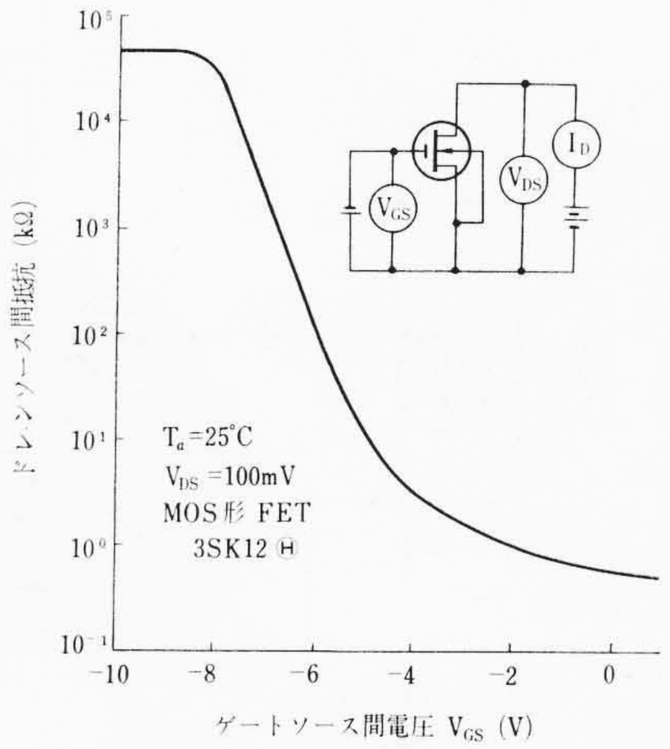



(a) 帰還形電流増幅器のブロックダイヤグラム

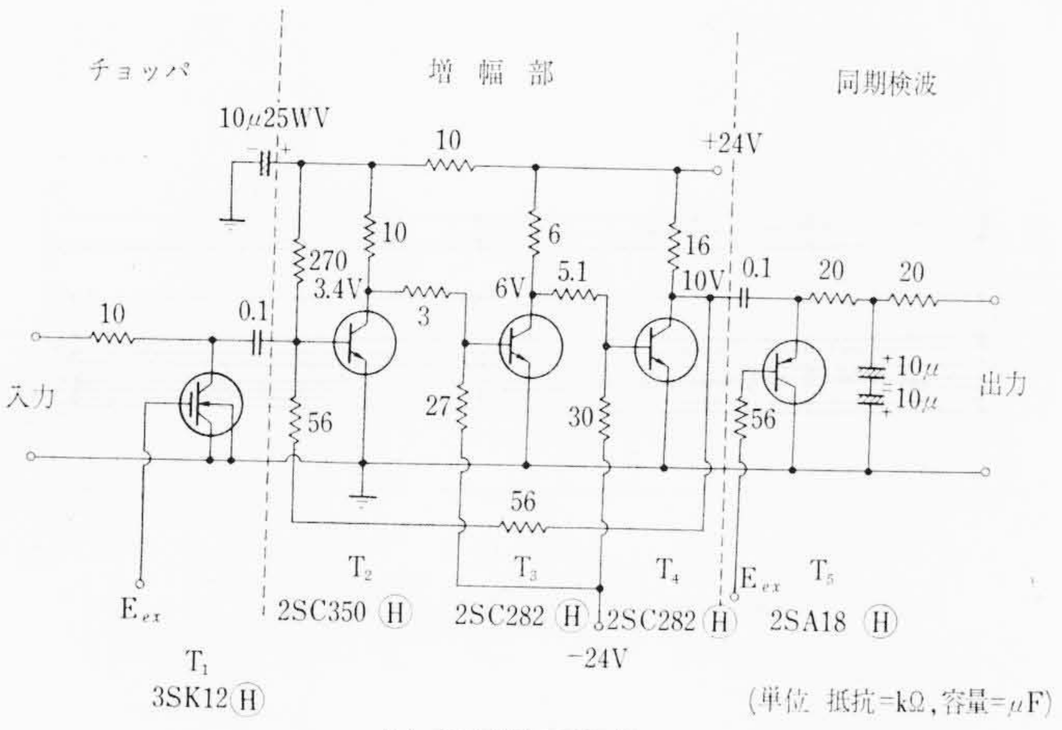
(b) 試作増幅器

(c) 試作増幅器による実測例

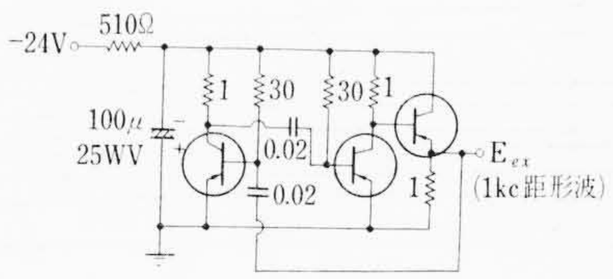
第29図 試作帰還微小電流用増幅器例




第30図 ドレンソース間の可変抵抗特性




(a) 変調形増幅回路例




2SA18 (H) ×3

(b) 駆動用矩形波発生器

第31図 変調形直流増幅器例

### 5.4 温度特性

MOSトランジスタの温度特性を決定する因子としては，チャネル中の電導電荷の密度の温度依存性と，電導電荷の易動度の温度依存性とによると考えられる。これら二つの因子は，ドレン，ソース間のコンダクタンスにとって相反するもので，適当なバイアス条件において温度係数が零となる特長を有する。この一例を示したのが**第26図**(a)である。MOSトランジスタのこの2因子を定量的には握することは現在のところ困難である。大量のMOSトランジスタを調べると，次のような傾向があることがわかる。

(i) ピンチオフ付近のドレン電流の小さい範囲では温度係数は正である。

(ii) ドレン電流が大きい範囲では温度係数は負となる。

(iii) 温度係数が正より負に変換するバイアス条件 ($V_{GS}$ または $I_D$) は素子によりバラツキがあり，この一例を示したのが**第26図**である。

この結果より特別な温度補償を必要としないで，適当な動作点の選定のみで回路の温度安定化を行なうことが可能となる。

### 5.5 雑音特性

MOSトランジスタの雑音は $1/f$ 雑音が顕著である。**第27図**は $1/f$ 雑音特性である。これは低雑音Siトランジスタに比べて約2けた大きく，接合形FETより約1けた大きい。$1/f$ 雑音の電圧，電流依存性は $V_{DS}\leqq10$V，$I_D=0.1\sim1.0$ mA では非常に小さい。特長的なことは通常のトランジスタとは異なり，定電流性の雑音源が無視できることである。**第28図**に雑音の信号源抵抗依存性を示す。信号源抵抗が数10～数100 kΩ 以上ではすぐれた低雑音素子といえる。

### 5.6 MOSトランジスタの取扱上の注意

最大定格を厳守しているかぎり，通常の通信工業用 $S_i$ トランジスタと同様の信頼性が実証されているが，トランジスタとは異なり，ゲート電極の入力抵抗がきわめて高いので思わぬ事故を起こすことがある。すなわち高圧電源からの漏えいとか静電誘導により絶縁破壊することがある。特に素子配線時にハンダごてよりの漏えい電圧に注意すべきである。低電圧ハンダごてが最も望ましいが，もしそれが不可能の場合は，あらかじめゲート，ソース，ドレン間を簡単に短絡し，ハンダ付けするのが良い。

## 6. 応用回路例

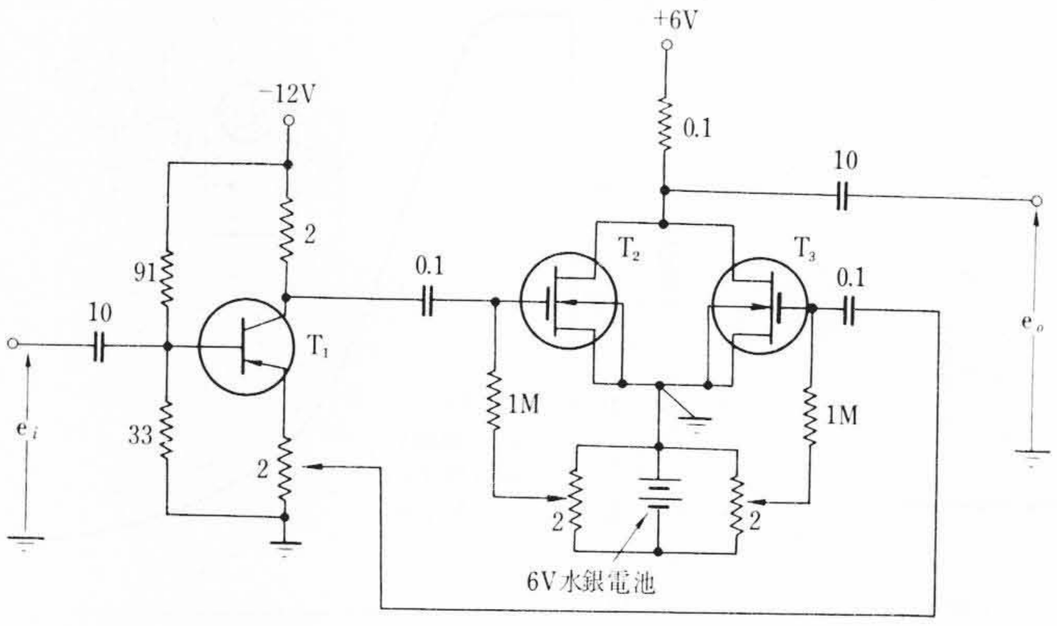
### 6.1 直結形微小電流増幅器

**第29図**(b)はMOSトランジスタの高入力インピーダンス特性を最大限に生かした直結形微小電流増幅回路である。**第29図**(a)のブロックダイヤグラムを参照すれば出力電圧 $e_D$ は次式で与えられる。

$$e_D=-(i_s+i_g)\cdot R_f/[1-(1+R_f/r_i)/A]$$
$$\simeq-(i_s+i_g)R_f \qquad \text{ただし，} \quad |A|\gg(1+R_f/r_i)$$

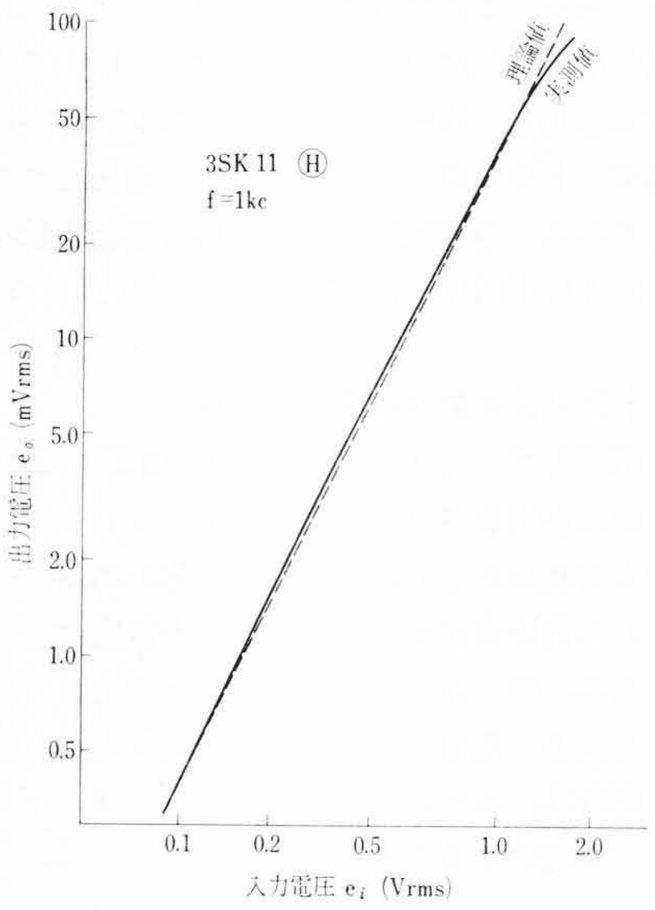
したがって $i_s$ の測定可能限界は $i_g$ のドリフトおよび雑音に比べて必要な $S/N$ を満足する値までである。前述の温度特性より入力換算の温度ドリフトは動作点により変わるが数十 μV～数 mV とみてよい。したがって $i_g$ に含まれる温度ドリフトの影響は $R_f\gg_{10}11\Omega$ ならば数～数百$\times10^{-16}$A/℃以下となり，$i_g$ より十分小さくできる。したがって温度ドリフトを軽減させるために差動形回路とする必要はなく，電流感度を支配するものは，おもにゲート漏えい電流と考えてよい。また上の関係式より $R_f\ll r_i$ になるようにFETの入力回路の絶縁に十分留意しなければならない。**第7表**に試作器の特性を示す。

**第29図**(c)に示した室温放置ドリフト測定例に表われているパルス状の雑音は，自然放射性元素ラドンの崩壊(ほうかい)によって空気が電離されて生ずるもので，初段MOSトランジスタおよび検出抵抗を真空封止または樹脂モールドすれば軽減し得るものである。FETは多数キャリヤを利用しているので，通常のトランジスタ




$T_1$ : 2SA290 Ⓗ
$T_2$, $T_3$ : 3SK11 Ⓗ
単位（抵抗：kΩ　容量：μF）

第32図　MOSトランジスタを使用した2乗器回路例




第33図　2乗器の入出力特性

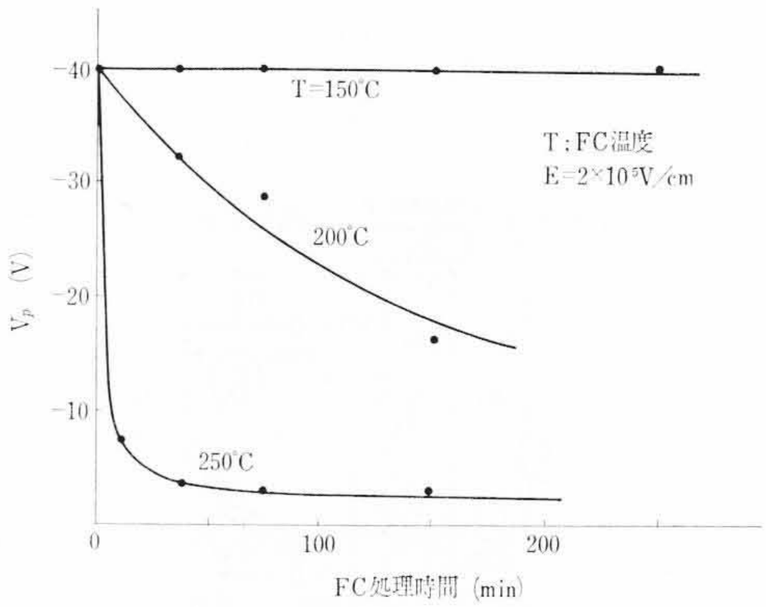
に比べて放射線障害に強い。ゆえにサーベクメータなどに利用する場合好都合である。

### 6.2　低レベルチョッパへの応用

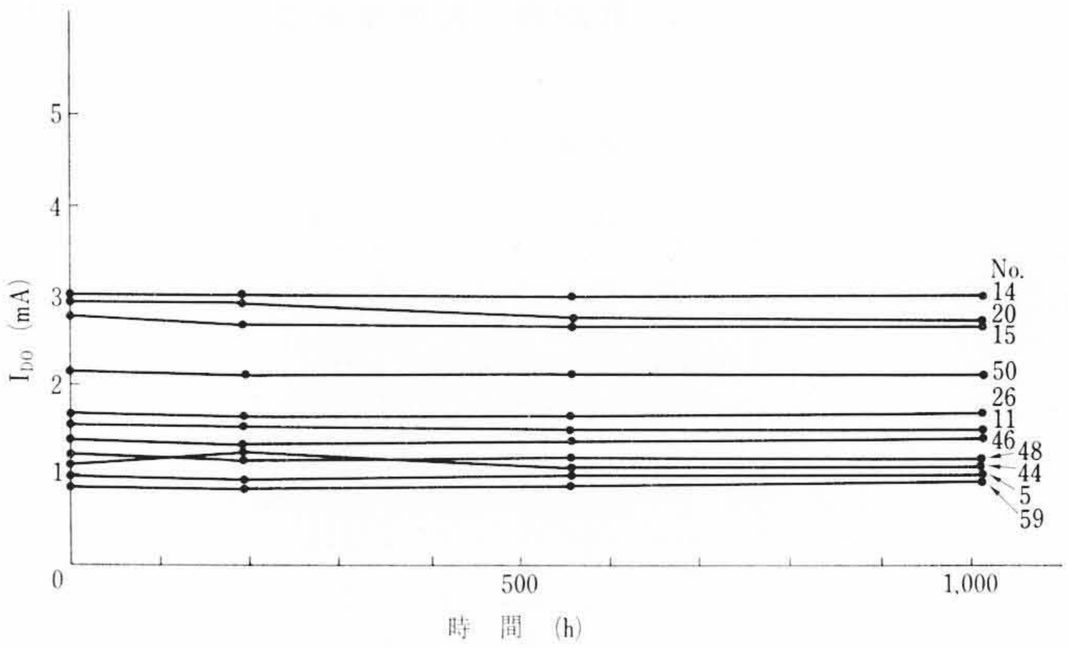
MOSトランジスタを用いた低レベルチョッパにはダイオードチョッパやトランジスタチョッパでは避けられないPN接合電位差や，PN接合漏えい電流に基づくオフセット電圧源がない。また**第30図**に示すようにオン抵抗，オフ抵抗がそれぞれ数100Ω，数10MΩあり，広い信号源抵抗範囲(1kΩ～数10MΩ)にわたり，良好な変換効率が得られる。

**第31図**は各種記録計や心電計，脳波計用増幅器として好適な変調形増幅器の一例である。増幅回路はSiトランジスタを使用して直結形とし，回路の簡略化をはかり，さらに過大入力時の特性改善も行なっている。増幅部の利得は約90dBあり，$T_4$のコレクタより，低域通過沪波器を介して$T_2$のベースに直流負帰還をほどこし，動作点の安定度を良好にしている。$T_2$には低雑音トランジスタを使用する必要があり，ここではPM形Siトランジスタ2SC350Ⓗを使用している。なお**第31図**(b)は駆動用方形波発生器の回路例である。

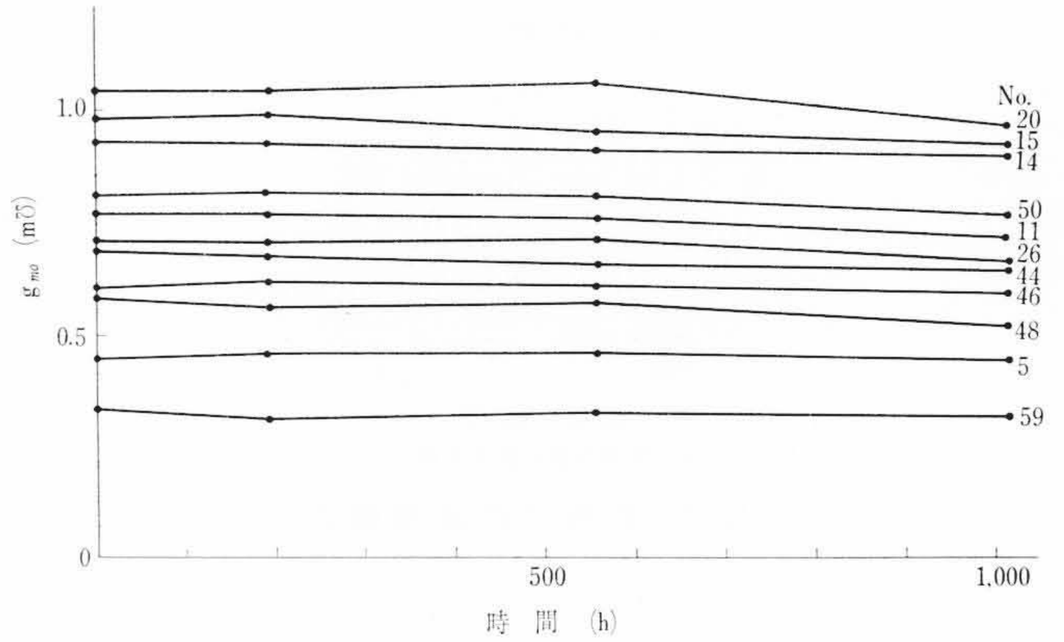
MOSトランジスタチョッパのオフセット源はゲート，ドレン間の電極間容量を通じて変調電圧が信号源側にもれるスパイク電圧（駆動方形波の微分波形）によるものと，FET以外の原因（リード線の接続方法とか部品の配置によるもの）の2種に大別できる。前者は逆位相方形波により補償する方法がある。後者はその具体的原因を追求し適切な対策を部品組立時に行なう必要がある。




第34図　FC処理による$V_P$の変化




第35図（a）　150℃中放置試験




第35図（b）　150℃中放置試験

### 6.2　2乗器への応用

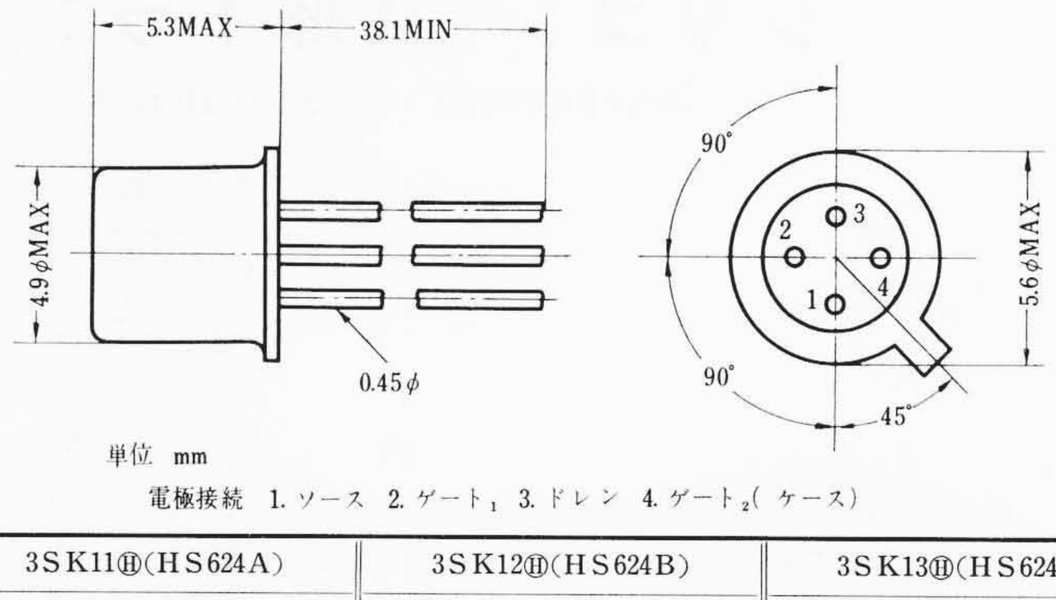
MOSトランジスタの伝達特性は**第6表**および**第23図**に示したようにドレン電流はゲート入力電圧に対してほぼ完全な2乗特性を示す。この特性を利用した2乗器の一例を**第32図**に示す。初段のトランジスタにより互いに逆位相の2信号を，和動形に接続した2個のMOS形FETのゲートに加えている。出力端子には直流分に交流分が重畳した出力が得られる。この2乗器の入出力特性を**第33図**に示す。入力電圧0.1～1.0Vにわたり理論値と良い一致を示している。

このほか通常の低周波増幅回路および高周波増幅回路に使用可能であり，AGC特性混変調特性がすぐれているなどの特長がある。

第8表 日立MOSトランジスタ規格一覧表

一大定格 ($T_a$=25℃)

| 項目 | 記号 | | 単位 |
|---|---|---|---|
| ドレンソース電圧 | $V_{DS}$ | +20 | V |
| ゲートソース電圧 | $V_{GS}$ | +2<br>−20 | V |
| ドレン電流 | $I_D$ | 10 | mA |
| 電力損失 | $P$ | 100 | mW |
| 接合温度 (保存時/動作時共) | $T_{ch}$, $T_{stg}$ | −55～150 | ℃ |




単位 mm

電極接続 1. ソース 2. ゲート$_1$ 3. ドレン 4. ゲート$_2$( ケース)

電気的特性 ($T_a$=25℃)

| 項目 | 記号 | 測定条件 | 3SK11Ⓗ(HS624A) 交流増幅用 | | | 3SK12Ⓗ(HS624B) チョッパ用 | | | 3SK13Ⓗ(HS624C) 直流増幅用 | | | 単位 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 最小 | 標準 | 最大 | 最小 | 標準 | 最大 | 最小 | 標準 | 最大 | |
| ドレインソース間電圧 | $BV_{DS}$ | $I_D$=10 μA, $V_{GS}$=10 V | 20 | — | — | 20 | — | — | 20 | — | — | V |
| ドレン電流 | $I_{DSS}$ | $V_{DS}$=6 V, $V_{GS}$=0 | 0.5 | 2.0 | 6.0 | 0.5 | 2.5 | 8.0 | 0.5 | 2.0 | 6.0 | mA |
| ゲートカットオフ電圧 | $V_{GSC}$ | $I_D$=50 μA, $V_{DS}$=6 V | 2.0 | 4.5 | 8.0 | 2.0 | 5.0 | 8.0 | 2.0 | 4.5 | 8.0 | V |
| 相互コンダクタンス | $y_{fs}$ | $V_{DS}$=6 V, $V_{GS}$=0, $f$=1 kc | 400 | 750 | 1,500 | 300 | 850 | — | 400 | 750 | 1,500 | μ℧ |
| 出力コンダクタンス | $g_{os}$ | $V_{DS}$=6 V, $V_{GS}$=0, $f$=1 kc | — | 60 | — | — | 60 | — | — | 60 | — | μ℧ |
| 入力容量 (注1) | $C_i$ | $V_{GS}$=0, $f$=1 Mc | — | 3.6 | — | — | 3.6 | — | — | 3.6 | — | PF |
| 出力容量 (注2) | $C_o$ | $V_{GS}$=−10 V, $V_{DS}$=6 V, $f$=1 kc | — | 2.6 | — | — | 2.6 | — | — | 2.6 | — | PF |
| ゲート漏洩電流 | $I_G$ | $V_{DS}$=6 V, $V_{GS}$≈0 V | — | $10^{-14}$以下 | $10^{-13}$ | — | $10^{-14}$ | — | — | $10^{-14}$以下 | $10^{-13}$ | A |
| 雑音指数 | $NF$ | $V_{DS}$=6 V, $R_g$=10 Mc, $f$=1 kc, $I_D$=0.5 mA | — | 6 | — | — | — | — | — | 6 | — | dB |
| オン抵抗 | $R_{ON}$ | $V_{DS}$=0.10 V, $V_{GS}$=0 V | — | — | — | — | 0.6 | 2.0 | — | — | — | kΩ |
| オフ抵抗 | $R_{OFF}$ | $V_{DS}$=0.10 V, $V_{GS}$=10 V | — | — | — | 1.0 | 40 | — | — | — | — | MΩ |
| 初期ドリフト | $\Delta I_{DO}$ | $V_{DS}$=6 V, $V_{GS}$=0 V, $t$=0.5 h | — | — | — | — | — | — | — | 8 | 20 | μA |

## 7. 信頼度試験

MOSなどの絶縁ゲート形素子においてはそれを動作させる場合，絶縁物中に強力な電界が集中することはさけられないことで，長期間の動作の安定性や，高温動作の安定性を保証するにはプレーナトランジスタなどに要求される以上に安定度の高い $SiO_2$ が要求される。**第34図**はこのような場合の一例として $2\times10^5$ V/cm 程度の電界が $SiO_2$ 中に存在する場合のFC処理による $V_P$ の変化を示したものである。150℃と200℃の間で顕著な変化が起こっている。この程度のものでは安定な動作を保証できる最高貯蔵温度は150℃前後であり，プレーナトランジスタの最高300℃には及ばない。**第35図**は実際にMOSトランジスタを150℃中に放置してどの程度特性が変動するかをしらべたもので，変化範囲がこの程度であれば，普通の用途にはまったく問題はないが，超高信頼度を望む場合にはさらに改善されなければならない。

## 8. 結　　言

$SiO_2$ とSiの界面の性質は物理現象としてきわめて興味あるものであり，FC処理に関連してその性質の2～3を記した。またこの性質を利用してMOSトランジスタの特性をある程度制御しうることを示した。このようにして実際に製品化したMOSトランジスタ3SK-11Ⓗ, 3SK-12Ⓗ, 3SK-13Ⓗの実際の特性と応用回路例の2～3をも記した。MOSトランジスタは $SiO_2$ とSi界面の特性変動がそのまま電気的特性に現われてくるため，$SiO_2$ の電気化学的に安定なものを作ることが要点となる。3SK-11Ⓗ, SK-12Ⓗ, SK-13Ⓗでは最高貯蔵温度は150℃であり普通の応用上にはほとんど障害ない程度であるがより高信頼のものを望むには $SiO_2$ とSi界面特性の変動となる電気化学的要因をおさえる技術を確立する必要がある。

本研究の推進とその正しい方向づけについては日立製作所中央研究所の阿部部長に一方ならぬご指導をいただいた。また同所永田氏，高木氏には本素子の特性測定の面でお骨折りいただき，試作品の測定データを逐一フィードバックして開発促進に協力していただいた。武蔵工場伴野副工場長，桑田設計部長，柴田試作課長には絶えざるはげましを与えられ研究の促進にあたっていただいた。

上記のかたがたにこの場を借りて深く感謝の意を表したい。

### 参　考　文　献

(1) W. Shockley: "A Unipolar Field-Effect Transistor," Proc. I. R. E. **40**, p. 1365 Nov. 1952

(2) P. K. Weimer: "The TFT–A New Thin-Film Transistor," Proc. I. R. E **50**, p. 1462 June. 1962

(3) O. Heil: "Improvements in or Relating to Electrical Amplifiers and Other Control Arrangements and Devices," British Patent 439, 457 Sept. 26, 1939

(4) W. Shockley and G. L. Pearson: "Modulation of Conductance of Thin Films of Semiconductors by Surface Charges," Phys. Rev., **74**, p. 232 1948

(5) G. C. Dacey and I. M. Ross: "Unipolar 'Field-Effect' Transistor," Proc. I. R. E. **41**, p. 970, Aug. 1953

(6) S. R. Hofstein and F. P. Heiman: "The Silicon Insulated Gate Field-Effect Transistor," Proc. I. E. E. E. **51**, p. 1190, 1963

(7) 大野: "MOS形電界効果トランジスタについて" 電通学会トランジスタ研究会 昭和38年6月

(8) F. M. Wanlass: "Metal-Oxide-Semiconductor Field-Effect Transistor and Microcircuitry" Wescon Ang. 1963

(9) R. H. Kingston and S. F. Neustadter: "Calculation of the Space Charge, Electric Field, and Free Carrier Concentration at the Surface of a Semiconductor." J. App. Phy, **76**, p. 718, 1953

(10) M. M. Atalla, E. Tannenbaum and E. J. Scheibner: "Stabilization of Silicon Surface by Thermally Grown Oxides" B. S. T. J. **38**, p. 749, 1959