

H-8100 処 理 装 置

H-8100 Processor

山 岸 峻* 尾 塚 博 之* 飯 田 昇 治*
 Takeshi Yamagishi Hiroyuki Osako Shōji Iida

要 旨

HITAC 8100システムは、カートリッジ方式の磁気ディスク記憶装置をベースとする小形電子計算機システムである。豊富な入出力装置と、標準接続方式に準拠した接続方式の採用により、広い適用分野にわたって、最も適したシステムが構成できる。本文では、H-8100-4、H-8100-8形処理装置の構成、命令、入出力装置接続方式の概要が述べられている。

1. 緒 言

H-8100-4、H-8100-8形処理装置は、HITAC 8100システムの中央演算処理装置であり、記憶容量は、それぞれ4,096バイト、8,192バイトである。HITAC 8100システムは、カートリッジ方式の磁気ディスクをベースとする小形電子計算システムとして開発されたもので、従来の小形機に比べて、ハードウェア、ソフトウェアの構成の完備に主眼をおき、新しい応用分野の開発、市場のより広い要求にこたえることを目標とするものである。

本処理装置の製造に当っては回路技術、構成技術の両面にわたって種々新しい方式を採用した。たとえば、論理演算素子としては、CML (Current Mode Logic) 形の一石集積回路を全面的に採用し回路への給電と論理布線には、プラッタと呼ばれる多層印刷積層板を使用していることなどである。

また、マイクロプログラム制御方式、チャネル形式の入出力制御、内部演算と入出力制御あるいは入出力相互間の同時制御方式など、従来の小形機には見られなかった各種機構を採用している。

以下に、処理装置の構成、命令、入出力制御を中心にその概要を述べる。

図1にH-8100処理装置の外観を示す。

2. 処理装置の構造と機能

2.1 データ構造

図2にデータ構造のブロック図を示す。Kはセクタサービスを行なう主記憶装置の番地を保持する2バイトのレジスタ、Cは命令の実行時に作業レジスタとして使用される2バイトのレジスタ、Aは命令の第1オペランドのアドレスを格納するレジスタ、Bは命令の第2オペランドのアドレスを格納するレジスタ、Fはオペレーションコードを格納する1バイトのレジスタ、Gは種々の命令において、オペランドの長さ、マスク、トランク番号、機器番号などを格納する1バイトのレジスタ(3命令の項を参照)、Eはコンディションコード、キャリー、割込み、セクタチャネルの状態など、処理装置の状態を表示するために使用される1バイトのレジスタ、LRは演算ゲートの出力を一時たくわえておくためのラッチレジスタ、Sは主記憶装置のアドレスレジスタ、Mは主記憶装置のデータレジ

* 日立製作所神奈川工場

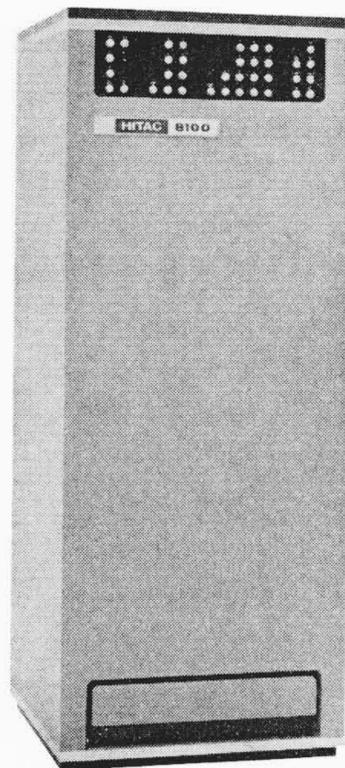


図1 H-8100 処理装置

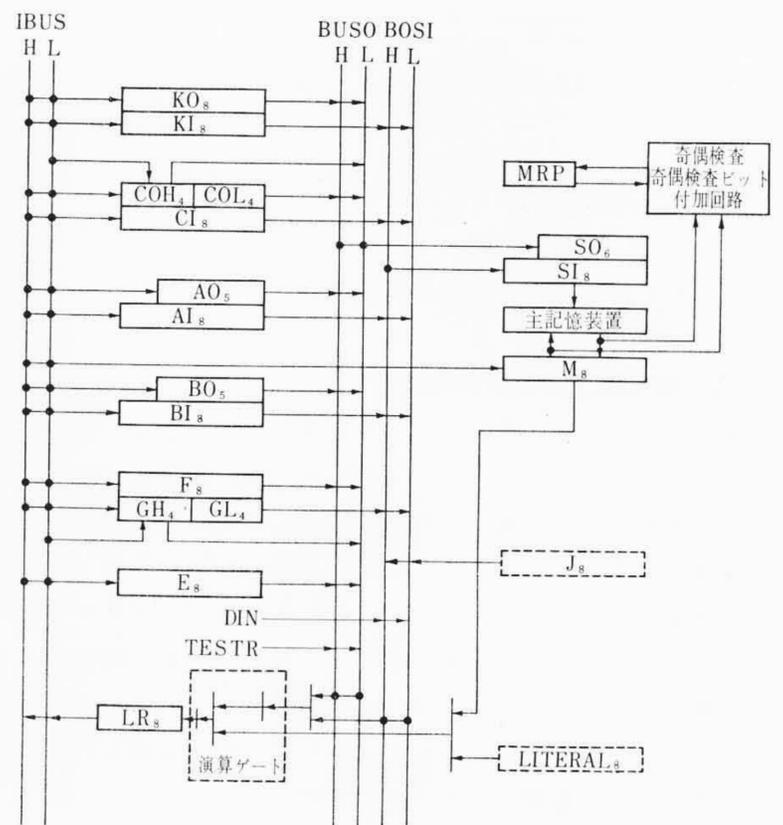


図2 データ構造のブロック図

スタである。これらのレジスタ群は、図に示すように、IBUS, BUSO, BUSIを通して、固定記憶装置データレジスタDRのX部、Y部の情報により接続される。LはレジスタDRのY部とJHから成る8ビットの架空のリテラルレジスタ、JはレジスタDRのJ部から成る架空の8ビットのレジスタである。演算ゲートは、レジスタDRのW部の指定により、レジスタMまたは、レジスタLの内容とレジスタDRのX部で指定されたレジスタの内容との間の演算を行なう。

DINは、入出力制御装置を介して入出力機器から処理装置に送られて来るデータを受け取るためのゲートである。DOUTは、処理装置から入出力制御装置を介して入出力機器に送るデータをたくわえるレジスタであるが、これはMレジスタと兼用である。TSTRは、オペレーションコードトラップ、コンディションコードの成立、入出力制御装置接続信号、同時処理モードの選択、チャネル選択、セクタチャネルのデータ読み込み時の奇偶検査誤りを表わすためのゲートである。

主記憶装置は、30ミルフェライト磁心64個×64個のプレーン9枚から構成されるスタックを基本とし、H-8100-4には、1スタック、H-8100-8には、2スタックが、記憶装置プラッタに実装されている。駆動は、電流一致方式、サイクルタイムは1.5μs、情報の取扱い単位は、1バイトである。主記憶装置の0~49番地は、規定番地であり、入出力レジスタ、プログラムカウンタ、スタンダードデバ

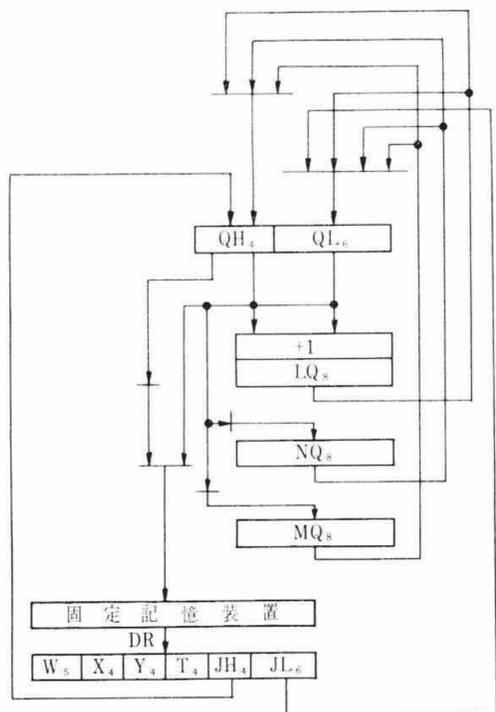


図3 制御構造のブロック図

16ビットレジスタ、割込み制御用レジスタ、汎用レジスタなどにそれぞれ使用される。

2.2 制御構造の固定記憶装置

図3に固定記憶装置を中心とする制御機構を示す。図中、Qは固定記憶装置のアドレスレジスタ(Q(H)は、高位4ビット、Q(L)は下位6ビットから成る)、DRは固定記憶装置のデータレジスタ、LQはQの下位8ビットに、1を加算するための8ビットのレジスタ、NQはセレクトチャネル、またはマルチプレクサチャネルからサービス要求があったとき、Qの下位8ビットを一時退避させるための8ビットのレジスタ、MQはマルチプレクサチャネルのサービス中に、セレクトチャネルからのサービス要求があったとき、Qの下位8ビットを退避させるための8ビットのレジスタである。またDRの中で、W部はFunction Control、X、Y部はそれぞれ、Source、Destination Controlの目的に使用し、T部はテスト条件、J部はジャンプ番地指定(J(H)はQ(H)に、J(L)はQ(L)に対応する)に使用されている。固定記憶装置は、U-I形磁心27個を1組として、これを2組用い、1枚当り4ワード(1ワードは27ビット)を実装したワードシートを、基本命令に対して128枚、付加命令機構に対して128枚組み合わせたコアスタックと、駆動回路、読出し増幅器などから成る。固定記憶装置のサイクルタイムを0.5 μ sとし、ワードシート相互間のワード線浮遊容量結合による周波数特性とS/N比の悪化、磁心特性のバラツキに基づく読出し電圧およびアクセスタイムのバラツキなどに対して特に考慮し、調整箇所を省略して、生産性の向上、生産工数の低減をはかっている。

この固定記憶装置にたくわえられた、マイクロプログラムにより、すべての内部演算処理命令、チャネル動作、外部装置へのデータサービスを含む入出力命令、制御パネルからの手動操作などすべてが制御されるようにして、素子数の減少、回路の簡略化につとめた。

マイクロプログラムは、6種類43個のマイクロ命令によって構成される。マイクロ命令の概要を述べると次のとおりである。レジスタDRのY+JH部で与えられるリテラルと、X部で指定されるレジスタとの間で演算を行ない、T部で示されるテスト条件により、JH部で与えられた番地にジャンプするリテラルテスト命令3個、リテラルとX部で指定されたレジスタとの間で演算を行ない、そのレジスタの内容を修正するリテラル演算命令5個、主記憶装置制御命令15個、入出力制御命令10個、X部で指定されるレジスタの内容をY部で指定されるレジスタに移す転送命令1個、主記憶装置デ

ータレジスタMと、X部で指定されるレジスタとの間で演算を行ない、結果をY部で指定されるレジスタに転送する演算命令9個、これらの命令には、主記憶装置制御命令の一部を除いて、T部においてテスト条件が付加され、それに伴うジャンプ番地が、J部で与えられるようになっており、命令の実行結果の判定、あるいは、その命令の実行結果には直接関係のない条件の判定と、ジャンプが同時に行なわれるように考慮されている。

このように、固定記憶装置によるマイクロプログラム方式は、処理装置の論理が簡単であり、したがって信頼性の向上、トラブルシューティングの簡単化に貢献するものである。

2.3 入出力装置の接続

外部記憶装置あるいは、入出力装置(以下総称してI/Oと呼ぶ)と、処理装置との接続境界は、セレクトチャネルとマルチプレクサチャネルのトランクである。H-8100-4、8処理装置にはともに、セレクトチャネル、マルチプレクサチャネルが1個ずつ実装してある。セレクトチャネルのトランク数はNo.7、No.6の2個であり、これらのトランクは同時に情報転送を行なうことはできないが、マルチプレクサチャネルより優先して情報転送を行なうようになっている。これらのトランクの情報転送可能速度は、約280キロバイト/秒であり、主として、磁気ディスク記憶装置、磁気テープ装置などの高速I/Oが接続される。マルチプレクサチャネルには、No.5~No.0の6個のトランクがある。情報転送の優先度は、トランク番号の大きいほうが高い。これらのトランクのうち、No.5トランクは、ラインプリンタ専用であり、No.0トランクは、メンテナンスパネルのスイッチで切り換えられる多重モードで、H-8659形多重制御装置を付加することにより、最大16台までのH-8218形入出力タイプライタを同時制御できる。これらのチャネル動作は、内部演算処理と並行して行なわれ、チャネル相互間にも同時性があるので、処理装置は合計21台までのI/Oを同時制御できる。

各チャネルのトランクとI/O(制御装置を含む)とは、HITAC 8000シリーズ標準接続方式に準拠した、HITAC 8100 I/O接続方式によって接続される。ラインプリンタとその専用トランクNo.5を除いて、接続方式はI/Oの種類、トランク番号に無関係にまったく同一である。この点は、従来の小形機とは、システムの拡張、構成の任意性という面で、格段の差異を有するところである。さらに、I/Oの接続に関する特長は、I/Oの状態を表示するスタンダードデバイスバイトとI/Oの動作に伴って発生する種々の状態、たとえば、読取り誤り、転送誤り、操作誤り、I/Oの正常な動作に必要な条件の欠除などの状況を表示するセンスバイトとにより、I/Oの状態と動作を、監視できるようになっている。これらは、ソフトウェアを含む、システムの動作の機動性を増し、誤りあるいは異常動作などの発生時の処理を完全に行なうことを可能にするものであり、小形機といえども、本格的な計算機システムには、不可欠である。

2.4 割込み機構

HITAC 8100には、I/Oからの外部割込み、オペレーションコードトラップによる内部割込み、除算のオーバフローによる内部割込みの三つの割込み機構がある。

I/Oからの外部割込み機構を図4に示す。これは命令の実行が終了すると、割込み表示と割込みマスクを調べる。そして割込み表示がセットされておりかつ割込みマスクが禁止されていない場合のみ割込み処理が行なわれる。それ以外の場合には、次の命令の実行準備を行なうようになっている。割込み処理は、Eレジスタの内容とI/Oのトランク番号、装置番号およびスタンダードデバイスバイトまたは動作不能コードを規定番地に格納する。そしてプログラム制御をP₁(処理状態)からP₂(割込み状態)に移す。

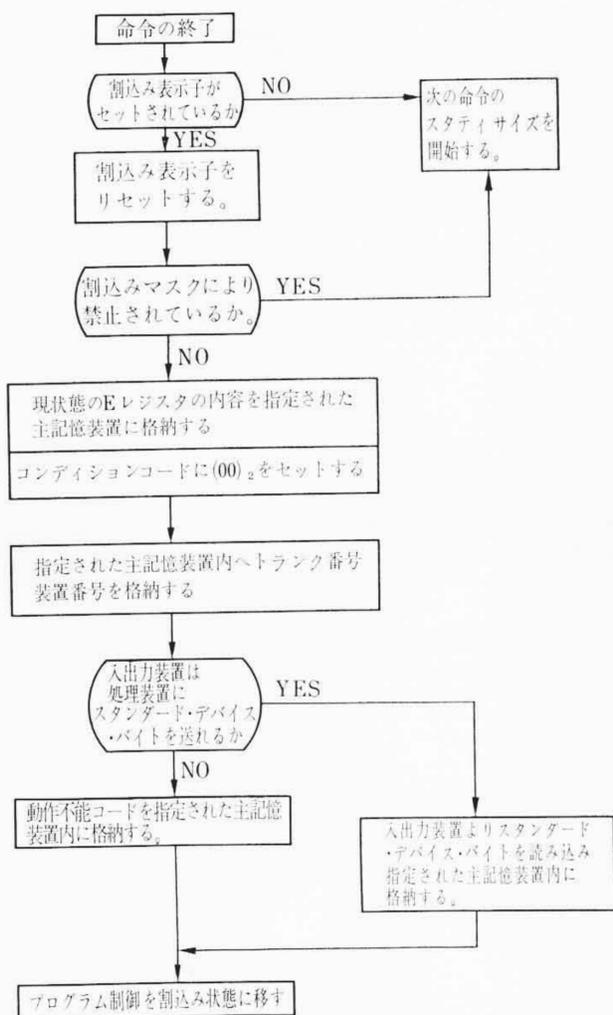


図4 入出力装置からの外部割込み機構

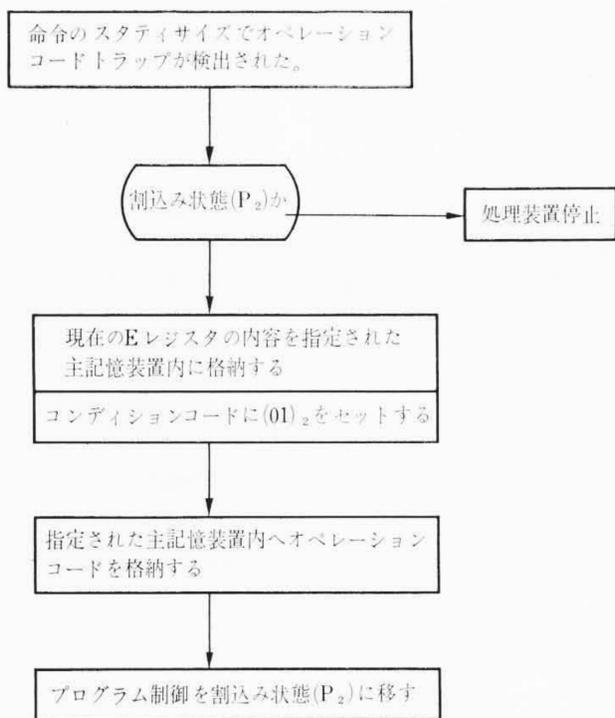


図5 オペレーションコードトラップによる内部割込み機構

オペレーションコードトラップによる内部割込み機構を図5に示す。オペレーションコードトラップがP₂で検出された場合には処理装置は停止する。P₁で検出された場合には、Eレジスタの内容とオペレーションコードを規定番地に格納する。そしてプログラム制御をP₁からP₂に移す。

除算のオーバーフローによる内部割込み機構を図6に示す。除算のオーバーフローがP₂で検出された場合には処理装置は停止する。P₁で検出された場合にはEレジスタの内容を規定番地に格納する。そしてプログラム制御をP₁からP₂に移す。

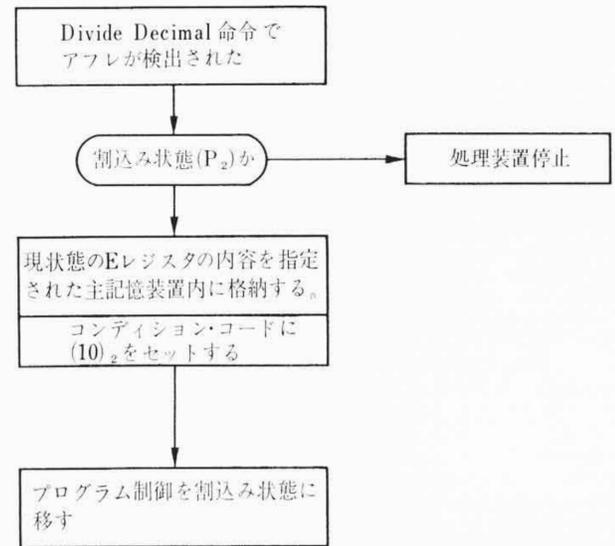


図6 除算のオーバーフローによる内部割込み機構

1	OP ⁸	L ⁸		D ₁ ¹⁶	D ₂ ¹⁶
2	OP ⁸	L ₁ ⁴	L ₂ ⁴	D ₁ ¹⁶	D ₂ ¹⁶
3	OP ⁸	T ⁴	U ⁴	D ₁ ¹⁶	D ₂ ¹⁶
4	OP ⁸	M ⁸		D ₁ ¹⁶	
5	OP ⁸	T ⁴	U ⁴	D ₁ ¹⁶	

右上肩の数字は用いられるビット数を示す。

- OP オペレーションコード
- D₁ 第1オペランドの左端の番地 (低位の13ビットのみ使用される)
- D₂ 第2オペランドの左端の番地 (低位の13ビットのみ使用される)
- L 第1または第2オペランドの長さより1減じたもの (0~255)
- L₁ 第1オペランドの長さより1減じたもの (0~15)
- L₂ 第2オペランドの長さより1減じたもの (0~15)
- M マスク
- T 入出力トラックの指定 (トラックの番号)
- U 入出力機器の指定 (装置の番号)

図7 命令の形式

3. 命令

HITAC 8100には基本命令26個と付加命令5個の命令がある。基本命令はデータ取扱い、演算および論理、判定と制御、入出力の四つに分類される。

データ取扱いに関する命令は、主記憶装置の格納データを扱うのに使われ、MVC, ED, PACK, UNPKの4個の非演算命令から成る。

演算および論理命令は2個の10進命令と5個の論理命令から成る。

AP, AB, SP, SB, NC, DC, XC

判定と制御命令は、制御の条件付または無条件転送、データおよび番地の比較、割込みシステム制御、処理装置の処理状態制御、処理装置の停止の機能を持つものであり、次の6個の命令から成る。

BC, CP, CLC, STPZ, TM, HB

入出力命令は、処理装置と8100 I/Oインターフェースを通じてすべてのI/Oとの間のコミュニケーションに使用される。これらの命令は次のとおりである。

RDF, RDA, RDR, WR, WRA, WRC, WRE, IOS, PS

付加命令には次の5個の命令がある。

MP, DP, TR, MVO, BAL

これらの命令の形式を図7に示す。基本命令の略号、オペレーションコード、命令の種類、演算時間を表1に示す。付加命令は表2に示すとおりである。

4. 結 言

紙数の都合により、本文では、処理装置の概要のみを述べるにと

表1 基本命令

命 令	略 号	オペレー ションコード	命令の種類	実 行 時 間 (μ s)
Add Decimal	AP	FA (16進)	2	第1オペランド, 第2オペランドが 同符号: $22+3.5N_1+1.5N_2+8.5$ 異符号: $22+3.5N_1+1.5N_2+8$
Add Binary	AB	F 6	2	$22+3.5N_1+1.5N_2+2$
Subtract Decimal	SP	FB	2	$22+3.5N_1+1.5N_2+9$
Subtract Binary	SB	F 7	2	$22+3.5N_1+1.5N_2+2.5$
Logical And	NC	D 4	1	$18+4.5N+1$
Logical Or	DC	D 6	1	$18+4.5N+1$
Exclusive Or	XC	D 7	1	$18+4.5N+1$
Move	MVC	D 2	1	$18+3N-0.5$
Edit	ED	DE	1	$18+14+5a+8(b+c+d)$ a : インサージョンキャラクタの数 b : フィールド・セパレータの数 c : シグニフィカンス・スタートキャラクタの数 d : デイジット・セレクト・キャラクタの数
Pack	PACK	F 2	2	$22+5.5N-1$ N_2 が偶数: $22+2.5N_1+1.75N_2+1$ $2N_1 \leq N_2$ N_2 が奇数: $22+2.5N_1+1.75(N_2-1)+2.5$ $2N_1 > N_2$
Unpack	UNPK	F 3	2	$N_1 > 2N_2$ N_1 が偶数: $22+3.5N_1+2$ $N_1 \geq 2N_2$ N_1 が偶数: $22+2.75N_1+1.5N_2+0.5$ N_1 が奇数: $22+3.5N_1+1$ N_2 が奇数: $22+2.75(N_1-1)+1.5N_2+3$
Branch on Condition	BC	4 7	4	ブランチする場合 $14.5+3.5$ ブランチする場合 $14.5+0.5$
Compare Decimal	CP	F 9	2	第1オペランド, 第2オペランドが 同符号: $2.2+3.5N+1.5N+9$ 異符号: $2.2+3.5N+1.5N+8$
Compare Logical	CLC	D 5	1	$18+4N+4$
Set P ₂ Register	STP ₂	8 2	4	$14.5+5$
Test Under Mask	TM	9 1	4	$14.5+3.5$
Halt and Branch	HB	8 1	4	$14.5+1$ (Halt するまでの時間)
Read Forward	RDF	E 5	5	
Read Reverse	RDR	E 2	5	
Read Auxiliary	RDA	C 5	5	
Write Auxiliary	WRA	C 3	5	
Write	WR	E 3	5	
Write Control	WRC	E 7	5	
Write Erase	WRE	E 4	5	
Sense	IOS	E 1	5	
Post Status	PS	6 6	5	

どまった。より詳しい、設計データの公表、製造技術の問題などは別の機会に述べるつもりである。

電子計算システムというものは、適切な使用方法によってこそ大きな能力を発揮するものであり、これは、特に、小形システムにおいて、その傾向が著しく現われる。このことは、逆に、設計前の応用分野調査が、いかに重要であるかを示唆するものである。一方、応用分野は、市場の電算機に対する認識により絶えず変動する。これに対処できないシステムは、いわゆる第3世代の計算機としての評価に耐えないであろう。H-8100-4, 8形処理装置は、小形ながら、標準接続方式の導入、マイクロプログラム制御方式の採用などにより、これからの計算機としての要求と評価に十分耐えうるものと確信する。

表2 付加命令

命 令	略 号	オペレー ション コード	命令の 種類	実 行 時 間 (μ s)
Multiply Decimal	MP	FC	2	$22+71N_1-64N_2+26N_2(N_1-N_2)+1$
Divide Decimal	DP	FD	2	$22+114N_1-96N_2+55N_2(N_1-N_2)-60$
Translate	TR	DC	1	$18+5.5N-0.5$
Move with Offset	MVD	F1	2	$N_1 \leq N_2$ $22+5N_1-0.5$ $N_1 > N_2$ $22+2N_1+3N_2+0.5$
Branch and Link	BAL	C4	1	$18+8.5$