
半 導 体 IC 特 集

半 導 体 IC の 設 計 法	53
デ ィ ジ タ ル IC (DTL) の 開 発	57
リ ニ ヤ IC の 開 発	63
MOS IC の 開 発	70
半 導 体 IC の 信 頼 性	77

半 導 体 IC の 設 計 法

Design Aspects of Monolithic Integrated Circuits

三 和 一 朗*
Ichirô Miwa

要 旨

半導体 IC の設計にあたり考慮すべき項目の概要を、IC 技術全体の中での設計のおかれている立場から述べ、つぎに IC のもっとも重要な特長である低価格性および高信頼性を具現するための設計的考察を集積度との関係を中心として行なった。また、最近利用され始めている電子計算機による IC 設計法について、その適用個所と効果を概述した。

1. 緒 言

最初軍用機器の超小形化および高信頼化を目標に開発された IC は、これを用いることにより個別部品を用いるよりも機器価格を本質的に低減する可能性がある、という低価格性と相まって、電子計算機をはじめとする産業機器、さらにはラジオ、TV など民生機器の分野にまで広い需要をもつようになってきた。

IC はそれ自体少なくとも一つの回路機能をもつものであり、その設計においては、従来のトランジスタあるいは抵抗など個別部品におけるような単なる回路部品としてのみの設計は不可能であり、広くシステム、回路、デバイスおよび製造プロセス技術に関連した考慮が払われなければならない。そしてこの考慮に欠けるところがあれば、製造された IC は経済性、信頼性の保証のないものとなったり、あるいは IC ユーザにとって的はずれの性能のものとなり、需要の望めないものになってしまう。

このように、IC は、その設計にあたってはそれぞれの需要分野に応じて、システムから製造プロセス技術にわたる考慮が払われなければならないので、IC の設計法について具体的記述を短文の中で行なうことは不可能と思われる。そこで本文においては、双極性トランジスタを用いた半導体 IC を対象として、IC 設計法の全般的問題について述べることにした。

2. 半導体 IC 設計法の概観

まず IC の設計がどのような立場のもとで行なわれるかについて考えよう。図 1 はこの立場を図示したものであり、材料技術（たとえば欠陥の少ないシリコン単結晶材料の製造技術など）、装置技術（IC 産業は装置産業であるともいわれており、製造装置の良否が製品の良否を左右する。精密で安定な装置の製造技術、操作技術の確立が重要である）、管理技術（一定の品質の製品をまちがいなく製造してゆくのは品質管理、工程管理など管理技術によるところが大きい）の基礎の上に築かれた製造プロセス技術の上にたって、ユーザの要求する IC をいかに実現するかを決定するのが IC 設計であるといえよう。そしてまた、製造プロセス技術の将来の動向と、ユーザの将来の要求とを握し、両者を相関連づけさせて、両者の未来像に指針を与えることも、IC 設計技術者の義務であるということもできよう。

図 1 において、システム設計を点線で囲んだが、これはこの設計が主として IC のユーザであるシステム技術者によって行なわれているからである。リニヤ回路においては、現用回路をそのままの方式で IC 化しても、IC 化の利点を発揮しえない場合が多く、このような場合はシステム全体として IC 化に適した方式にする必要がある。また、デジタル回路においてもシステムをどのように分割し

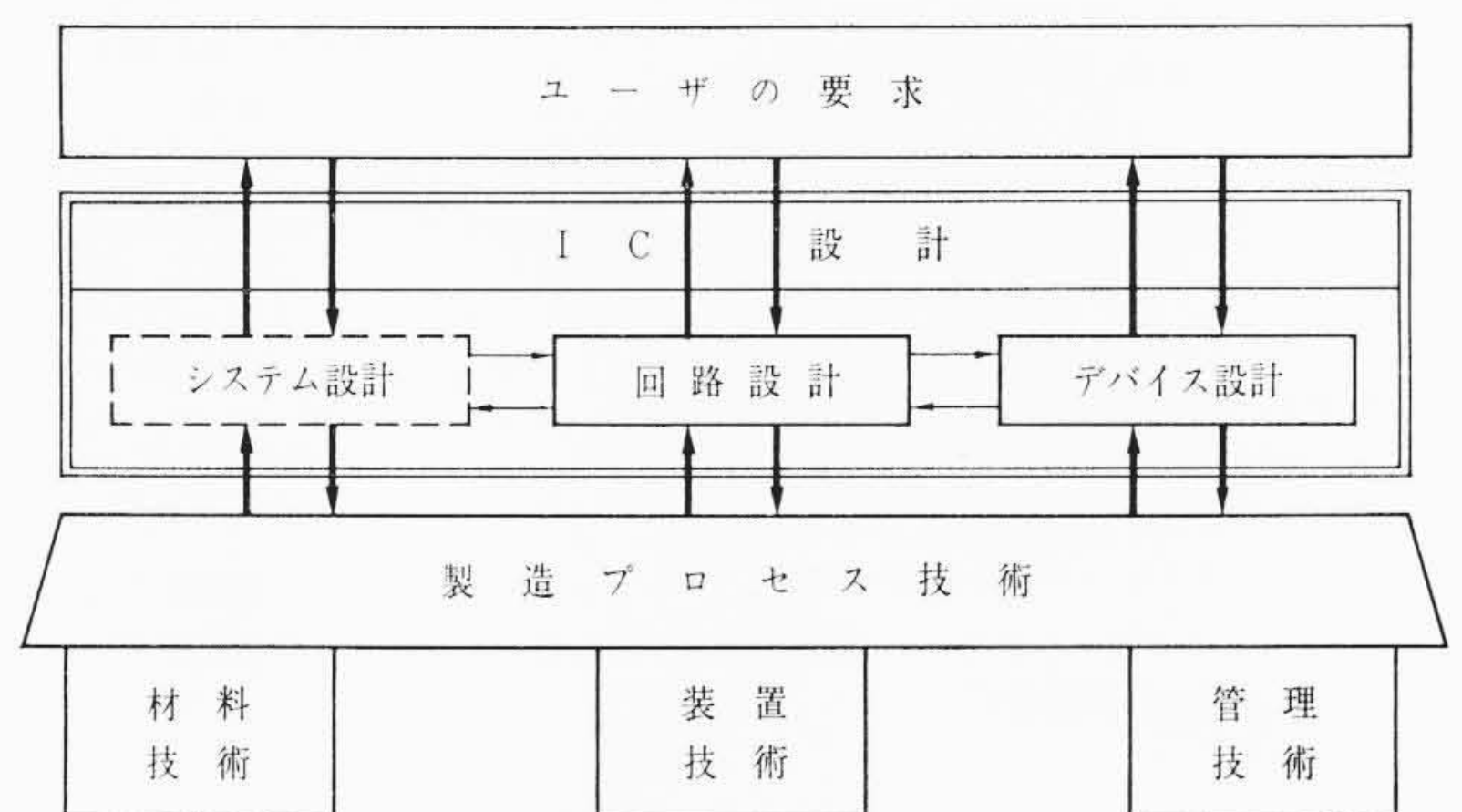


図1 IC設計のおかれている位置

て、一つの IC にどのような機能をもたせるのが最適であるかを決定する必要がある。この必要性は、最近電子計算機の低価格化、高信頼化、高速化に寄与するものとして注目を集めている LSI (Large Scale Integration) の設計においてとくに大きいものがある。さて、これらシステム面を考慮した設計は、IC 技術に精通したシステム技術者が主となり、システムに関する高度の知識をもった回路設計者、デバイス設計者と共同して行なわれている。

現在の IC 設計の主体をなしている回路設計およびデバイス設計における設計内容の概要を表 1 に示す。回路設計においてまずなすべきことは、システムのどの部分を 1 個の IC に集積化するかを決定する、システム分割方式の設計である。この部分は、IC 設計においてもっとも重要な部分であり、機器 IC 化の目的、所要性能、製造プロセス技術よりの制約など、図 1 に示したすべての分野にわたっての考察のもとに設計される。たとえば、標準品種と特注品種について、システム分割方式設計においては異なった観点に立つ必要がある。標準品種は、不特定多数のユーザを対象として、その要求を抽出し、多面的使用に適した設計がなされる。一般に、システム分割を大きくとり IC 機能を増大すると、その IC の汎用性の失われることが多いので注意を要する。特注品種は、一品種で多量（少なくとも数万個）の需要のある、民生機器あるいは電子計算機などの需要、あるいは価格よりも特殊性能に重点がおかれる軍用機器、宇宙用機器などの需要に対して、特定ユーザの要求に適合した設計がなされる。この場合集積度が大きくなることが多い。

システム分割方式が決定すれば、つぎに回路方式の設計と検査仕様・試験法の設計が行なわれる。後者は、ユーザの要求を満足するように定められるもので、その重要項目はシステム分割方式設計においてすでに考慮されているわけであるが、具体的回路方式の決定によって、その詳細が決定されるものである。回路方式の設計は、解析的実験的に行なわれる。IC においては、さ細な回路変更にも多くの費用と時間がかかるので、この設計は、個別部品を用いた回路

* 日立製作所中央研究所 工学博士

表 1 半導体 IC 設計の内容

回 路 設 計	デ バ イ ス 設 計
システム分割方式の設計 回路方式の設計 回路方式の評価、選択 回路定数の決定など 検査仕様、試験法の設計 定 格 電 気 特 性 信頼度試験 など 要素素子の設計 トランジスタ：耐圧、最大電流、電流増幅率、 f_T 、接合容量、ベース抵抗、コレクタ抵抗、接合順方向特性、蓄積時間 など ダイオード：耐圧、最大電流、接合容量、直列抵抗、接合順方向特性、蓄積電荷 など 抵 抗：抵抗値、接合容量 など キャパシタ：容量、直列抵抗、 $\tan \delta$ など 寄生素子：アイソレーション容量、サブストレート PNP 効果、浮遊容量、リードインダクタンス、寄生抵抗 など 特殊素子：マルチエミッタトランジスタ、ラテラル PNP トランジスタ、サブストレート PNP トランジスタ、ツェナーダイオードなどの諸パラメータなど	半導体チップの全般的設計 チップ寸法、端子の数と配列、要素素子配列、パターン精度設定、配線パターン 要素素子特性を得るための製造プロセス設計 基 板：比抵抗、結晶方位、ドーパント、寸法 埋込層：面積抵抗、ドーパント、拡散深さ、表面濃度 EP 層：厚さ、比抵抗、ドーパント 分離拡散：ドーパント、拡散深さ、表面濃度(面積抵抗) 表面酸化：酸化膜厚、表面単位密度 ベース拡散：ドーパント、面積抵抗(表面濃度)、拡散深さ、酸化膜厚 エミッタ拡散：ドーパント、面積抵抗(表面濃度)、拡散深さ、酸化膜厚 アルミ蒸着：面積抵抗、膜厚 金 拡 散：金濃度 要素素子特性を得るための素子構成法とパターン設計 トランジスタ：エミッタベースのストライプ構造、コレクタ N+ 領域パターン、エミッタパターン、ベースパターン、コレクタパターン、埋込層パターン ダイオード：ダイオード構成法設定 その他トランジスタにはほぼ同じ 抵 抗： キャパシタ： 特 殊 素 子： 組 立 関 係 チップ組立法の選定 ボンディング線材の選定 容器関係の設計 構造の設計、選定：TO-5、フラットバック、デュアルインライン、エポキシ封じ など リード線の設計：数、材質、引出し法 形状 など

の設計に比べ、十分入念に行なう必要がある。実験的検討は、個別部品を用いて IC を模擬するいわゆるブレッドボード実験により普通行なわれるが、配線長、浮遊容量の影響する特性などこの実験により模擬できない特性は、解析的検討あるいは IC の予備試作による検討によらざるを得ない。さて、回路方式、回路定数が決定されれば、回路の動作特性が定まり、ユーザの要求、製造プロセス変動に付随する素子特性のばらつき、最悪環境条件などを考慮して、定格、電気特性仕様、信頼度試験法などが決定される。また回路内各素子の標準動作条件および最悪動作条件より各素子の電気的特性に対する仕様が定められる。IC の検査仕様は回路としての検査仕様であり、素子としての検査仕様は設計のための参考としてのみ考慮されるべきものである。

つぎにデバイス設計においては、半導体チップの全般的設計に対する考察、容器関係の設計がまず行なわれる。容器関係の設計は、端子数、IC のシステムへの実装法、熱抵抗、信頼度など主としてシステムおよび回路設計からの要求により行なわれるが、多くの場合既存容器よりいずれを用いるかという選定によっている。チップ寸法の決定は、本質的には次章に述べる低価格性、高信頼性に対する考察から行なわれるが、現状では IC 内部パターンの設計がまず行なわれ、これとマスク製造装置のレンズの性能限界など主として製造プロセス技術による制約とにより決定されることが多い。端子数は容器を考慮した回路方式の設計より定まる。端子配列は、ユーザからの要求を満足するように、要素素子の配列、配線パターンの設計と同時に進められる。パターン精度は、高速回路、高周波回路など

諸回路の高性能性、および IC の価格を決定する主要因である。すなわち、パターン精度が高くなると、要素素子寸法が縮小され、このため接合容量が減少して高速性のある、あるいは周波数特性のよい回路が得られるとともに、ウェーハ当たりの要素素子数が増加して次章に述べるように IC の低価格性を増大せしめうる。高性能性の面よりいえば、パターンを微細化するほうが好ましいが、一方製造プロセス技術よりの制約により、微細化してゆくとある点より歩留りが急激に劣化する。したがって、製造プロセス技術と高性能化との妥協点を、価格、量産性を考慮しながら決定し、パターン精度を設定する必要がある。一般にデバイス設計においては、各製造プロセス定数の偏差を的確に評価しておくことが、安全性のある、しかも無駄のない設計をするうえに重要である。

以上においては、回路設計とデバイス設計に分けて概要を述べてきたが、図 1 に示すように、これらは混在した形で互いに修正しながら進められるものであり、両者の技術者が協力して IC を設計するというよりも、一人の技術者が両分野の設計を行なう必要があるものと考えられる。このため、IC 設計においては、従来の個別部品が用いられているときとは異なった、新しい形の技術者が要求されるのである。

3. 低価格性、高信頼性に対する考察

低価格性と高信頼性は IC の有する 2 大特長であり、その設計にあっても、この 2 点をつねに考慮しておく必要がある。本章においては、この特長より見た設計について述べることにする。

3.1 低 価 格 性

低価格性の内容はおもにつぎの 3 項目に分けて考えられる。すなわち (a) IC の価格と、これに置換される部品の価格との差、(b) 機器の IC 化による実装・調整費の低減、(c) 機器保守費の低減である。このほか、機器の小形化に伴う付帯設備費、部品点数低減に伴う諸間接費の低減などもあるがこれら付随事項はここでは考えないこととしたい。

IC の価格は、材料・加工費、設計費、装置の原価償却費、諸間接費などに分けられるが、ここで設計法にとくに関係のあるのは前二者である。設計費は IC 価格の大きな部分を占めるものであり、また設計の遅速は IC の開発速度を左右するので、その対策として最近では電子計算機による設計技術が開発されつつある。

さて材料・加工費は、チップ寸法、チップ内素子数の選定と関係しており、1 個の IC について次式で与えられる⁽¹⁾。

$$S = \frac{S_s A_c}{Y_s Y_M Y_T} + \frac{S_T}{Y_M Y_T} + \frac{S_M}{Y_M} \dots\dots\dots (1)$$

- ここに、
- S：完成 IC 当たり材料・加工費

S_s ：ウェーハ検査前までの 1 ウェーハの単位面積当たり材料・加工費

S_T ：1 IC 当たりウェーハ検査費

S_M ：1 IC 当たり組立費（容器代を含む）

Y_s ：ウェーハ歩留り（ウェーハ検査前まで）

Y_T ：ウェーハ検査歩留り

Y_M ：最終検査歩留り

A_c ：チップ面積

1 チップ当たりの素子数を N とし、 S/N （この値は IC における素子当たり価格である）と個別部品として作った半導体素子（トランジスタ）の価格との比 R を計算して図 2 が得られている。図 2 において、

X_0 ：チップは取り扱いの面からある大きさ以下にできない。この大きさを X_0^2 とする。 X_0^2 の 1/2 は端部として素子構成に利用できない面積とされる。

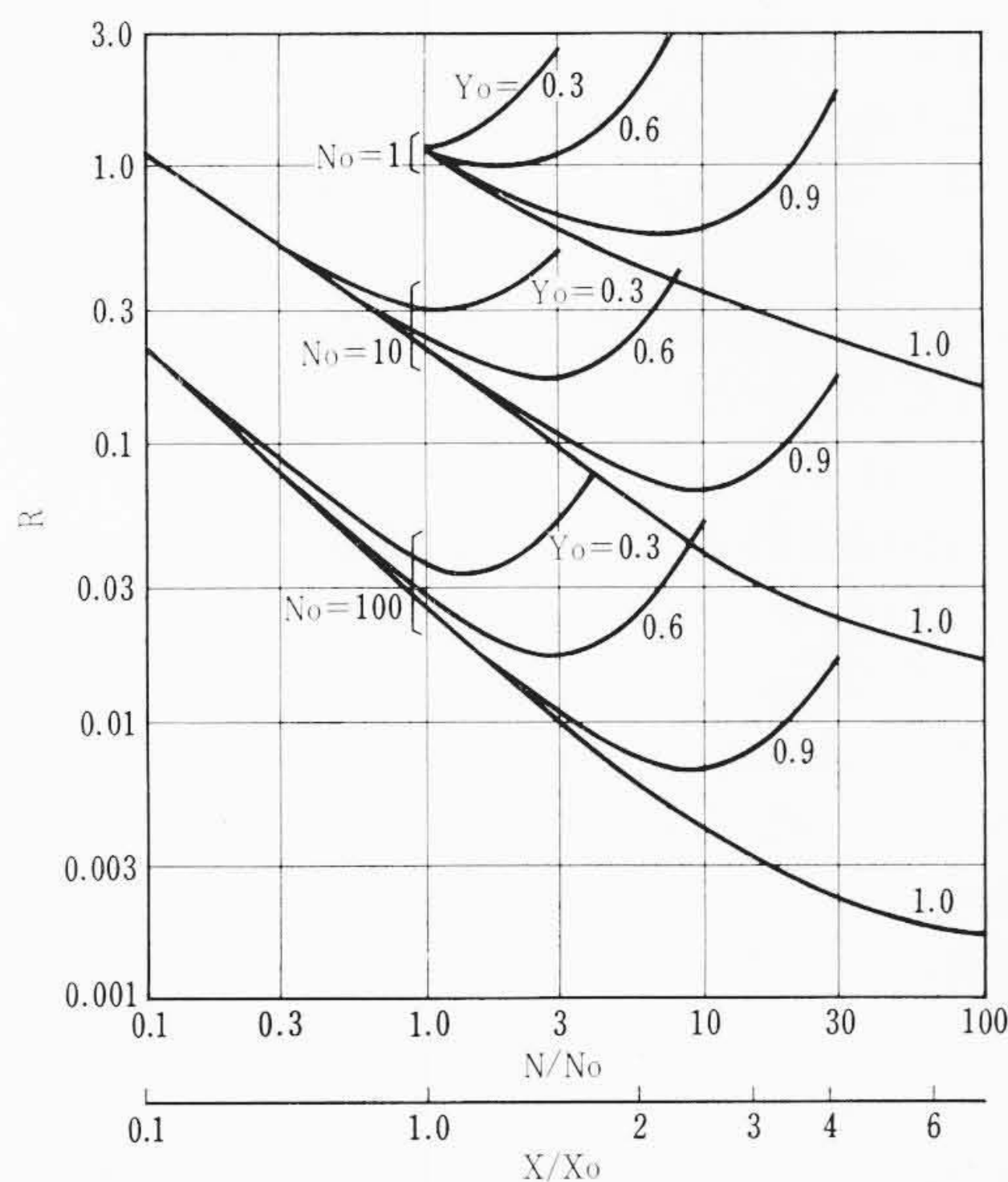


図2 半導体 IC チップ内素子の比価格と集積度との関係

X : チップ寸法

N_0 : チップ寸法が X_0 のときの、チップに含まれる素子数

Y_0 : チップ寸法が X_0 のときの歩留り

であり、また個別素子について、ウェーハ検査歩留りを1としたときの、完成した素子価格に対する、チップ価格、ウェーハ検査費、組立費の比を、1:1:4と仮定している。図2について考察してみる。 N_0 が大きくなるほど R は小さくなるが、これは取り扱える最小寸法において N_0 だけ素子のはいる余裕のあるところに、個別素子では1素子しか入れないためICの比価格が小さくなっていることによっている。このことは、パターン精度を向上して、同一歩留りで同じ寸法のチップに多くの素子を入れるほど素子当たり価格の安くなることを示している。 X を増大すれば、最初チップ価格が低減して R は小となるが、さらに X が大となればチップ面積の増加によりチップに含まれる欠陥数が増加しウェーハ検査歩留りが劣化するため R が増加しはじめる。このため R には極小値があり、 Y_0 の大きいほど、すなわち欠陥密度が少なく歩留りのよいほど $R_{\min}$ は減少し、 $R_{\min}$ を与える X は増加する。このことは、最適チップ寸法は製造プロセス技術と関連して決定さるべきものであり、製造プロセス技術の進歩に伴って最適チップ寸法は増加し、ICの比価格は減少することを示している。この具体例として、アメリカでの例であるが図3に示すようなウェーハ当たりの良品回路数とチップ寸法との関係が求められている⁽²⁾。この例では、チップ寸法1.5mm×1.5mm、素子数168が最適とされている。

この具体例からもわかるように、ウェーハ加工技術はすでに百個以上の素子をつ一つのICに含ませるのが適当な段階に近づきつつあるが、これを制限している重要な因子の一つは許容最大端子数である。このためシステム分割方式の設計が重要なものとなり、端子数を減少せしめうる設計によりICの比価格を低下せしめうるといえよう。このことはデジタル回路についてはもちろん、リニア回路においてもきわめて重要であり、システム分割方式の設計と同時に、システム設計、回路方式設計においても多機能を包含したまま、いかに端子数を減少させうるかが、民生機器に用いる価格にまでICを低価格化する一つの要点となるものと思われる。他の重要な因子は、一般に N が大きくなり1個のICの回路機能が增大するほど回路の標準性が弱くなり、このため多品種少量生産となってICの低価格性をそこなう点である。ICの生産量 Q と価格 S の間にはほぼ

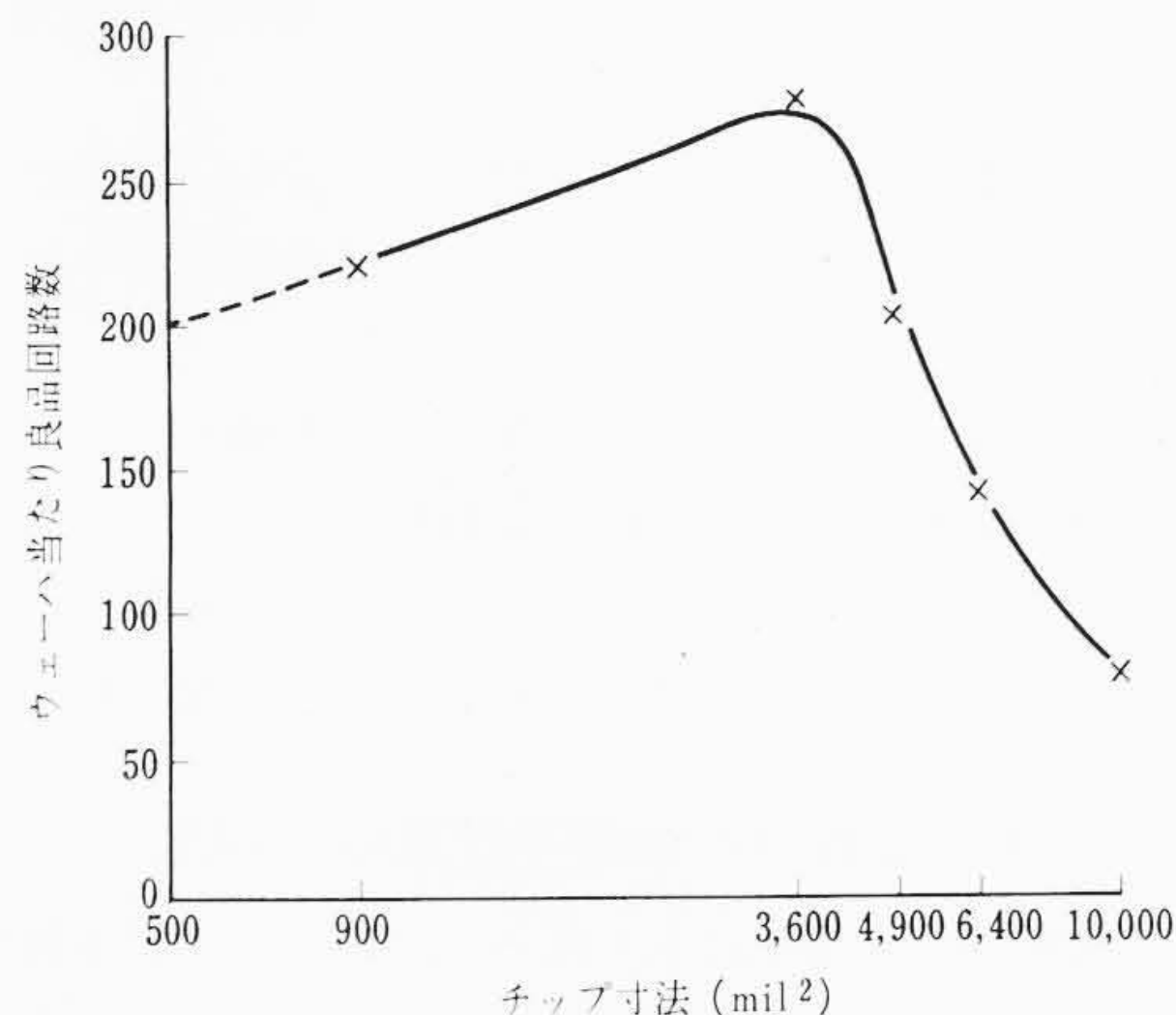


図3 ウェーハ当たり良品回路数とチップ寸法との関係

$$S \propto Q^{-0.4} \quad \dots\dots\dots (2)$$

なる関係がある⁽³⁾。これより、 A 個の素子よりなるシステムを N 個の素子を含むICで構成したとすれば、ICの全回路価格 S_{tot} は、

$$S_{\text{tot}} \propto \left(\frac{A}{N}\right)^{0.6} \quad \dots\dots\dots (3)$$

となる。すなわち N の大きいほど S_{tot} は小さくなる。しかしここでは S は N に無関係であるとしているが、一般に N が増加すると S は増加する。このことを考慮に入れると、 $S \propto N^q$ とすると、

$$S_{\text{tot}} \propto A^{0.6} N^{0.6-q} \quad \dots\dots\dots (4)$$

となる。したがって、 $q < 0.6$ ならば N を大きくするほうが、 $q > 0.6$ ならば N を小さくするほうが S_{tot} を小さくする。

このほか、トランジスタにおけると同様、ICにおいても組立費(容器代を含む)の原価に占める比率は大きく、低価格化のためには安価な組立法、容器の開発が必要である。

つぎに(b)の機器のIC化による実装調整費の低減について考える。この点についても組立配線費の低減の面、調整個所低減の面より、IC内素子数を増加しその機能を高めることが望ましい。ただこの場合、実装基板の配線密度が増大することが多く、基板価格が増大する可能性を考慮する必要がある。ICとしても端子の配列、容器の設計を最適化してこの増大をできるだけ少なくするように設計しなければならない。

最後に機器保守費の低減について考える。機器の保守費は、部品の信頼度、取換え部分の単位の選択法、故障発見の容易さなどと密接に関連し、これらはまたシステム分割法の設計に関連している。いま取換え単位をICとし、ICの価格を P 、単位時間当たり故障率を λ 、ICに含まれる素子数を N とすれば、素子当たりの保守費の目安として、 $P\lambda/N$ を第1近似として考えることができる。 P/N は図2に示す R と同様の変化をする。 λ と N の関係はまだまだ明らかではないが、 λ が N^p に比例するとするとき、 $0 < p < 1$ であることは事実である。図2よりわかるように、 N が小さいとき P/N は N に逆比例し、 P/N が極小になるところでは N に無関係となる。このことより、 $P\lambda/N$ は N の小さいときは N の増加とともに減少し、極小値を経てつぎに増加する。この極小値は P/N の極小値よりも N の小さいところで起こるといえよう。したがって、保守費の点よりいえば、IC内素子数はIC価格の極小になる点より若干少ないところに最適値があると考えられる。

3.2 高信頼性

ICの高信頼性は、その内部において多数の素子を信頼度の高い蒸着配線により行なっていることに主原因がある。このことよりいえば、素子数 N を増加すれば素子当たり信頼度が増加するわけであるが、これを制限するのは発熱の問題である。ICの信頼度は温度上昇

により急激に劣化するから、 N の増加により発熱量が増大すれば信頼度はかえって劣化することもある。

消費電力の減少、IC内での電力消費個所の分配、熱抵抗より見た容器の選択と実装法冷却法の設計などは、信頼度向上のために回路設計デバイス設計に課せられた問題である。

このほか、ICにおいては素子数が増加しても価格はあまり変化しないという特長を利用して、回路に冗長度をもたせ、一つの回路あるいは素子が故障すれば他の回路あるいは素子が動作するようにすることにより総合的信頼度を向上させることも可能であろう。

4. IC設計への電子計算機の利用

設計費の低減と開発速度向上のために、IC設計に電子計算機が用いられつつあることは前章に述べたが、電子計算機による設計自動化の要求はこのことばかりでなく、多くの面でその必要性が認識されている。本章においては、IC設計に電子計算機がどのように用いられんとしているかについて述べることにする。

4.1 素子配列およびパターン設計

価格低減、信頼性向上あるいは回路の高速化などを目的に、IC内素子数は増加しつつあるが、それにつれて素子をいかに配列するか、そしていかなるパターンでそれらを配線するかを設計することが複雑困難となり、電子計算機に頼らざるを得ない状態になってきている。さらに設計のみならずパターン製作も、数値制御装置、パターン製作装置と電子計算機を連動して、自動化されんとしている。

4.2 素子動作状態の解析

ICにおいては素子の構造が複雑であり、このためその動作状態の模擬を精密に行なうには簡単な等価回路を用いることが不可能となる。さらにICにより回路が超高速化され、超高速領域で素子の動作を解析せんとする場合にも同様のことがいえる。このため、電子計算機による模擬解析が行なわれる。

4.3 回路解析

回路解析に電子計算機が用いられる目的には三つある。第1は、いわゆるブレッドボード実験によっては、寄生インダクタンス、寄生容量などの影響がはいたり、素子特性相互の平衡がIC内素子に

おけるようにとることができないため、完全にICを模擬することが不可能となる場合がある。このようなとき電子計算機がシミュレータとして用いられる。第2は、通常の回路解析と変わるところはないが、回路が複雑な構成となったときに用いられるものである。第3は、IC設計において素子特性の許容偏差を設計するとき、統計解析法のような大容量の電子計算機に頼らざるを得ない解析を行なう目的で用いられるものである。

4.4 設計の全自動化およびプロセス制御

さらに将来の形態として、現在人間が定まった規則にしたがって行なっている思考過程や作業過程およびそのようになしうる過程は、すべて電子計算機にさせることが可能であるから、ある範囲内での回路方式の選択、その設計、要素素子の設計、定式化されたデバイス設計さらにプロセス条件の設定、一部プロセスの遂行までを電子計算機により自動化することが十分考えられる。

5. 結 言

半導体ICの設計において考慮すべき項目の概要を述べ、ICのもっとも重要な特長である低価格性、高信頼性に対して設計的考察を行ない、最近の傾向であるIC設計への電子計算機の適用にも触れた。

IC設計は広い分野からの考察をもとにしてはじめて最適設計がなされるものであり、ユーザからプロセス技術者にわたる一貫した協力と、システムからプロセスにわたる広汎な知識をもった技術者の養成が、今後のIC設計力の増大のために必要であろう。

終わりに臨み、終始ご指導いただいた日立製作所武蔵工場柴田課長、中央研究所上妻分室長に謝意を表す。

参 考 文 献

- (1) B. T. Murphy: "Cost-Size Optima of Monolithic Integrated Circuits", Proc. IEEE, 52, 1537~1545 (1964)
- (2) O. Bilous et al: "Design of Monolithic Circuit Chips", IBMJ, 5, 370-376 (1966)
- (3) ICE資料 "Management Guide to Integrated Circuits" (1965) の図表より