

デジタル IC (DTL) の開発

Development of Digital Integrated Circuits (DTL)

牧 本 次 生* 柴 田 昭 太 郎**
Tsugio Makimoto Shōtarō Shibata

要 旨

小形計算機および計測制御機器用として、(1) 互換性をもっていること、(2) $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の範囲で十分な信頼度を有すること、(3) 基本回路としては修正 DTL を採用し、スピード、消費電力、雑音余裕度、ファン・アウトなど論理回路の基本特性に対して最適であること、を基準として開発したデジタル集積回路について、製法、特性、応用の面を主体として述べる。

1. 緒 言

集積回路(IC)の基本的なアイデアが世に出てから、もう10年近くになるが、現在でもその状況はきわめて流動的であり、これからのような発展をするかを想定することは容易ではない。IC開発の初期において、その主流を占めたのはデジタルICである。それにはいくつかの必然的な理由が考えられるが中でも次のような事情が重要なものであると思われる。

- (1) デジタル・システムには類似回路が多数使用される。したがってICを使うことにより部品数を非常に少なくすることができる。
- (2) 上記回路にはコンデンサはあまり含まれておらず、抵抗の値も数kΩの程度でもっともIC化しやすい回路である。
- (3) システム全体として考えると、ICを使うことによって接続点が少なくなるから、費用を低減するとともに、信頼度を飛躍的に向上させることができる。

以上のような観点からデジタル機器ではかなりの部分がIC化されており、その占める割合は年々高くなっていく傾向にある。

半導体ICで実現されるデジタル回路には多くの種類があり、それぞれの用途に応じて適正な形式が選ばなければならない。中でも重要な性能として、スピード、消費電力、ファン・イン、ファン・アウト、雑音余裕度および動作温度範囲などが考慮されなければならない。動作温度範囲は主としてICを組み込むパッケージによって制限を受けるが、その他の特性は回路形式によって大まかな範囲がきまってくる。表1はデジタルICの回路形式を分類したものである⁽¹⁾。

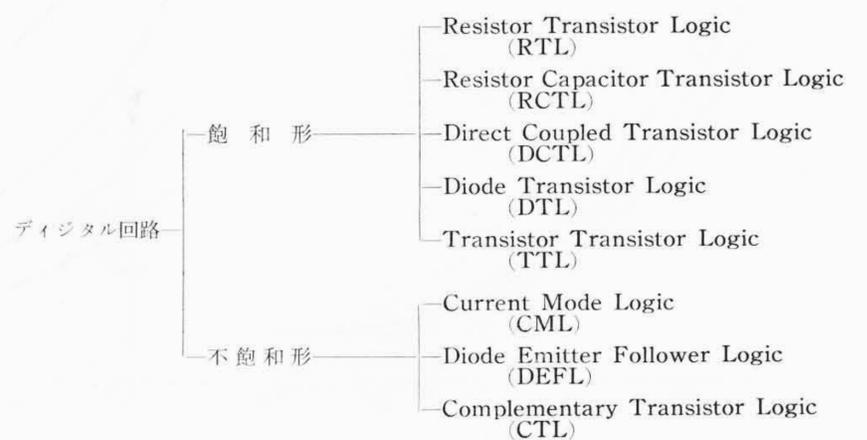
表1でわかるように回路形式は飽和形回路と不飽和形回路に大別される。飽和形回路では論理の“1”レベルと“0”レベルにおいて出力トランジスタは遮断または飽和の状態にある。これに対し不飽和形回路ではトランジスタは常に活性状態にある。したがって飽和形回路の消費電力は不飽和形のそれに比べて小さいのが特長である。しかし飽和状態ではトランジスタのベースおよびコレクタ領域に少数キャリアが蓄積されるので、遮断状態に移るときにそれを除いてやらなければならない、そのために時間的なおくれが生ずることになる。不飽和形回路では上のような現象にもとづく時間遅れはない。

飽和形回路のスピードは製造技術の向上とともに早くなっているが、今のところ Propagation delay で5 ns というのが限界のようである。一方不飽和形回路では“Sub-nanosec”のICが検討されている。このように消費電力とスピードだけを考えても各回路形式によって一長一短があり、デジタル・システムの設計において、どの点で折り合うかということをよく検討しなければならない。

* 日立製作所武蔵工場

** 日立製作所武蔵工場 工学博士

表1 デジタル回路の分類



超高速大形計算機では普通不飽和形回路が用いられる。しかし超高速であることを要しない普通の計算機、計測制御機器などの応用に対しては飽和形回路のほうが消費電力および雑音余裕度の点で有利である。

このような観点から最初に開発の対象としてとり上げたのが DTL (Diode Transistor Logic) のシリーズである。DTLは飽和形の回路形式であるから超高速の用途には向かないが、普通の用途には非常に使いやすい回路であってその有用性はすでに証明されているといえる。

2. 設計的考慮

ICの場合はトランジスタとは異なった見地からの設計的考慮が要求される。DTLシリーズの設計上特に考慮した点について概説する。

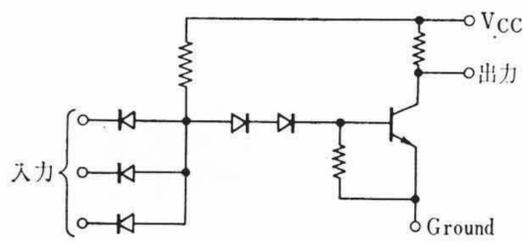
2.1 互換性 (Compatibility)

互換性というのは、“差しかえが容易に効くかどうか”ということである。トランジスタやダイオードの場合には電気的特性さえ似ていれば、どこのメーカーのものでも差しかえて使うことができた。しかしICの場合には、それは文字どおり一種の“回路”であるから互換性ということが大きな問題になってくる。ICが市場に出まわった初期には各社独自のパッケージを用い、独自のピン配置をしていた。このような各種各様のICは電気的特性では似たようなものであっても、差しかえが容易でなく、使用者の立場から見れば非常に不便なものであった。最近互換性ということが強く意識され始め、もっともすぐれた設計のものにしたいに統一されていく傾向にある。

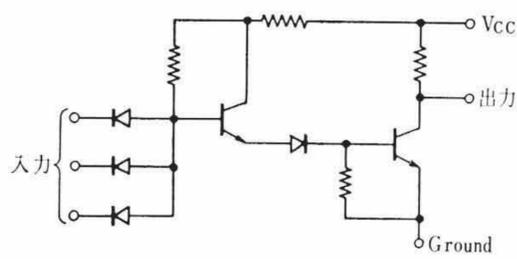
われわれが開発した DTL のシリーズはアメリカで 930 シリーズとよばれているものの相当品である (Fairchild では DTμL 930, ITT では MIC 930 とよんでいる)。この DTL シリーズは標準化された回路で互換性は非常によい。

2.2 修正 DTL

図1はごく普通の DTL と、開発した IC の基本回路になっている



(a) 普通のDTL



(b) 修正 DTL

図1 DTL の回路図

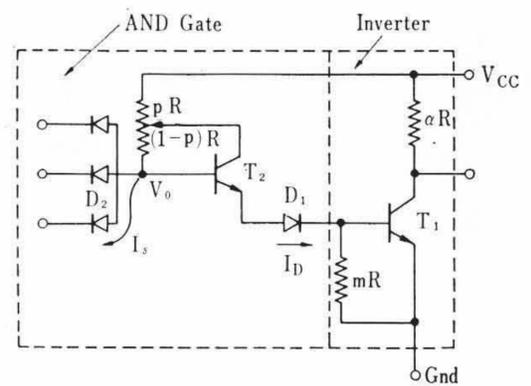


図2 修正 DTL の詳細

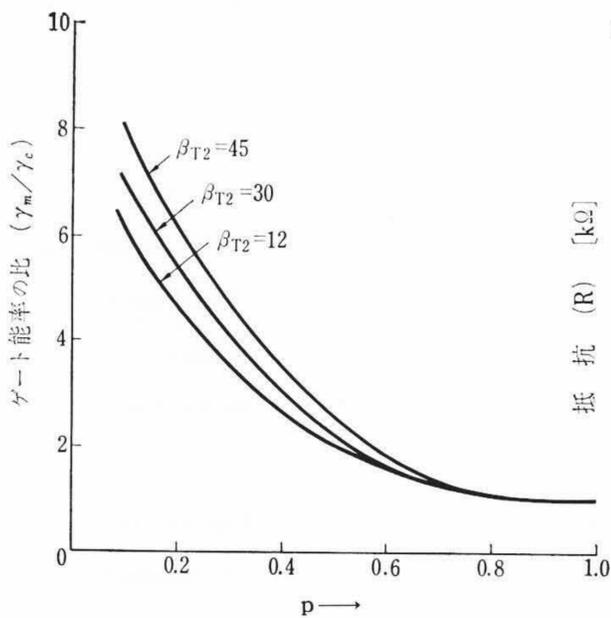


図3 修正 DTL におけるゲート能率の向上

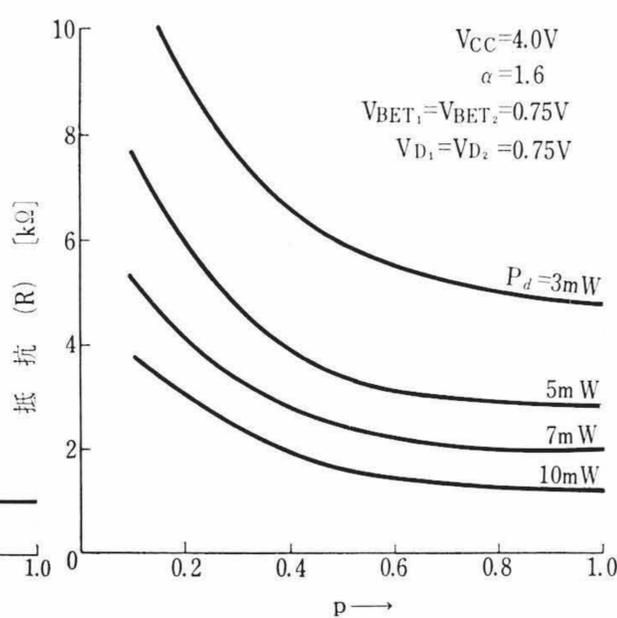


図4 等消費電力曲線群

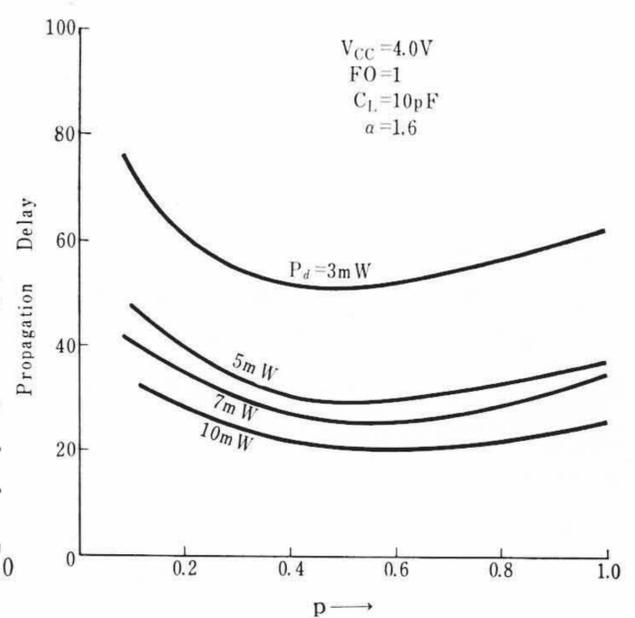


図5 Propagation Delay

修正 DTL の回路図を示している⁽²⁾。普通の DTL ではレベル・シフト・ダイオードを2個使っているが修正 DTL ではその中の1個をトランジスタでおきかえたもので、電気的な総合特性を改善したものである。

まず図2に示すようにトランジスタ(T₂)のコレクタが可変抵抗につながっているように考えてみよう。抵抗の分割比を p, 1-p とする。ゲートの能率を γ として図に示してある I_s と I_D の比をとる。I_s はトランジスタ(T₁)が遮断状態にあるときゲート・ダイオードを流れる電流であり、I_D は T₁ が飽和状態にあるときのベース・ドライブ電流である。γ は次式で与えられる。

$$\gamma = \frac{I_D}{I_s} = \frac{(\beta_{T_2} + 1)(V_{CC} - V_O)}{(p\beta_{T_2} + 1)(V_{CC} - V_{D_2})}$$

ここで β_{T₂} はトランジスタ(T₂)の電流増幅率であり、その他の記号は図2に記されているとおりである。ここで興味があるのは普通の DTL と修正 DTL との γ の比較である。それぞれ γ_c, γ_m とよぶことにすれば次式を得る。

$$\frac{\gamma_m}{\gamma_c} = \frac{\beta_{T_2} + 1}{p\beta_{T_2} + 1}$$

この式で 0 ≤ p ≤ 1 であるから、γ_m/γ_c は常に 1 より大きいことに注意しよう。この模様は β_{T₂} をパラメータとし、p の関数として図3に示されている。図より β_{T₂} の大きさににかかわらず p=0.5 のとき γ_m ≃ 2γ_c となることがわかる。これはインバータ・トランジスタ(T₁)の β が同じであれば、修正 DTL は普通の DTL の2倍のファン・アウトを持つことを意味している。

次に消費電力(P_d)と Propagation delay (t_{pd}) について考えてみよう。P_d は on 状態と off 状態の平均値として次式で与えられる。

$$P_d = \frac{1}{2}(P_{d\text{on}} + P_{d\text{off}}) = \frac{V_{CC}}{2R} \left[\frac{\gamma_m}{\gamma_c}(V_{CC} - V_O) + \frac{V_{CC}}{\alpha} + V_{CC} - V_O \right]$$

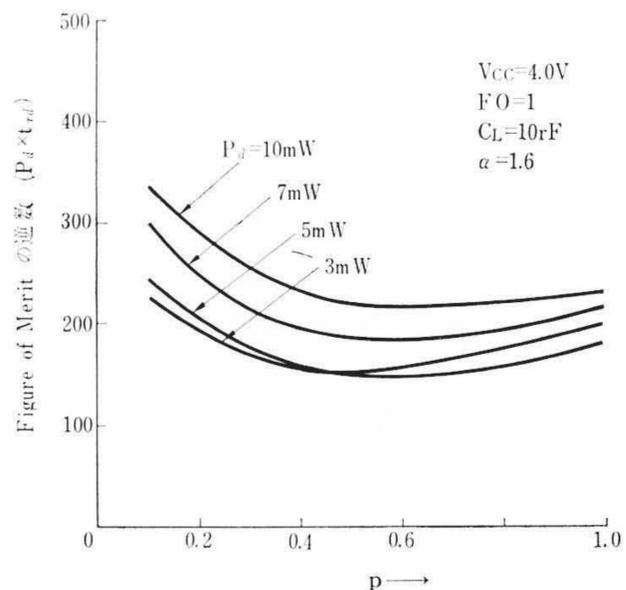


図6 ゲートの Figure of Merit

この模様は等消費電力曲線群として図4に示してある。

Propagation delay (t_{pd}) はかなり複雑な量なので計算で求めることは容易でなく、実測値との一致も直流特性ほどよくはない。ここでは Bohm 氏らの実験結果⁽²⁾を引用し、図5に示してある。図2のインバータ・トランジスタ(T₁)のエミッタ・ベース間の抵抗値(mR)は I_{BT1}(on)/I_{BT1}(off)=6 になるように調節されている。これは蓄積時間を正規化しておくためである。図4と図5を組み合わせることによってゲートの Figure of merit=1/P_d × t_{pd} を p の関数として求めることができる。結果は図6に示してあるが、これより消費電力が 5 mW, p=0.4~0.6 の範囲に最適点のあることが明らかである。

雑音余裕度もまた重要な量である。図7は p の関数として Worst case noise immunity を示している。一例として、いま T_A=-55 °C で β_{T₁}=24 であると仮定してみよう。図7で p=0 とする点を読むことによって、普通の DTL は約 400 mV の雑音余裕度を持つこ

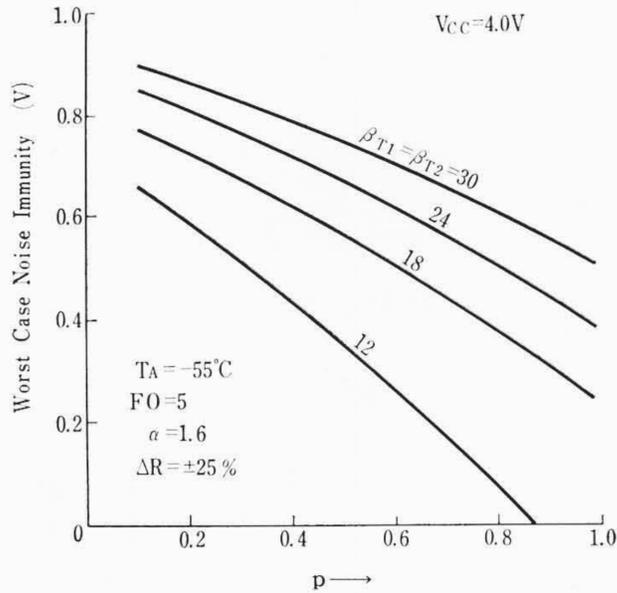


図7 Worst Case Noise Immunity

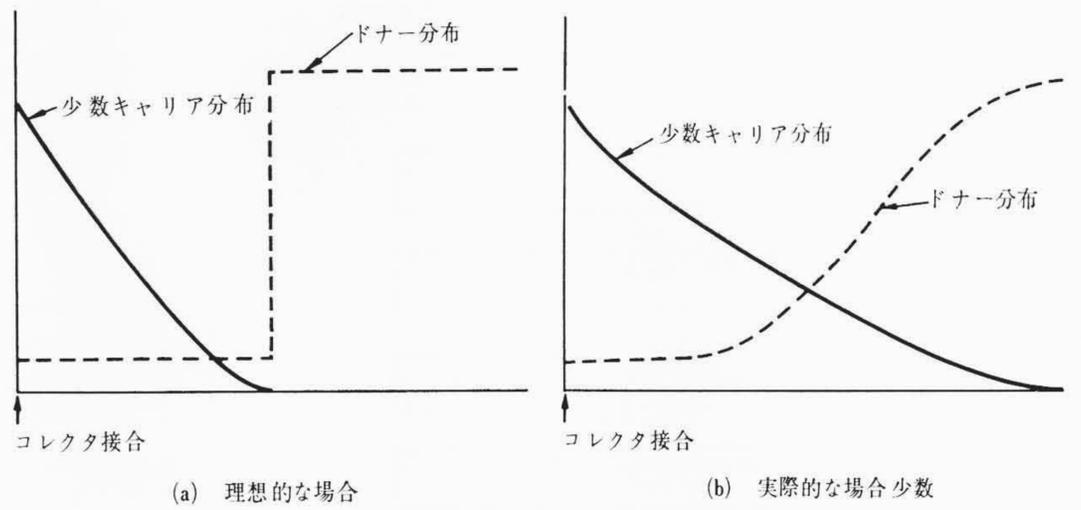


図8 コレクタにおける少数キャリアの分布

表2 N形不純物の性質の比較

Maximum Solid Solubility	As > P > Sb
Diffusion Constant	P > Sb > As
Auto Doping	P > As > Sb

とがわかる。これに対し修正 DTL のそれは約 900 mV になる。

以上のことから修正 DTL は、スピード、消費電力、ファン・アウト、および雑音余裕度など論理回路のきわめて重要な基本特性において最適設計がなされているといえることができる。

2.3 少数キャリアの蓄積効果

飽和形論理回路では Propagation delay は主として少数キャリアの蓄積時間によって支配されるから、この効果を最小にするような考慮がなされなければならない。IC 中のトランジスタではベース領域のほうがコレクタ領域より高濃度であるから少数キャリアは主としてコレクタ領域に蓄積される。図8はコレクタにおける不純物濃度分布と、トランジスタが飽和状態にあるときの少数キャリアの分布とを示している。(a)は理想の場合で不純物分布が階段的に変わっており、高濃度層には少数キャリアがまったく存在しない。一方(b)は、より現実的な場合を示している。ここで不純物分布がなだらかな形になるのはエピタキシャル成長時の“オート・ドーピング”の影響と酸化・拡散工程における“Back diffusion”の影響のためである⁽³⁾。したがって上の二つの影響をできるだけ小さくするような考慮がまず必要である。高濃度層のドーピング材料として何を用いるべきかを定めるために、N形不純物の基本的な性質を表2で比較している。ここでSbは最大固溶度が三者の中で最小であるが、拡散時間の制御によって所望のシート抵抗を得ることが可能であるし、特にオート・ドーピングがもっとも小さいという利点があるのでドーピング材料として選ばれた。Back diffusionの影響は熱処理の温度を最低に、時間を最短にすることで押えることができる。

少数キャリアの蓄積に寄与するもう一つの重要なパラメータは少数キャリアの寿命である。寿命制御のために普通Auを拡散する⁽⁴⁾。再結合中心としてのAuの濃度が高ければ寿命が短くなることはいうまでもない。図9はAuの固溶度を温度の関数として示している⁽⁵⁾。1,300°Cまでは温度が高いほど固溶度も高くなる。したがってAuの拡散温度はその範囲で、できるだけ高くしなければならないが、それに続く熱処理工程にも細心の注意が必要である。

2.4 信頼度に対する考慮

半導体 IC の信頼度に影響を及ぼす要因として次のようなものが考えられる⁽⁶⁾。

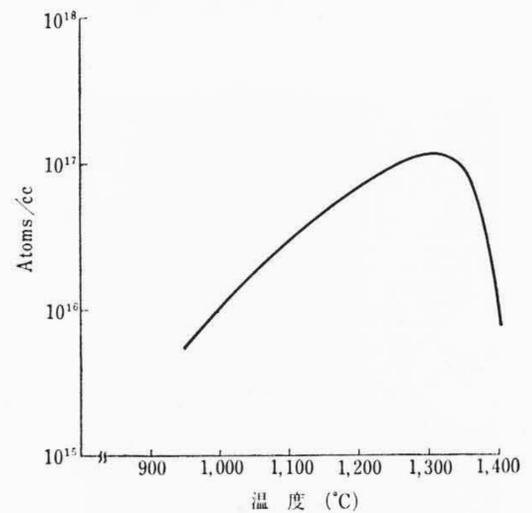


図9 SiにおけるAuの固溶度

- (1) 半導体材料内の欠陥
- (2) 半導体表面の不安定性
- (3) 機械的不良

これらはいずれも Si プレーナ・トランジスタの場合の不良モードと基本的には同一のものであるから、トランジスタについて得られている信頼度の情報を十分に活用して IC の設計に折り込むことが必要である。

上記のモードの中で“半導体材料内の欠陥”に起因する不良は回路のレイアウトがしっかりしていればほとんど問題にならないし、またスタッキング・フォールトなどの結晶欠陥による耐圧の劣化は、ICの初期検査の段階で除去されるのが普通である。“半導体表面の不安定性”は重要な因子であるが、最近の半導体技術の向上によって相当に安定なパッシベーションが可能になっている。この点で大事なことはプロセス技術を確立し、工程内品質管理をきちんと行なうことである。

“機械的不良”のモードは IC の場合特に重要である。大別してボンディングとハーメティック・シールの技術がこのモードに関連してくることになる。通常電極材料には Al が使われ、ボンディング・ワイヤには Au または Al が使われている。Al-Au の組合せは熱圧着法によってボンディングが行なわれ、操作は比較的簡単であるが、最大の問題点は 300°C 以上の温度に放置すると“purple plague”と呼ばれる Au-Al の共晶合金ができ接着強度を著しく弱めることである。一方 Al-Al の組合せでは超音波を使ってボンディングを行なう。これは比較的新しい技術であるがわれわれの開発したデジタル IC にはすべてこの方式を採用している。

フラッド・パッケージのハーメティック・シールには低融点ガラ

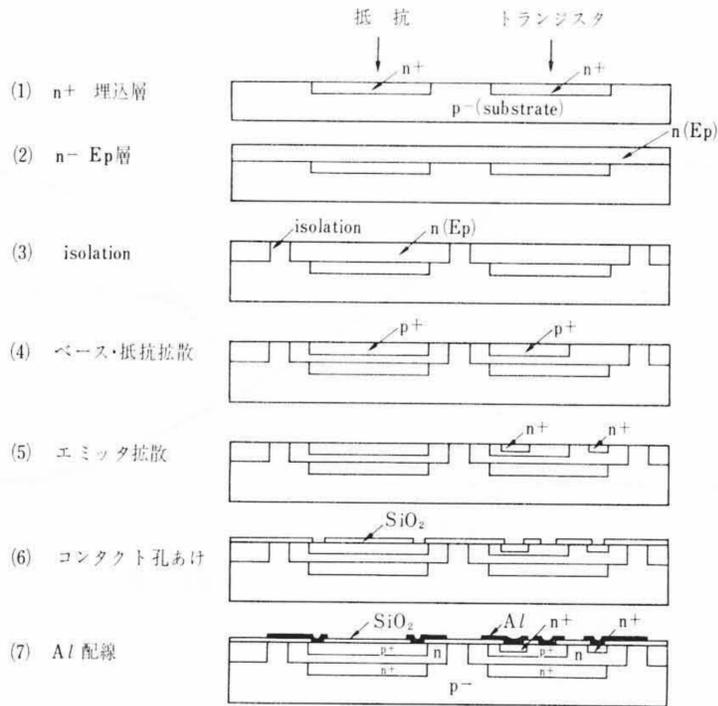


図10 デジタルICの製法

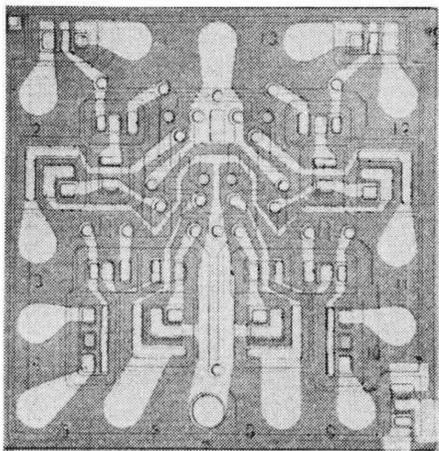


図11 Al配線を終わったペレット

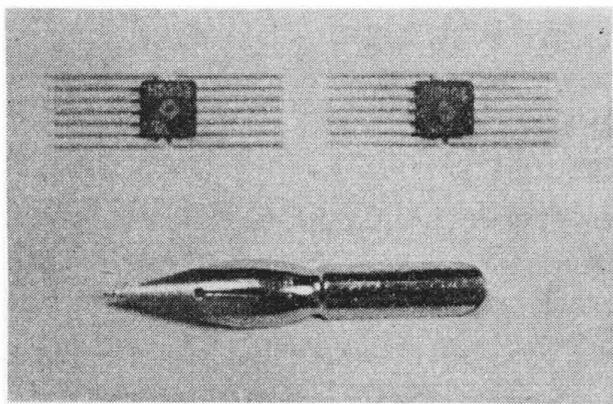


図12 完成品の例

スを使用する。低融点ガラスを使う場合は、その材料の選定と取扱いが非常に重要である。特に熱的衝撃と高温高湿放置に対して、その信頼度が確認されているガラスを使用しなければならない。

3. デジタルICの製法

半導体ICの製法はアイソレーションの部分を除いて、Siプレーナ・トランジスタの製法と基本的には同じである。図10は例として、回路内の抵抗とトランジスタの断面を各工程ごとに示している。図のB&Rの拡散のときに同時にAu拡散が行なわれる。

Al配線が終わったあとで個々の回路はICテストで電気的特性が検査される。その後1個1個のチップに切断分離され、良品となったチップのみがパッケージにマウントされる。Al線の超音波ボンディングに続いてパッケージのハーメティック・シールが行なわれる。ここで外観はできあがるが、以下に述べる各種試験を通過しなければ完成品とはならない。

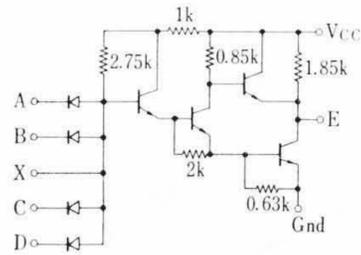


図13(a) HD 201 F

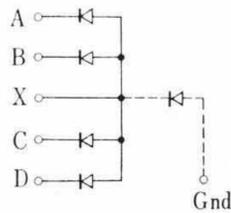


図13(b) HD 202 F

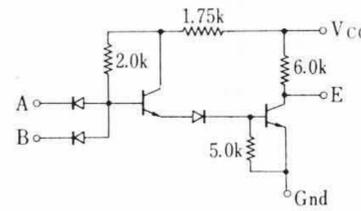


図13(c) HD 203 F

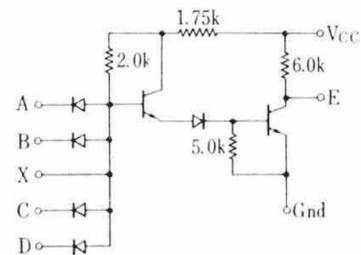


図13(d) HD 204 F

- (1) グロス・リークを検出するためのバブル試験
- (2) マイナー・リークを検出するためのラジフロ試験
- (3) 電気的特性の試験

常温試験 (静特性および動特性の全項目試験)
 低温試験 (-55°Cにおける静特性試験)
 高温試験 (125°Cにおける静特性試験)

- (4) 信頼度試験

各ロットごとに機械的強度試験、高温高湿試験、および動作寿命試験

これらの試験をすべて通過したものがICの完成品となる。

図11はAl配線を完了したペレットの顕微鏡写真を示し、また図12は完成品の例である。

4. 電気的特性

4.1 回路図とピン配置

開発したDTLシリーズ四品種の回路図とピン配置を図13に示した。各回路の機能は下記のとおりである。

- HD 201 F Dual 4-input Buffer
- HD 202 F Dual 4-input Extender
- HD 203 F Quad 2-input Gate
- HD 204 F Dual 4-input Gate

図13でわかるようにHD201Fのインバータ回路はトーテンポール形になっていて、普通のゲートよりファン・アウトがはるかに大きい。

4.2 静 特 性

図14は周囲温度をパラメータにしたときの伝達特性($V_{in}-V_{out}$ 特性)を示している。これは論理回路のもっとも基本的な特性であって、“1”レベル、“0”レベルはもとより、温度が最悪状態のときの雑音余裕度をも読み取ることができる。開発したDTL ICでは周囲温度が $-55^{\circ}\text{C}\sim+125^{\circ}\text{C}$ の中のいかなる値になろうとも“1”レベルと“0”レベルが図の斜線内にあることが保証されている。

図15は周囲温度をパラメータにしたときの出力特性($V_{out}-I_{out}$ 特性)を示したものである。

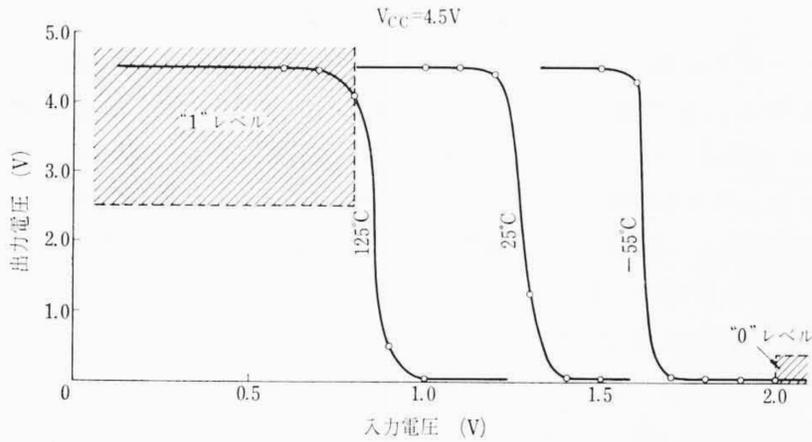


図14 各温度における伝達特性 (HD 203 F)

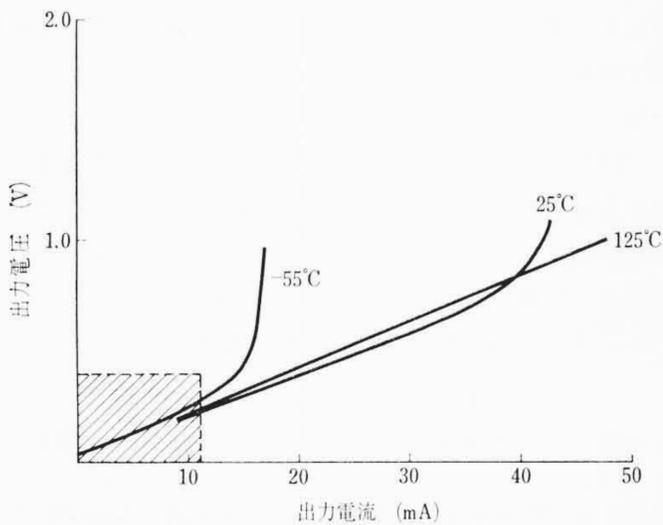


図15 出力特性 (HD 203 F)

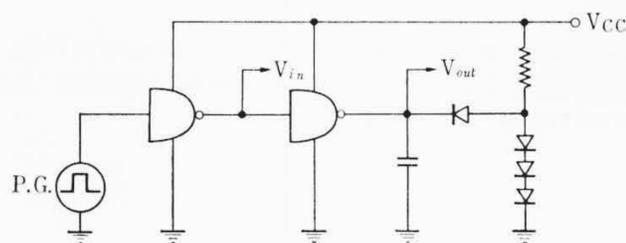


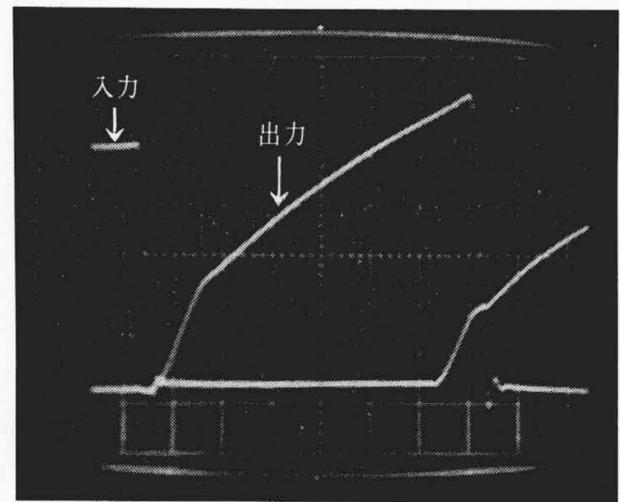
図16 スイッチング時間測定回路

4.3 スイッチング特性

まずスイッチング時間の測定回路を図16に示す。パルス発生器からの方形波を最初のDTLを通し、その出力を被測定DTL ICへの入力とする。被測定DTLからの出力との相対関係から、立上り時間、立下り時間および遅れ時間を測定する。図17にはシンクロスコープ上の入出力波形を示している。通常の飽和形回路では、出力が“0”レベルから“1”レベルに移るときに蓄積時間による遅れが見られるが、われわれの開発した製品では、金拡散が最適条件で行なわれているために、遅れは非常に小さい。図18には、各種スイッチング時間の温度依存性を示している。

4.4 電気的特性のまとめ

表3は重要な電気的特性を総括的に示している。本表は 25°C における特性のみを示しているが、ある選ばれたパラメータでは、 -55°C および $+125^{\circ}\text{C}$ においても、全数チェックされ、この温度範囲で



横軸：50 ns/div たて軸：1V/div

図17 DTL ゲートの入出力波形

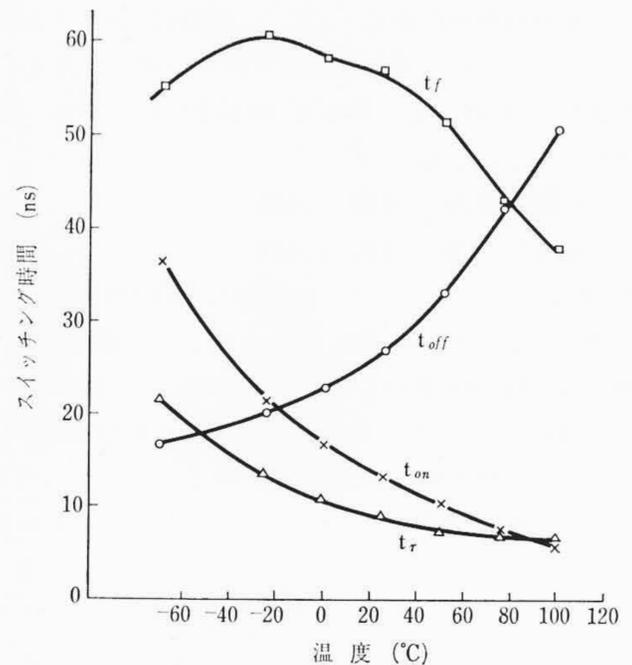


図18 スイッチング時間の温度依存性 (HD 201 F)

表3 日立 DTL IC の 電 気 的 特 性

項 目	単 位	HD 201 F			HD 202 F			HD 203 F			HD 204 F		
		min.	typ.	max.									
供給電圧	V	4.5	5.0	5.5				4.5	5.0	5.5	4.5	5.0	5.5
回路消費電力(全回路ONのとき)	mW		56	133					35	62.5		17	32.5
ファン・アウト				25					8				8
出力“1”レベル	V	2.5						2.6			2.6		
出力“0”レベル	V			0.4						0.4			0.4
入力しきい値“1”	V	1.9						1.9			1.9		
入力しきい値“0”	V			1.1						1.1			1.1
Propagation Delay	ns		25	80					25	80		25	80
雑音余裕度	V	0.35	>0.5					0.35	>0.5		0.35	>0.5	
立上り電圧	V				0.70								
リーク電流	μA						2.0						

表4 NAND回路による各種論理機能の実現

機能	NAND回路による構成
NOT $X=\bar{A}$	
AND $X=A \cdot B$	
OR $X=A+B$	
AND-OR $X=AB+CD$	
AND-NOT $X=\overline{A \cdot B}$	
OR-NOT $X=\overline{A+B}$	
フリップ・フロップ	

は完全な動作が保証されている。

5. DTL IC の応用

DTL ICは通常のデジタル・システムの中でもっとも広く使われている回路の一つである。回路のスピードは25 ns (typical)で、消費電力は5 mW/Gateと非常に小さく、また雑音余裕度は1 V (typical)であるから計測制御機器や一般計算機に適している。

さて、ここで紹介したNAND-Gateを使ってシステムの論理を構成する場合に、ゲートの結線をどうすればよいかを表4に示した。このような基本的論理操作をもとにして、複雑なシステム機能を構成することができる。たとえばフル・アダーを考えてみる。いま、加えるべき2数をA, Bとし、和をS, 繰上げをCとする。論理式で表現すれば次のようになる。

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$C' = \bar{A}BC + A\bar{B}C + ABC + ABC$$

となる。図19はこのフル・アダーの機能をHD203Fで実現した場合の結線の仕方を示したものである。このような場合にはGates/chipの指数の高いHD203Fがもっとも適している。逆にゲートの数よりも、入力の数多くしたい場合には、HD204F (4-input)を使うほうが便利であり、HD202Fと組み合わせることによって8-inputにもすることが可能である。

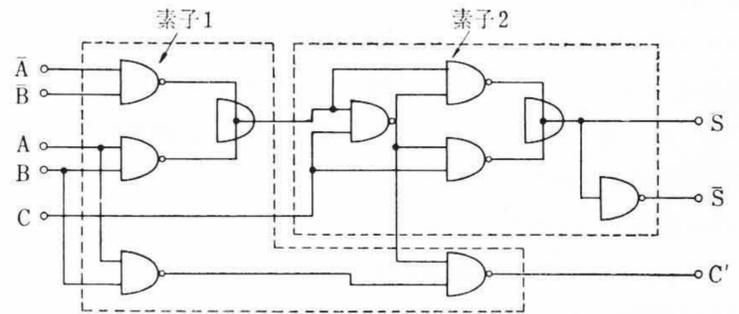


図19 2個のHD203Fによるフル・アダー機能の実現

6. 結 言

デジタルICの開発に際し、もっとも標準的と思われるDTLを選んでこれを完成した。ゲートのFigure of meritとして $1/P_d \times t_{pd}$ が考えられるが、基本回路として修正DTLを採用することにより、 $P_d \approx 5 \text{ mW/Gate}$, $t_{pd} \approx 25 \text{ ns/Gate}$ という特性を得た。かなりきびしい周囲条件でも動作することを要するため、 $-55^\circ\text{C} \sim +125^\circ\text{C}$ の温度範囲に耐えるパッケージの構造、ボンディング方式が採用され、また電気的特性もこの温度範囲で指定された範囲になるように設計されている。

なお本文においてDTLシリーズのゲート、バッファ、およびエクスパンダについてのみの報告を行なったが、論理のフレキシビリティをさらに増すためにフリップ・フロップ回路を上記シリーズに加えることも可能である。動作モードはRS, JKいずれも可能であり、多様性のある回路となるとともに、システムの設計および実装も容易となる。

DTLはTTLやCMLよりはスピードは遅いが、消費電力はそのいずれよりも小さく、したがって、超高速であることを要しない通常のデジタル・システムへの応用としてはもっともバランスのとれた使いやすい回路であると思われる。しかし、さらに高速ICへの要望にこたえるためTTLおよびCMLの開発も進めている。

参 考 文 献

- (1) 日本電子工業振興協会編 超小型電子回路, p.314 (昭和41年11月)
- (2) R. Bohn, R. Seeds: Electronic Design, August 3 (1964)
- (3) R. M. Burger, R. P. Donovan: Fundamentals of Silicon Integrated Device Technology (Vol.1), p.349 (1967)
- (4) W. M. Bullis: Solid State Electronics, Vol.9, p.143 (1966)
- (5) F. A. Trumbore: BSTJ, Vol.39, January (1960)
- (6) J. Doyle: Thin Film and Semiconductor Integrated Circuitry, p.191 (1966)