

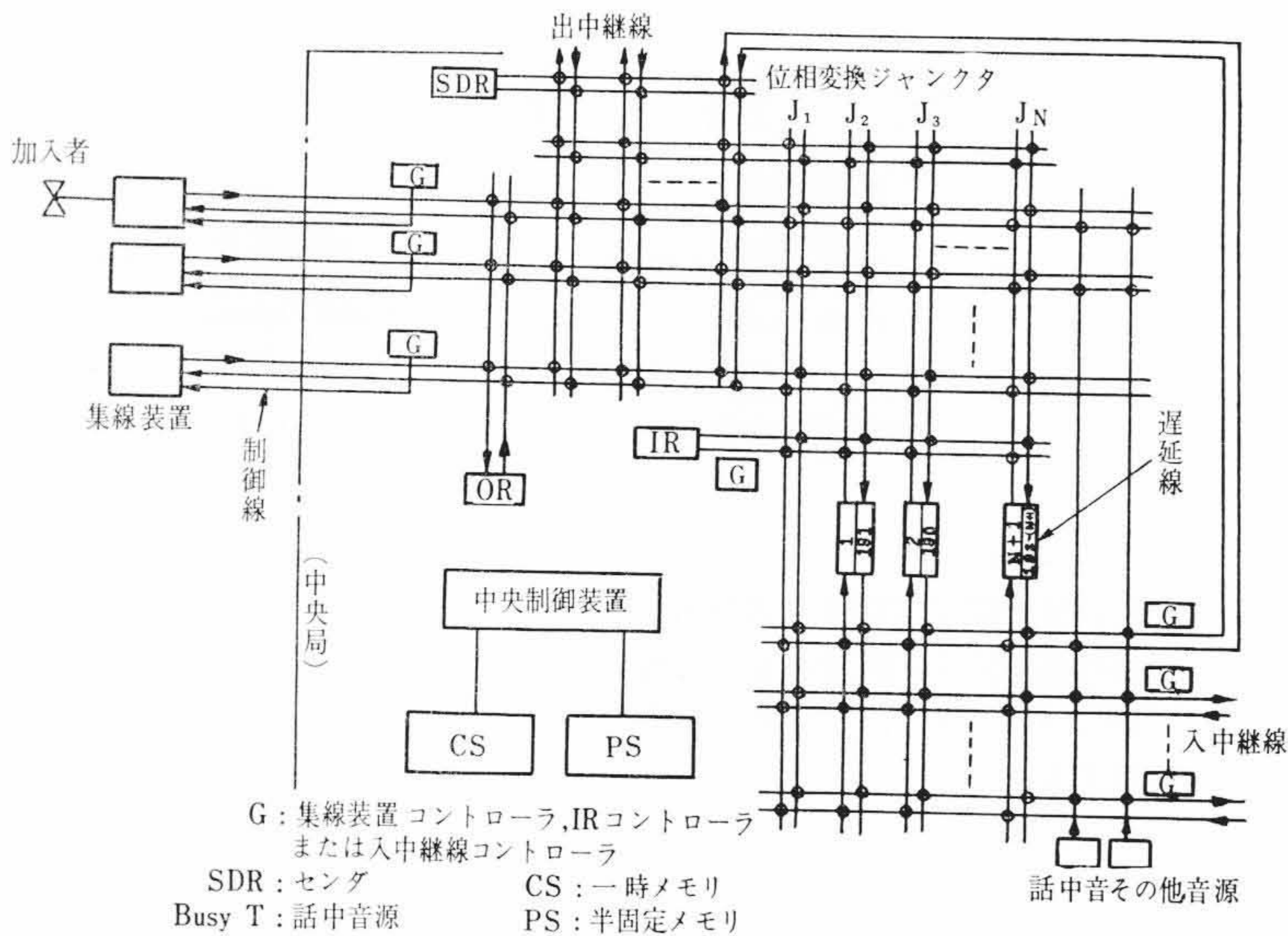


図3 通 話 路 構 成

であって、標本化周波数 8 kc, 192 チャンネルの並列信号を送りまたは受けるための共通伝送路である。また、これら共通線の交差点で並列 PCM スwitching を行なっている。図の位相変換ジャンクタは入中継呼および自局内呼を考慮して往路と復路の遅延量をアンチフェイズ (片方の遅延量を他方の遅延量のフレーム周期よりみた補数とする) にするように設けられた、ジャンクタ中央の遅延線で示される固定時間遅延線の組合せを使用するジャンクタである。図の $J_1, J_2, J_3 \cdots J_i$ の順に優先順序があるとすると入中継呼の呼損率 B は

$$B=1-\sum_{i=1}^N P_i$$

$$\text{ただし、} P_i=\frac{\{1-(P_1+P_2+\cdots+P_i-1)\}(1-a)}{1+\frac{M}{2}a(1-a)\{1-(P_1+P_2+\cdots+P_i-1)\}}$$

- a : 集線装置中継線使用能率
- P_i : 入中継線に主起した呼が J_i を利用する確率
- g_i : J_i の使用能率
- M : 集線装置数

となる。計算結果の一例として、 $B=0.01$ にするのに必要なジャンクタ数を示すと図 4 のとおりである。

図 3 の G で示すところにはゲートメモリとして次のビット数に該当する磁気ひずみ遅延線が設けられている。

- (1) 集線装置に対応するメモリ
 - (a) 加入者ゲート用……11ビット
 - (b) ジャンクタゲート用……7ビット
 - (c) 加入者の状態記憶用……2ビット
- (2) 入中継線に対応するメモリ
 - (a) ジャンクタゲートメモリ……6ビット
 - (b) 終話検出チェック用……1ビット
- (3) 入レジスタに対応するメモリ、最大6ビット

また、通話路系で伝送する制御信号の伝送符号パターンとして図 5 を採用している。

3.2 蓄積プログラム制御系の構成

2. で触れたように、通話路系の長いアクセスタイムときびしい実時間処理の必要性の点から、(1) 通話路系と制御系のつなぎの問題、(2) 部分プログラム制御の導入の程度の問題および (3) こうした場合の命令形式の問題がある。主として (1), (2) の観点から制御のあり方として図 6 に示す間接制御および直接制御方式を考えることができる。図 6 (a) の方法は通話路系と制御系が非同期にな

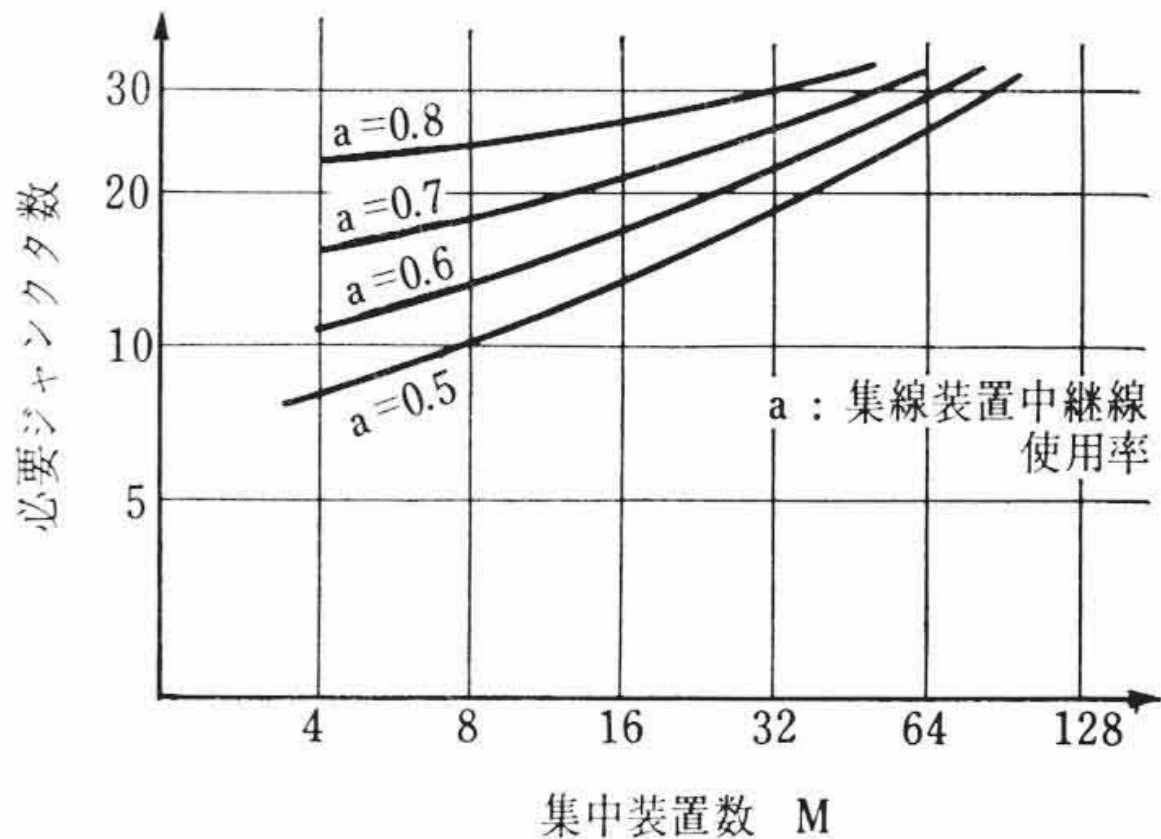


図 4 必要なジャンクタ数

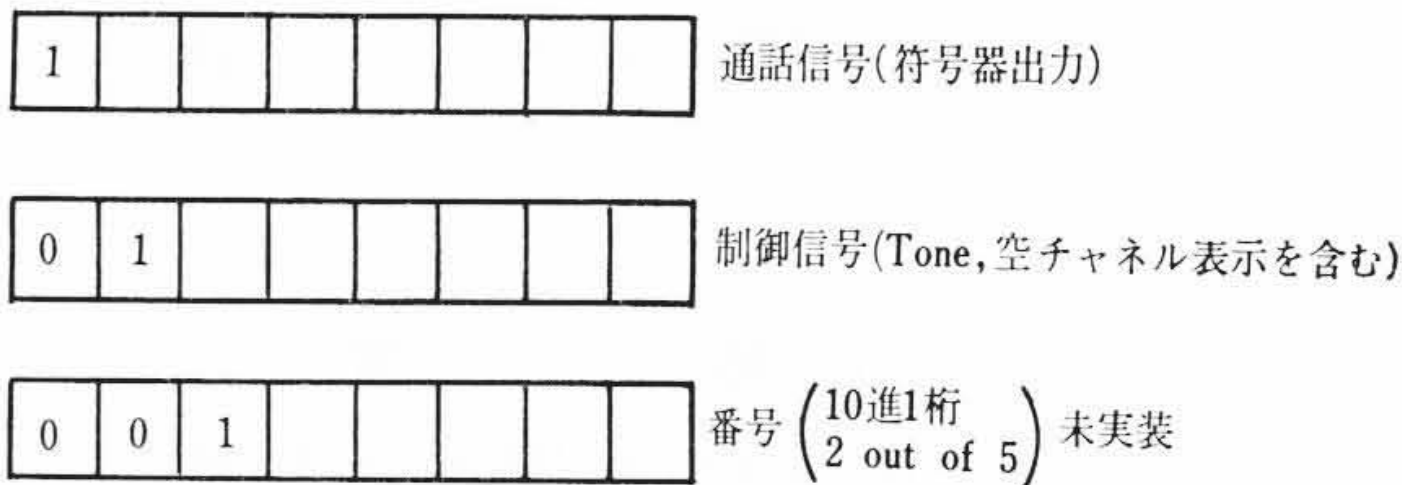


図 5 伝送符号パターン

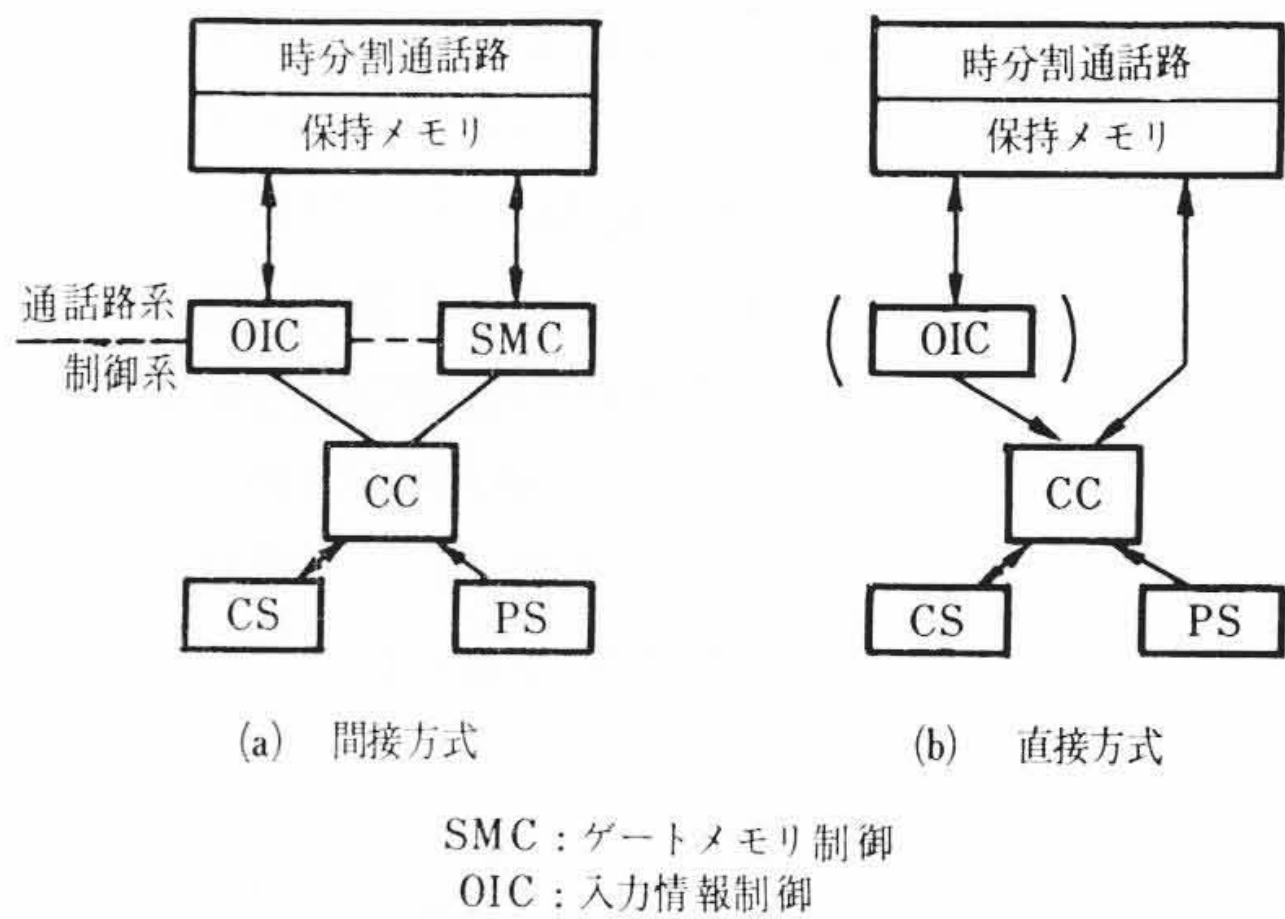


図 6 間接制御と直接制御

るのが普通で、通話路系と制御系の間にバッファをおく方法である。この場合には、通話路保持メモリの内容を一時メモリ CS にもマップとしておく必要があり、メモリの 2 重化を考えると全体で 4 重化することにもなる。(b) は、通話路保持メモリを直接制御するため、バッファを必要とせず有利と考えられる。われわれはその可能性を確認する意味から図 5 (b) の方法を採用した。特に (2) の問題については、発呼検出、ダイヤル計数、終話検出、メモリの復旧などまでを専用装置で行ない、プログラム制御系の負担を軽くする方法を採用した。

中央制御装置 CC の構成は図 7 のとおりである。図のスロットカウンタ $SLC1, SLC2$ と情報母線 $B_1 \sim B_4$ の機能は次のとおりである。

- (1) スロットカウンタ $SLC1$

192 を法とするスロットカウンタでタイムスロットごとにあげられる。
- (2) スロットカウンタ 2

192 を法とするスロットカウンタでタイムスロットごとにおろされる。
- (3) 情報母線 $B1$ ……加入者番号 (LGN) に関する母線
- (4) 情報母線 $B2$ ……ジャンクタ番号 (JGN) 装置番号, タイムスロットに関する母線
- (5) 情報母線 $B3$ ……各タイムスロットの加入者状態に関する母線
- (6) 情報母線 $B4$ ……ダイヤル情報に関する母線

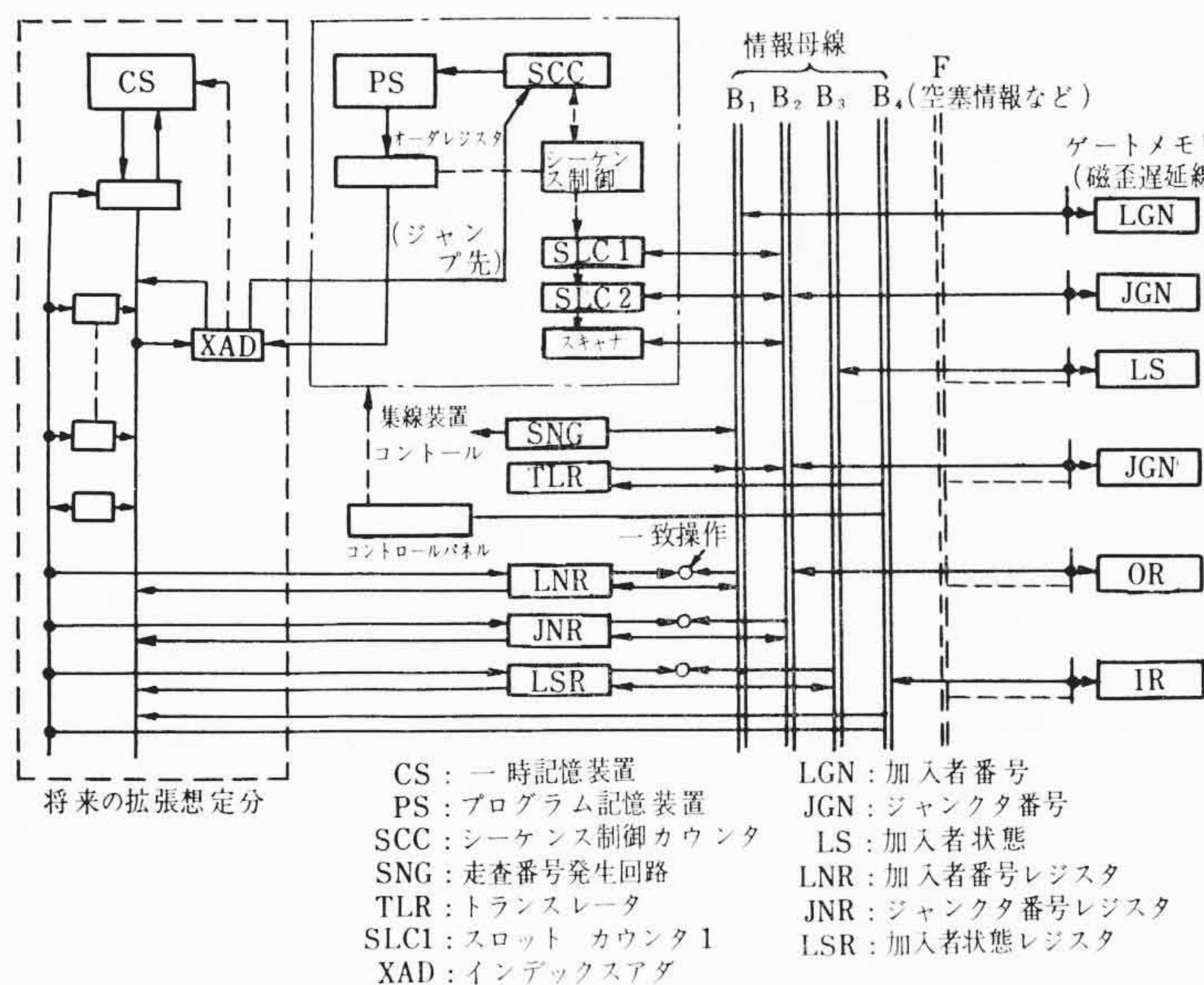


図7 中央制御装置の構成

表1 命令表

Function	Address				Index				
					D ₁	D ₂	S ₁	S ₂	S _e
TR 1	F ₁	T ₁		E W					
TR 2	F ₂	T ₂		E W					
TR 3	F ₃	T ₃		E W					
TR 4	F ₄	T ₄		E W					
TR 5	F ₅	R							
TR 6	F _L	F _J	F _S	T ₆					
TR 7				T ₇					
FAD	G ₁	G ₂	G ₃						
FOR	G ₁	G ₂	G ₃						
FCL	F ₁		M ₁						
FCJ	F ₂		M ₃						
FCS	F ₃		M ₂						
JMP									
NOP			P						

Symbol Title

TR 1 ; Transfer 1
TR 7 ; Transfer 7
FAD ; Find AND and skip
FOR ; Find OR and skip
FCL ; Find Coincidence with LNR and skip
FCJ ; Find Coincidence with JNR and skip
FCS ; Find Coincidence with LSR and skip
JMP ; jump (unconditionally)
NOP ; No Operation

Index

D₁, D₂ ; タイミングインデックス
S₁, S₂, S_e ; タイミングインデックス修正
S_e ; 空間インデックス修正
M₁, M₂, M₃ ; マスクビット

なおB1~B4の情報母線のほか、通話のためのPCM共通母線を情報母線として使用している。

3.3 プログラム

すでに述べたように、本試作機ではCCが通話路系を直接制御しているが、さらに蓄積プログラム制御に伴う時分割通話路系制御の困難性を解決するため、空間分割領域のインデックスのほかに前述のスロットカウンタを時間領域のインデックスレジスタとして使用するタイミングインデックス(命令中のD1, D2ビット)を採用した。命令を一覧表にすると表1のようになる。ただし、本試作機は

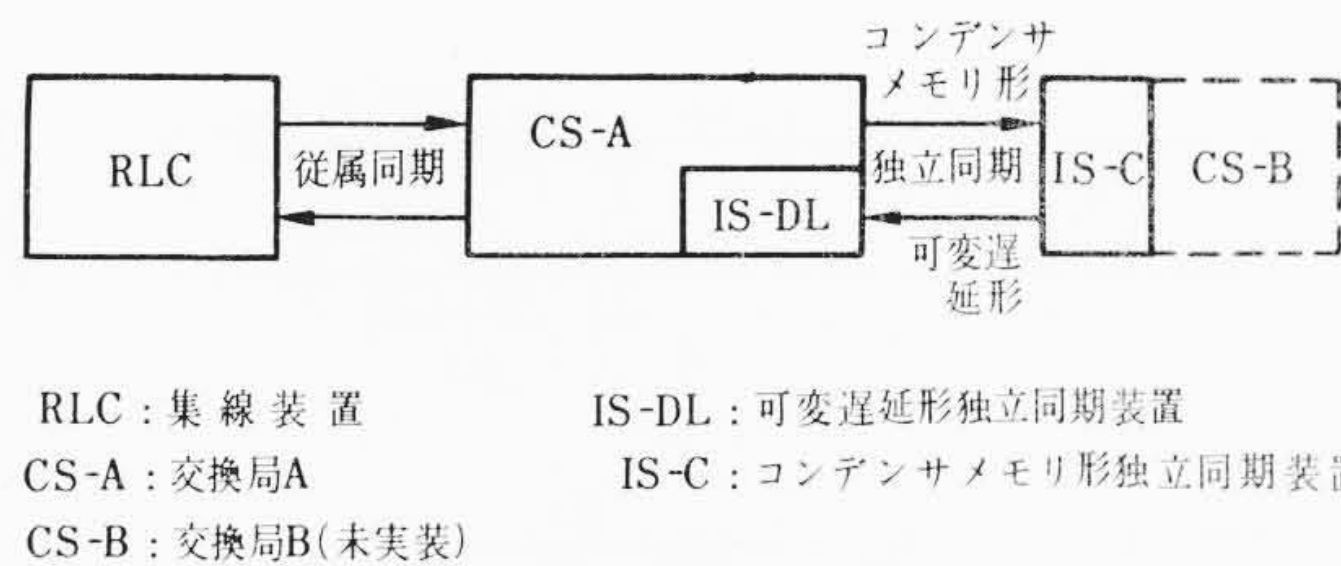


図8 PCM局間同期実験装置ブロック図

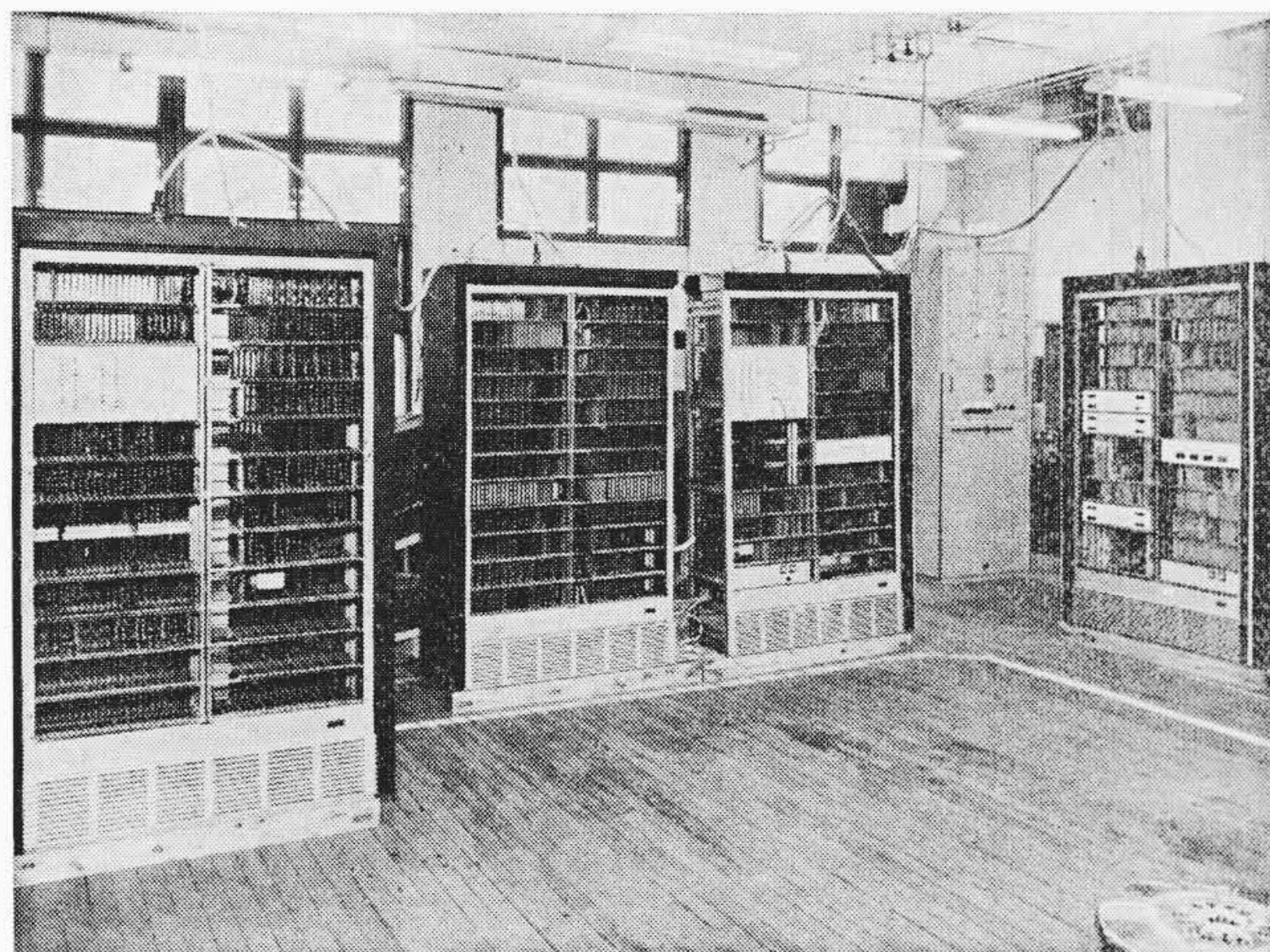


図9 PCM局間同期実験装置全景

時分割特有の問題に焦点が絞られているため、一時メモリCS関係などの命令は省略されている。プログラム命令の詳細については参考文献(2)を参照されたい。なお、プログラムを記憶するプログラムストアについてはダイオードメモリで代行している。

4. PCM局間同期実験装置の概要

本試作装置は上記目的に沿って設計されたもので、交換制御に関する機能を省略し(コントロールパネルによる指定接続のみ)、交換局2局とその1局に属する集線装置との間の局間同期制御に関するものを重点に試作されたものである。局間同期方式には、(1)遅延線を使用する独立同期方式、(2)コンデンサメモリを使用する独立同期方式および(3)従属同期方式を採用している。試作装置の全体のブロック図およびその全景を示すと図8および図9のとおりである。

4.1 試作装置の構成

図8のブロック図で、CS-AはPCM共通線スイッチングポイント、位相変換ジャンクタ、RLCとの間の従属同期回路、指定接続のためのコントロールパネルおよび試験のためのテストパネルによって構成されている。CS-BはCS-Aと同機能のものを考えたが試作にあたっては省略した。IS-DL, IS-Cは、それぞれ、遅延線、コンデンサメモリを使用した独立同期装置⁽¹⁾である。実験装置設計のおもな前提は次のとおりである。

- (1) 伝送路構成: 並列8心線からなる送受2組の伝送路
- (2) 多重化方式: 8kc標準化による193チャンネル多重(音声191, 制御1, 同期1)
- (3) PCM変調方式: 両極性PAM変調
- (4) PCM変調方式: 音声7ビット, 信号1ビットによる普通2進PCM変調
- (5) 圧伸持性: ダイオード圧伸器による $\mu=100$ の対数圧伸
- (6) パルス伝送形式: デューティレシオ50%のユニポーラパルスによる8ビット並列符号

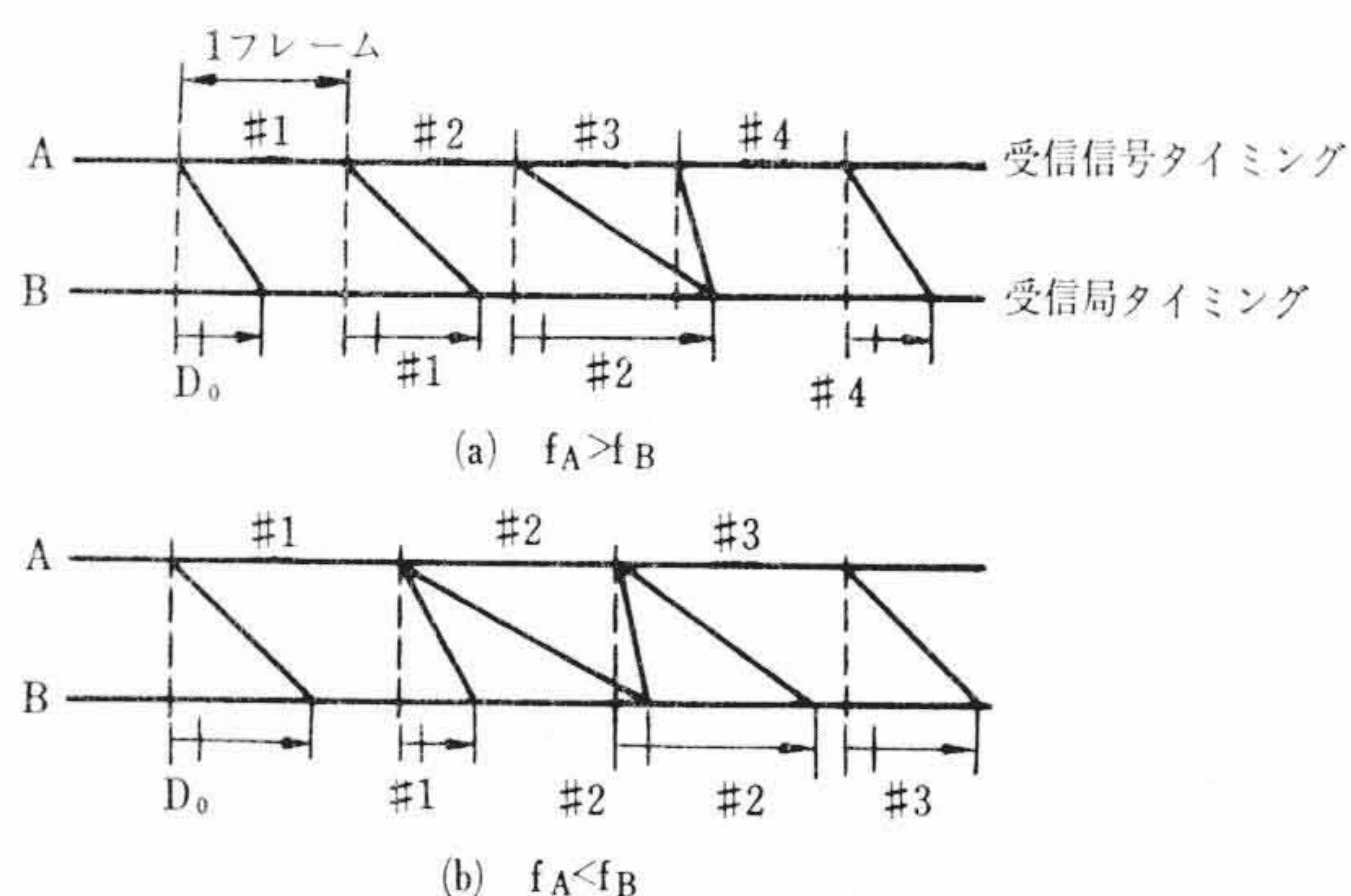


図10 独立同期原理図

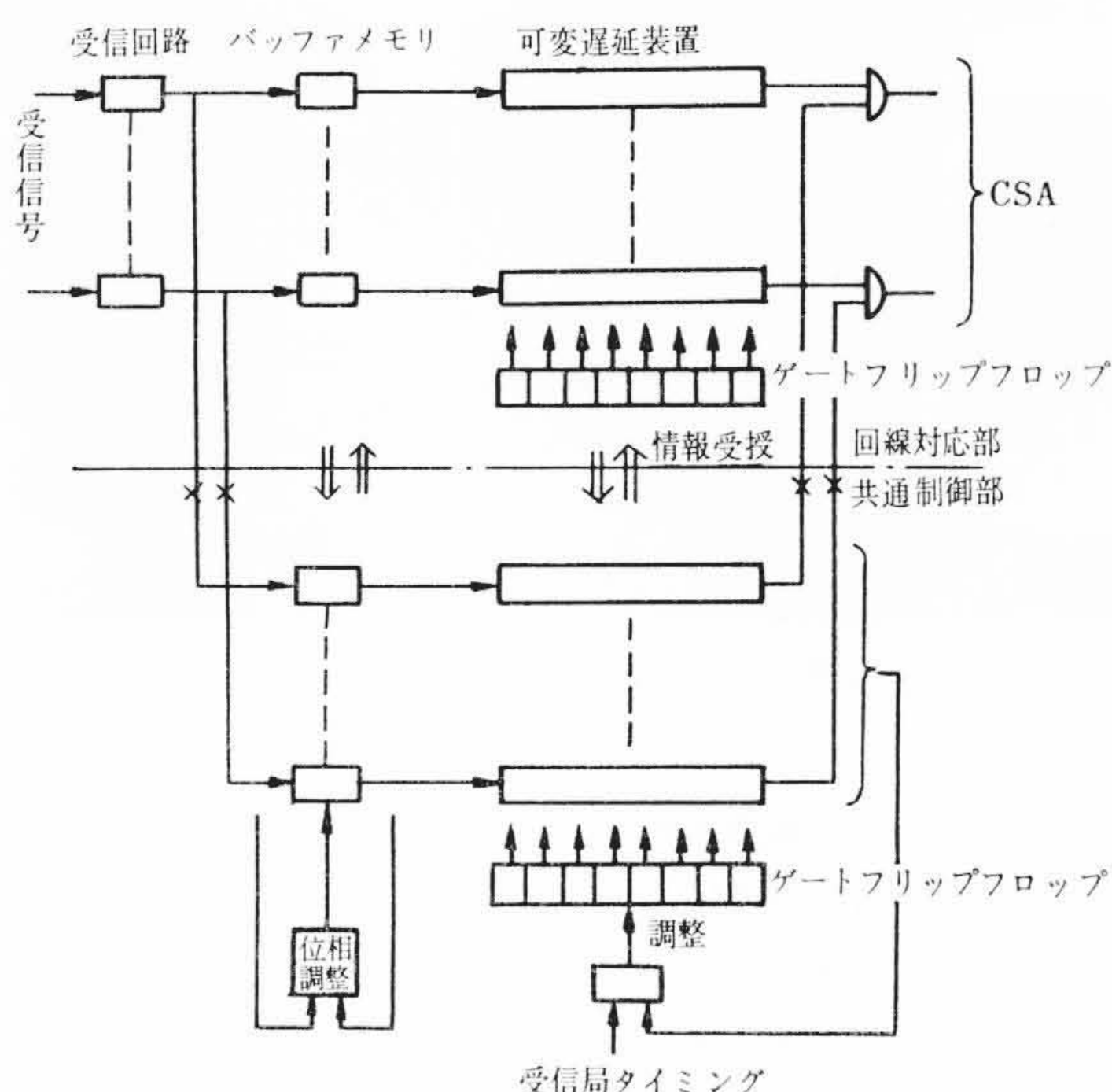


図11 遅延線による独立同期装置 (IS-DL) の原理図

- (7) 同期方式: 4kcで同期パルスをオン・オフするハンテイング同期
- (8) タイミング方式: 並列8心線についての個別タイミング
- (9) 共通線スイッチング方式: 位相変換ジャンクタをもつダイオードゲートによる並列PCMスイッチング
- (10) 局間同期方式: 従属同期およびコンデンサメモリ形ならびに可変遅延形独立同期

本報告では、RLCの送受クロックをCS-Aから享受する、いわゆる、従属同期装置については説明を省略して、交換局相互間の独立同期方式に限定して述べることにする。

独立同期の原理を示すと図10のとおりである。図の(a)は受信信号の周波数 f_A のほうが自局の周波数 f_B よりも高い場合に受信信号の間引き(#3)を行ない、また図の(b)はこの逆で受信信号の2度利用(#2)を行なうことを示している。図に示した矢印は、受信信号を受信局の受信タイミングに合わせるに必要な遅延時間を示している。この遅延時間をとる方法として本試作機では前述の遅延線による方法とコンデンサメモリによる方法とを採用している。

4.2 遅延線による独立同期装置

図11は遅延線による独立同期装置IS-DLの原理図である。回線対応部の受信回路およびバッファメモリは、それぞれ、ビット周波数の抽出、受信信号の整形、ジッタの吸収、ビット同期をとるためのものである。これら複数個の回線対応部に対して共通制御部がおかれており、これによって回線対応部を時分割的にアクセスしてタイミングを調整している。1個の共通制御部が処理する回線対応部の数は、各局のクロック周波数偏差、共通制御部の処理時間など

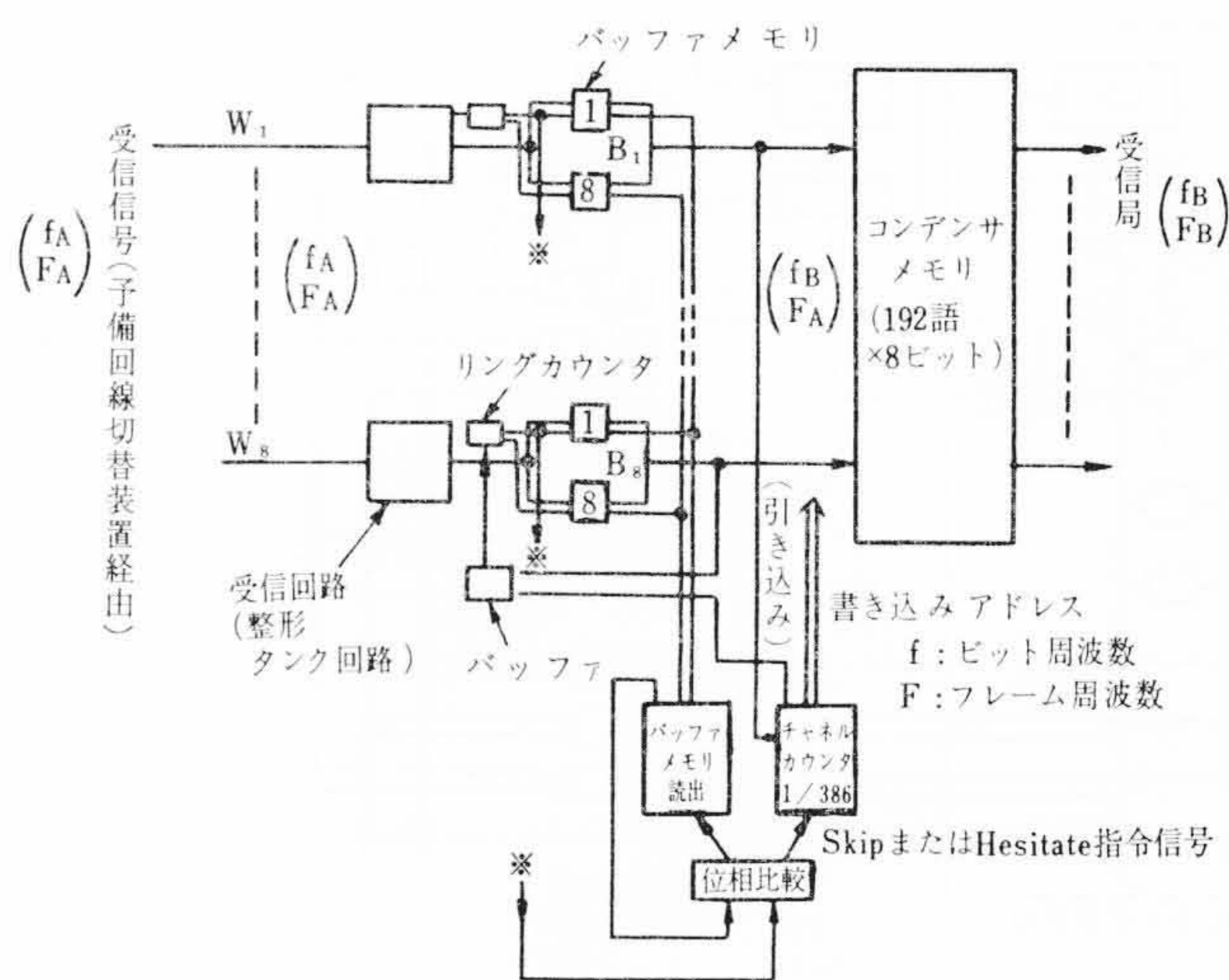


図12 コンデンサメモリによる独立同期装置 (IS-C)

→ | 0.65 μs | ←

ch	190	191	192	193	1	2	3	(a)
ch	190	191	192	1	2	3	4	(b)
ch	190	191	192	193	—	1	2	(c)

- (a) 通常の場合
 (b) $f_A > f_B$ で ch 193 (偶チャンネル) を抜きとった場合
 (c) $f_A > f_B$ で ch 193 のあとに空白時間を作った場合

図13 フレーム周波数変換動作の原理

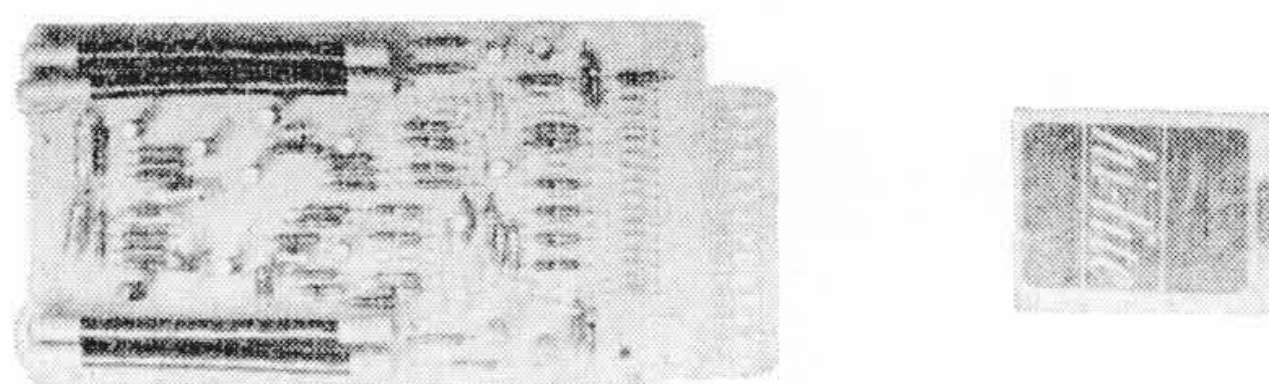


図14 基本論理回路 (2回路実装)

によって決まるが周波数精度を 10^{-6} とし、本試作装置で用いた方法によると約10個である。

4.3 コンデンサメモリによる独立同期装置

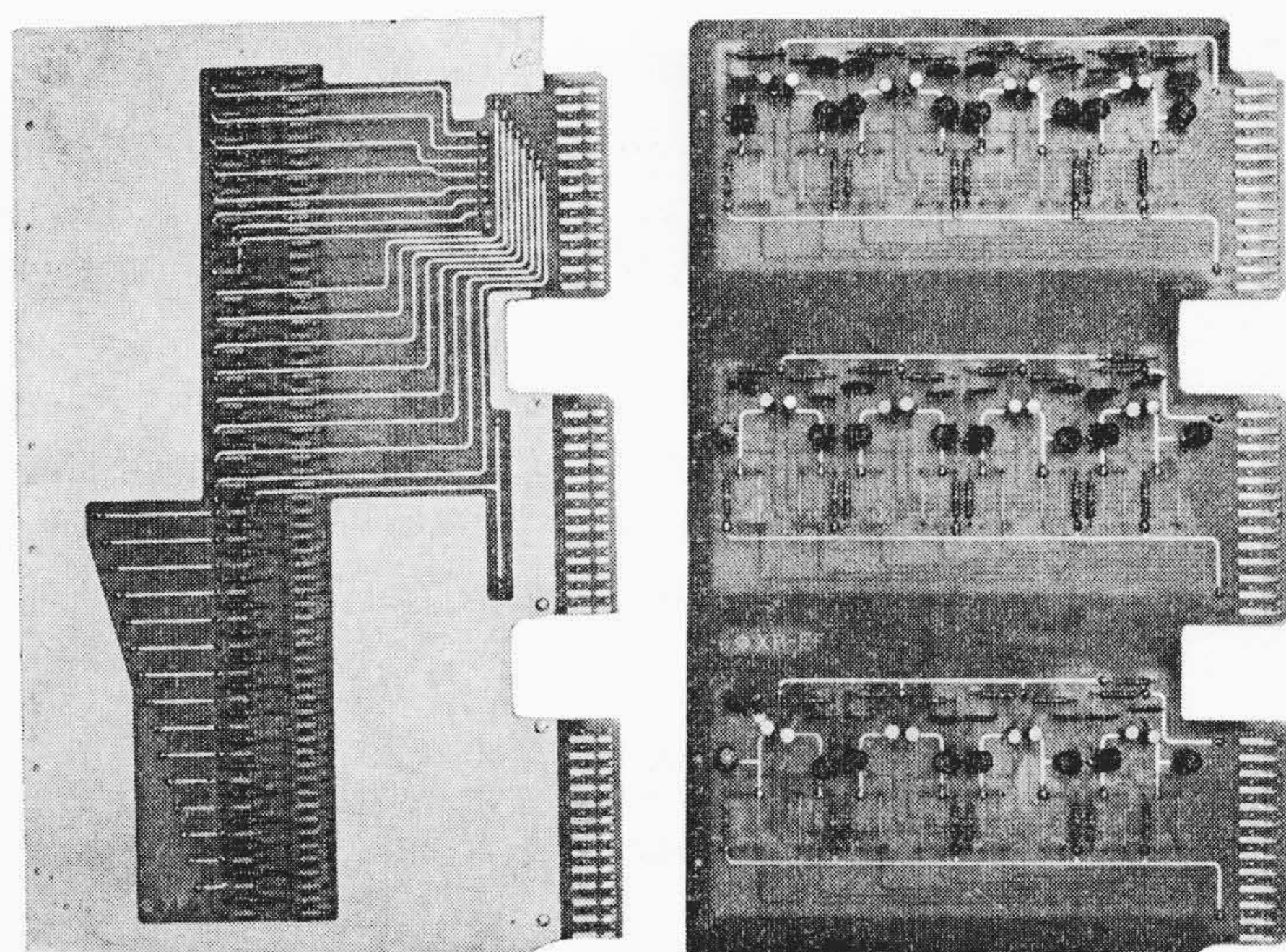
図12はコンデンサメモリによる独立同期装置IS-Cの原理図である。図で、受信回路に並列PCM信号(ビット周波数 f_A 、フレーム周波数 F_A)がはいると f_A の抽出および受信信号の整形が行なわれる。次に、バッファメモリで各並列心線間の伝播遅延差の補償、ジッタの吸収とビット周波数の変換が行なわれる。図のバッファおよび位相比較回路はリングカウンタの位相を一つ進めたり遅らせたりするものである。フレーム周波数の変換は図13に示すように、 $f_A > f_B$ のときには偶フレームのフレーム信号(ch 193)を抜き取り、 $f_A < f_B$ のときにはフレーム信号のあとのch 1を読み出すべき時刻にリングカウンタの計数を1回中止し信号列に空白時間をそう入している。以上は受信の際の周波数の調整であるが、送信の場合には周波数 f_B, F_B のまま送出している。

5. 試作装置に使用した回路および部品

上記各装置に使用した回路および部品のうち代表的なものについて簡単に説明する。

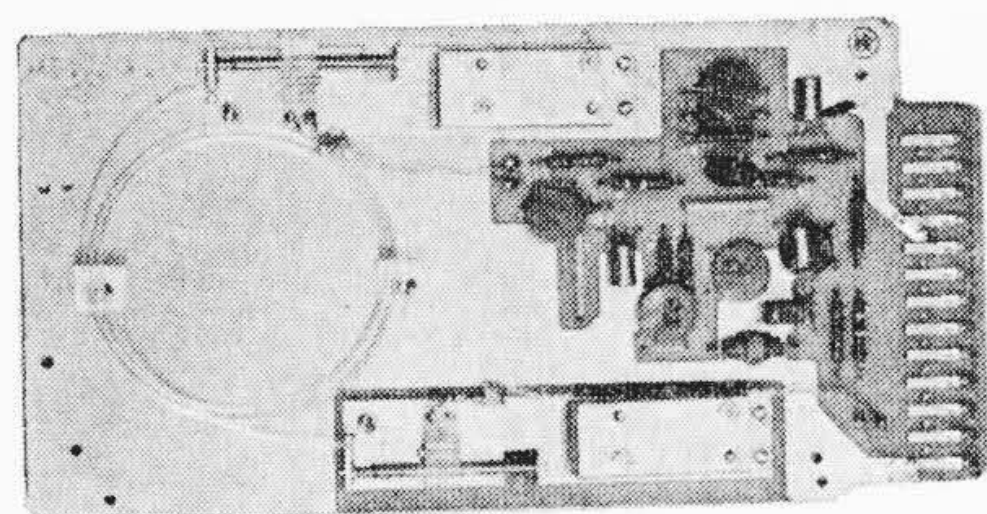
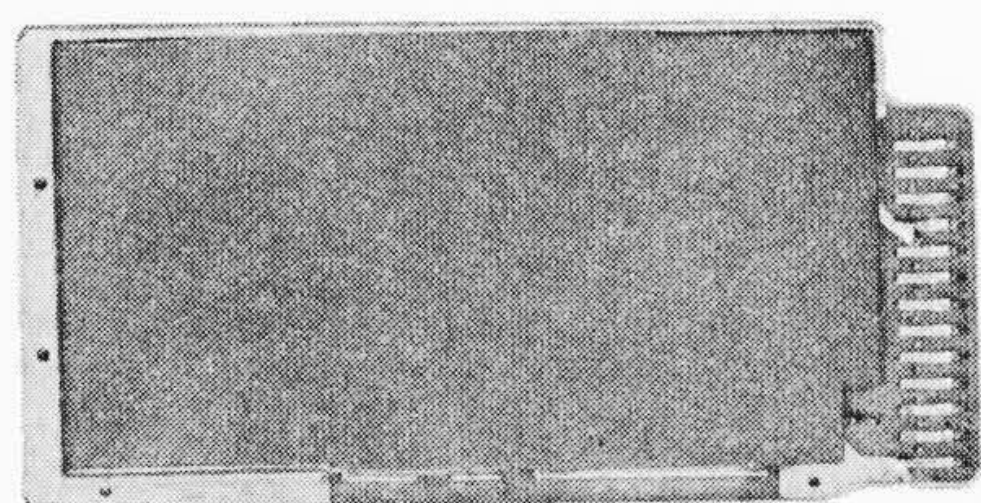
(1) 論理回路

基本論理回路はPCMクロック周期1.536または1.544 Mcに同期して動作する(ゲート)―(EF)―(クロック整形)―(電流スイッチ)―(EF)段より成る2相式の回路である。基本論理回路用パッケージを示すと図14のとおりである。



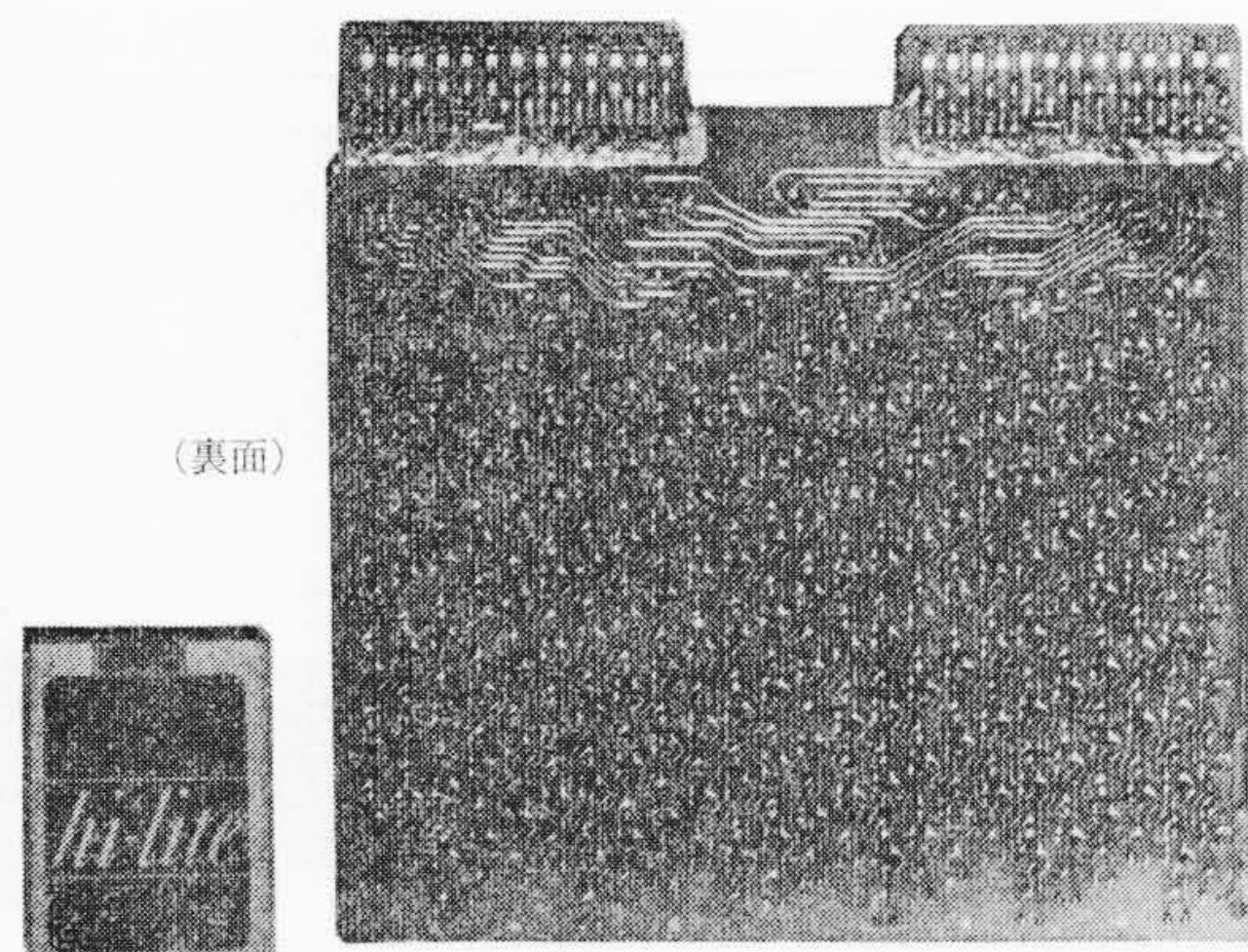
(左) PCMスイッチングクロスポイント (右) クロスポイント出力エミッタホロア

図15 PCMスイッチングクロスポイント



(上) 磁気ひずみ遅延線パッケージ
(下) 磁気ひずみでシールドケースをとったところ

図16 磁気ひずみ遅延線



Yアドレス
ドライブ用
トランス

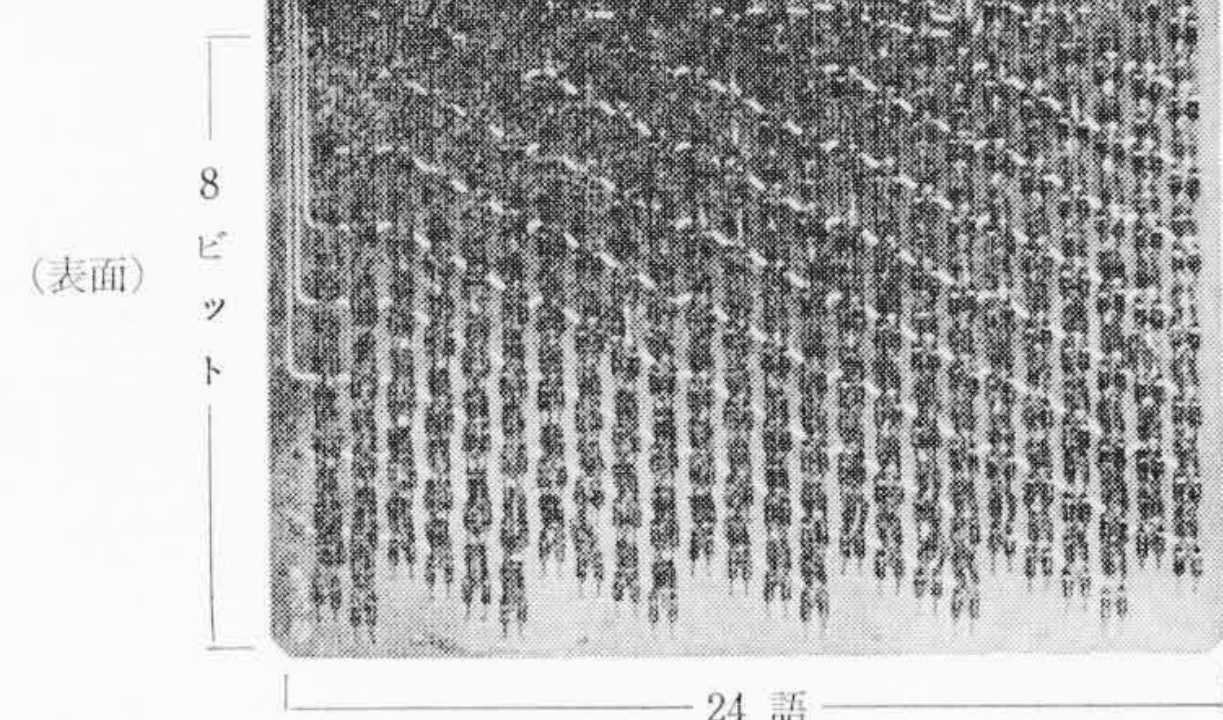


図17 コンデンサメモリ

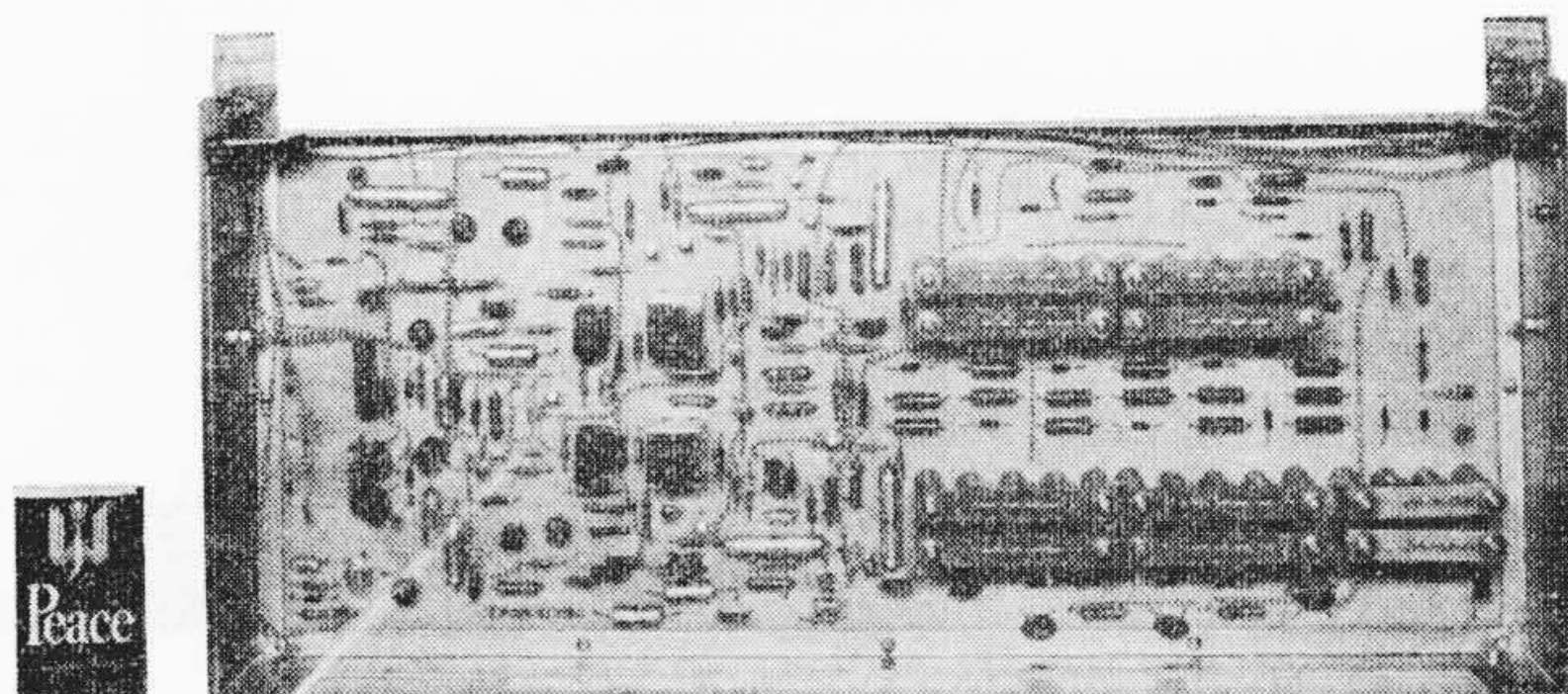


図18 符 号 器

(2) PCM スwitchングクロスポイント回路

クロスポイントはダイオードゲートにより構成されている。クロスポイントおよび出力回路のパッケージは図15のとおりである。

(3) 磁気ひずみ遅延線回路

1.536 または 1.544 MPPS のパルス列を、最大フレーム周期までの比較的長時間、遅延させるためのものである。設計使用温度は $0^{\circ}\text{C} \sim 50^{\circ}\text{C}$ である。パッケージの外観は図16のとおりである。

(4) 電磁遅延線回路

遅延線による独立同期回路に使用する、比較的遅延量の短い集中定数形のものである。

(5) コンデンサメモリ

PCM 信号の位相を入れ換えるためのコンデンサメモリを示すと図17のとおりである。このほか、PCM 受信信号の並列心線間の伝播位相差補償、ジッタ補償、ビット周波数変換のための数ビット構成のコンデンサメモリが用意されている。

(6) 圧縮器、符号器、復号器、伸長器

PAM $\leftrightarrow$ PCM 変換部については4.1(3)~(5)参照のこと。代表的なパッケージとして図18に符号器を示してある。

6. 結 果 の 検 討

本装置を試作試験の結果次のことが判明した。

(1) 通 話 品 質

別に定めた社内規格をほぼ満足した。しかしながら、集線装置加入者対応部のほとんどが疑似回路であるため全実装時の通話品質との関係が明確でない。多重度が大きいことによる技術上の困難性は、本装置の場合の集線法のほかにもいろいろと軽減法を考えており、所望の特性をうることは十分可能である。

(2) 蓄積プログラム方法による PCM 交換機制御の可能性

通話路系の周期性からくる $100 \mu\text{s}$ 程度の長いアクセスタイムと、蓄積プログラム制御系のもつ多数の分割された命令実行とのマッチングの問題は、時分割方式に適した命令体系の構成と、ハードウェアによる専用装置の大幅な導入とにより十分解決できることが判明した。

(3) 同 期 方 式

遅延線による独立同期方式とコンデンサメモリによる独立同期方式を比較したのが表2である。この中で、対象とする系の中継線数によってその経済性が異なること、コンデンサメモリを同期以外の他目的(位相変換)に使うことにより特長を発揮できる交換機の構成がありうることなどが注目し値する。本試作装置のデータでは、両同期方式それぞれに経済的に有利な適用領域のあることが判明した。同期処理時間の検討結果については参考文献(3)を参照されたい。

表 2 可変遅延形，コンデンサメモリ形両独立方式の比較		
	可 変 遅 延 形	・コンデンサメモリ形
技 術 上	特殊技術を要しないので構成は比較的容易	コンデンサメモリの大容量化(大群化)は回路技術上検討する必要がある
通話品質上	フレームの抜取そう入は完全であるがそれに伴う雑音はいはいる	左のほかフレームの抜取そう入が不完全なことによるクリック性雑音がまれに強調される
機 能 上	ハイウェイスイッチング時の位相入替機能をもたない	ハイウェイスイッチング時の位相入替機能をもつ
経 済 上	共通制御部が大きくなる構成となる。したがって，対象とする回線数が多いほど経済的になる	共通制御部をほとんど無視できる。したがって，回線数にはほぼ無関係に一定である

(4) 同期処理の与える通話品質への悪影響程度

4. 記載の原理による同期処理の結果，つなぎ合せ雑音が発生するはずであるが，われわれの実験では注意して聞いてもほとんど識別できなかった。音声の通信を考える場合無視することができる。

7. 結 言

本装置は昭和 37～38 年ごろの技術で安定に動作することを条件として試作したものであって，必ずしも最適設計ではない。また未検討の部分も多い。しかしながら 2. に述べた試作目的を一応満たすことができ多くの目安をうることができた。

なお，理論的な面については，同期に関しては文献(3)を，他の部分については文献(2)を参照されたい。最後に，日ごろご指導を受けている日本電信電話公社電気通信研究所の花輪室長，大和調査役および東京大学の尾佐竹教授，猪瀬教授に感謝する。

参 考 文 献

(1) 大和淳二： 通研経過資料第 1580 号

(2) 吹抜敬彦ほか： 電気通信学会誌 49, 326 (昭 41-11)

(3) 藤岡旭ほか： 電気通信学会誌 49, 248 (昭 41-11)

Vol. 28	日 立 造 船 技 報	No. 2
目 次		
・自由ピストン・ガスタービンの計画・設計法	・流動乾燥装置の熱容量係数について	
・液中過渡アーク放電による極性消耗とその応用	・Ω 形ベローズの強さ	
・アルミニウム青銅鋳物の添加元素の耐摩耗性に及ぼす影響	・船体縦揺れ軽減法	
・Dewight-Lloyd 型焼結機における二層操業	・クリーガー形状ゲートの水圧分布	
……………本誌に関する照会は下記に願います……………		
日立造船株式会社技術研究所		
大阪市此花区桜島北之町 60		

第 29 卷	日 立	第 9 号
目 次		
・随 筆 ローカルの味……添 田 知 道	・水 分 を 測 る マ イ ク ロ 波	
・遊 園 地	・出 現 し た テ ン ト 式 冷 蔵 庫	
・原子力発電<第2回> 原子炉のしくみ	・未知に挑む「元素の正体をつかむ」	
・配 電 線 地 下 に も ぐ る	・ハイライト「エレベータのドアデザイン」	
・航海安全のかげの力 ―海図をつくる人びと―	・カラー スポット 「変化を追う」	
・見る，食べる，遊ぶ ―モンテリオール博にみる人間の饗宴―	・HITACHI SCIENCE FICTION 一商 品一	
・災を転じて福となす ―高速堆肥化装置―	・話 の ロ ビ ー	
	・サ イ エ ン ス ・ ジ ャ ッ キ ー	
……………		
発行所 日 立 評 論 社	東京都千代田区丸の内1丁目4番地	
取次店 株式会社 オーム社書店	振替口座東京71824番	
	東京都千代田区神田錦町3丁目1番地	
	振替口座東京20018番	