

超小形電子計算機 HITAC 10

Minicomputer HITAC 10

内田 頼利* 高橋 昇** 諏訪 重敏**
Yoritoshi Uchida Noboru Takahashi Shigetoshi Suwa

要 旨

HITAC 10は日立製作所がHITAC 8000シリーズのハードウェア技術を結集して完成したミニ・コンピュータである。HITAC 10の特長は次のように要約される。

- (1) 100V 商用電源で動作し、空調が不要であり、ミニ・サイズ、低価格である。
- (2) プログラミングが簡単でだれでも手軽に使用できる。
- (3) 速い演算速度の命令セットが豊富に用意されている。
- (4) 融通性があり、しかも高速な入出力インタフェースを備えているため、ほかのシステムに組み込んで特色のある働きを行なわせることができる。

HITAC 10は昭和41年秋ころから行なわれた調査研究の成果として、昭和44年2月に完成されたものである。本稿ではHITAC 10の論理構成、入出力制御などシステムの方式設計に主眼を置いて述べる。

1. 緒 言

HITAC 10はだれにでも手軽に使用でき、価格が安くしかも高性能な超小形科学用計算機というイメージのもとに完成されたものである。システム設計の上で演算の高速性と多様な命令群、融通性に富む入出力インタフェースを用意したため、単に小形科学用計算機としての用途に止まらず、多方面への応用が可能である。

HITAC 10の中心は図1に示すH-1610形処理装置である。H-1610形処理装置は基本的な入出力装置としてH-9331形データ・タイプライタ (Teletype 社 ASR 33相当品) を有しているため、紙テープ・ベースで10字/秒の速度でリード/プリント/パンチができ、これだけで研究室などにおける簡単な科学計算に使用できる。表1はH-1610形処理装置の概略仕様を示したものである。

H-1610形処理装置の回路素子はすでにHITAC 8210で実績のあるTTL集積回路を用いている。TTL集積回路はTexas社のSeries 74N相当品で、このうち8種を用いて処理装置ロジックを構成している。

48pコネクタを実装するプラッタおよび集積回路を実装するプラ

グインなどはHITAC 8000シリーズの技術をそのまま受けついでいるが、コンパクトな構造にするため一部高密度実装プラグインを採用している。高密度実装プラグインは170mm×105mmの4層基板上にTTL集積回路を30~40個実装するものである。

ランプ、スイッチなど構造部品にも従来よりも小形な部品を採用し、コンパクトな構造としている。

処理装置の大きさは幅445mmであり、そのままの形でいわゆる国際標準ラックに取り付け可能となっている。

2. システムの構成

図2にHITAC 10システムの構成図を示す。H-1610形処理装

表1 H-1610形処理装置概略仕様

項 目		性 能
回 路 素 子		TTL 集 積 回 路
メ モ リ 容 量		4 K語 (32K 語 まで 増 設 可)
サ イ ク ル タ イ ム		1.4 μs/語
語 長		16 ビ ッ ト+2 バ リ テ イ ビ ッ ト
数 値 語		固定小数点 符号+15 ビ ッ ト 整 数 (オプションとして倍長語の処理可)
命 令 数		約 30 (乗除算, 倍長演算はオプション)
ア ド レ ス 形 式		ページ, 間接アドレス, インデックス (ただし インデックスはオプション)
演 算 方 式		2 進 並 列
演 算 速 度	加 減 算	2.8 μs (間接アドレスを含まない)
	ロ ード/ス ト ア	2.8 μs (間接アドレスを含まない)
	ブ ラ ン チ	1.4 μs (間接アドレスを含まない)
	間 接 ア ド レ ス	1.4 μs
割 込 み 要 因		1 レ ベ ル { メモリ パリティ エラー 5 種 { アドレス・エラー オペコード・トラップ 入 出 力 電源異常 (オプション)
入 出 力 接 続 台 数		直 列 式 最 大 64 台
基 本 入 出 力 装 置		H-9331 データ・タイプライタ 10字/秒
ソ フ ト ウ ェ ア		Assembler Fortran Desk Culculator
設 置 条 件	温 度	5℃~35℃ (動 作 時)
	湿 度	35%~8.5% (動 作 時)
	電 源	100V±10V 単相 (50 Hz または 60 Hz)
	外 形 寸 法 重 量	横 445 mm 高さ 300 mm 奥行 547 mm 40 kg



図1 HITAC 10システム最小構成

* 日立製作所神奈川工場
** 日立電子株式会社

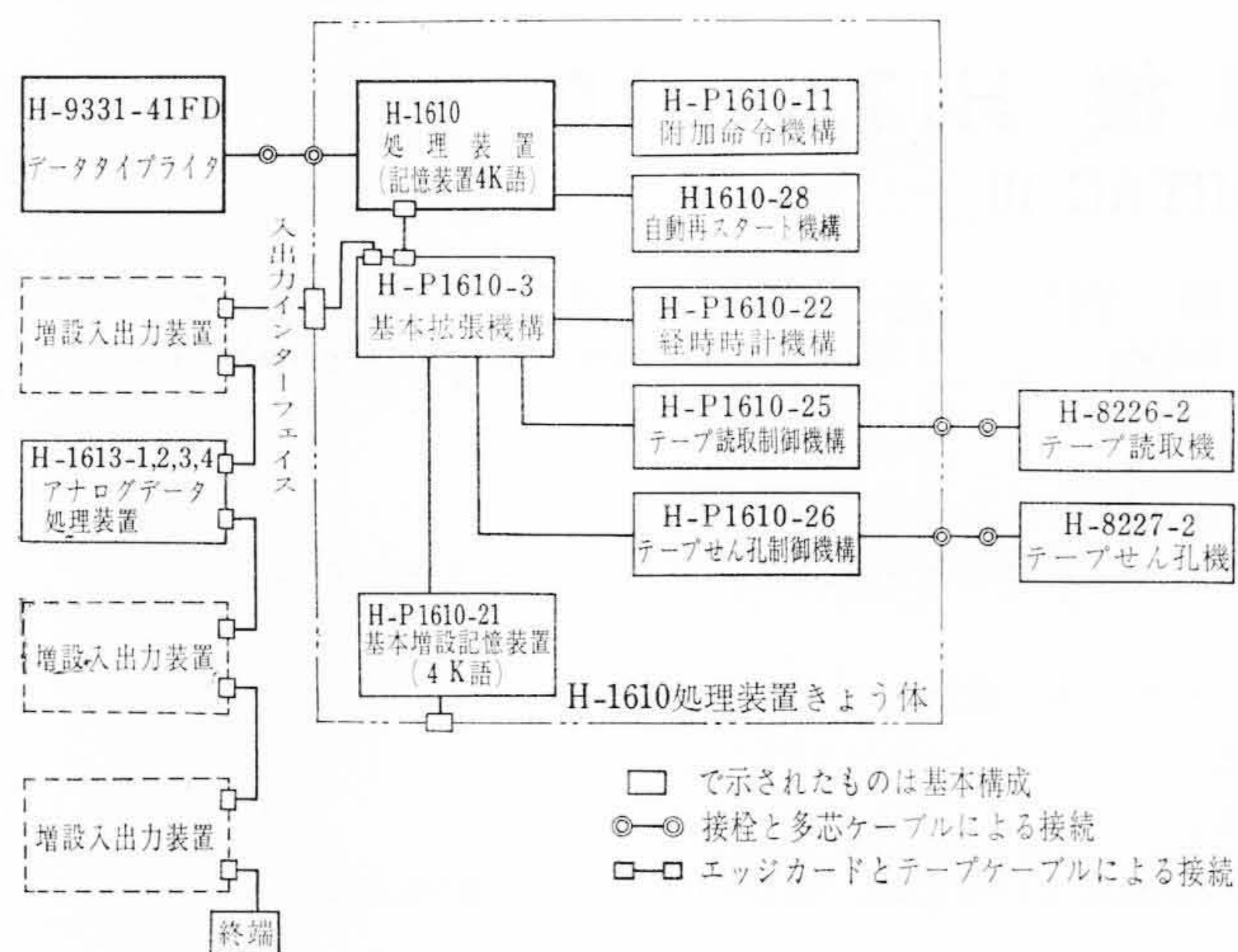


図2 HITAC 10 システム

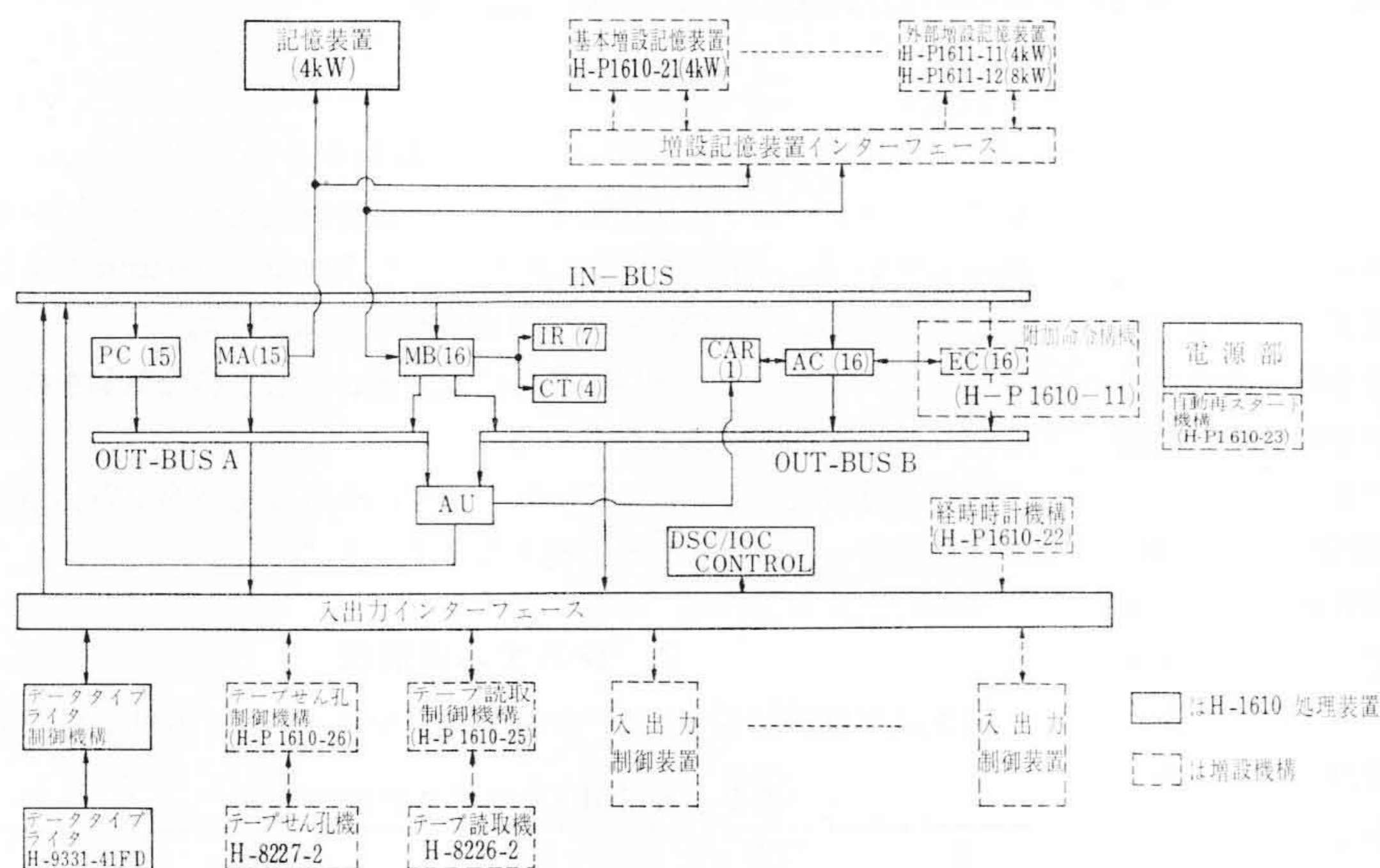


図3 処理装置ブロック図

置は

- (1) 演算処理部
- (2) 記憶装置部 (4K 語)
- (3) 入出力インターフェイス制御部
- (4) H-9331 形データタイプライタ制御部
- (5) 操作盤
- (6) 電源

より構成されており、図1に示した処理装置の中に収容されている。処理装置きょう体中には上記(1)～(5)を収容するプラッタ (48ピン・コネクタ約60個実装)のほかに、図2に基本拡張機構と記されている第2のプラッタを実装する。基本拡張機構の上には

- (1) 基本増設記憶装置 (4K 語)
- (2) 経時時計機構
- (3) テープ読取制御機構
- (4) テープせん孔制御機構

の四つのオプションがプラグイン形式に実装される。乗除算、倍長演算およびインデックスを行なうための付加機構である付加命令機構は最初の処理装置のプラッタ上にプラグイン形式で実装される。自動再スタート機構は電源異常を検出しそれに対する割込み信号を処理装置に与えることと電源異常(停電)回復とともに処理装置再スタートパルスを与えるものであり、電源のうちに実装される。

入出力インターフェイスはすべての入出力制御装置に対して同一であり、H-1610 形処理装置に出口をもっている。テープ読取機ある

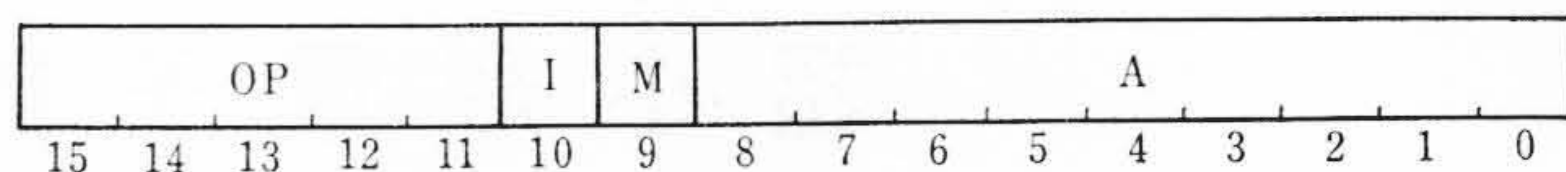


図4 RM命令の形式

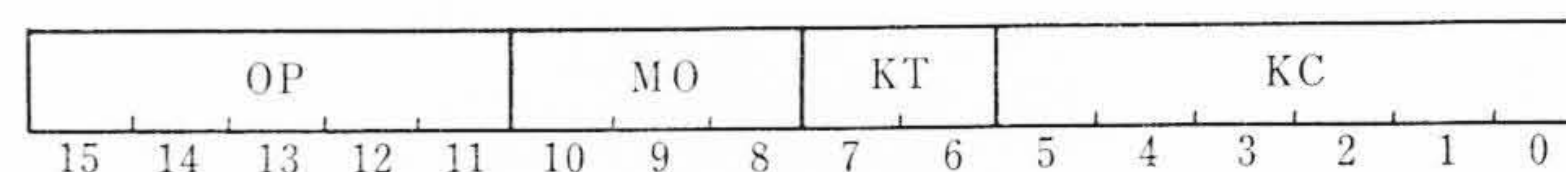


図5 SC命令の形式

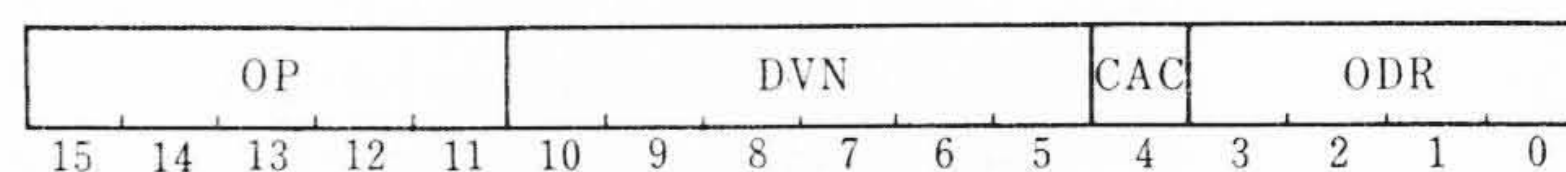


図6 IOC命令の形式

いはテープせん孔機を接続する場合には処理装置から出た入出力インターフェイス・ケーブルは基本拡張機構上にあるこれらの制御装置に信号を与えたのち、ほかの入出力装置へ導かれる。いくつかの入出力(制御)装置から処理装置へ送られる信号はそれぞれの入出力(制御)装置のケーブル、コネクタにおいて tied OR される。入出力インターフェイスには論理的に64台までの入出力装置が接続可能であり、処理装置と各入出力(制御)装置の間はテープ・ケーブルによる接続である。処理装置はあとの拡張のために外部に記憶装置を増設するためのインターフェイスをもっている。外部増設記憶装置とのインターフェイスは基本増設記憶装置において作られ、テープ・ケーブルにより接続される。

3. 処理装置の論理構成

図3は処理装置のブロック図を示すもので、PC, MA, MB, IR, CT, CAR, AC, EC はそれぞれレジスタで () 内はビット数を示している。PCはプログラム・カウンタであり、次に実行する命令のアドレスを保持する。MAはメモリ・アドレス・レジスタ, MBはメモリ・バッファ・レジスタである。ACはアキュムレータであり、メモリの語との間での Load/Store, Add/Subtract など種々の演算を行ない結果を保持する。CARは演算の結果のキャリを保持したり、オーバーフローの表示に用いられる。ECは付加命令機構が付加される場合に実装されるレジスタで乗除算、倍長演算でACの下位のビットを保持するほか、インデックス修飾におけるインデックス、ワードを保持するためにも用いられる。IRは命令レジスタ, CTはシフト・カウンタであり、プログラムでは利用できないレジスタである。AUは演算ユニットであり、レジスタの出力を受けるバス OUT-BUS A および OUT-BUS B の間で演算を行ない結果を IN-BUS 通じて各レジスタにセットする。

命令形式には3種あり、図4～図6に示すようにレジスタ・メモリ (Register-Memory; RM) 命令, 状態制御 (Status Control; SC) 命令, 入出力制御 (Input Output Control; IOC) 命令と呼ばれる。RM 命令は Load/Add などのようにメモリの1語とACとの間で演算を行なうすべての命令のほか、ブランチ・シフト命令も含んでいる。表2は命令一覧表である。SC 命令は MO 部で指定されたマイクロ・オーダを実行すると同時に KT, KC 部で指定されたスキップ条件が満たされるとき PC の内容に1を加算し、次の命

表 2 命 令 一 覧 表

OPコード	MNEMONIC	命 令	実行時間 (注2)
00		(Op-Code Trap)	
08	L	Load	2.8 μ s
10	A	Add	2.8
18	S	Subtract	2.8
20	N	Aud	2.8
28	X	Exclusive Or	2.8
30	O	Or	2.8
38	ST	Store	2.8
40	B	Branch	1.4
48	BAL	Branch and Link	2.8
50	KCT	Skip on Count	4.2
58	(注1)	(Op-Code Trap)	
60	* SE	Set Effective Address	1.4
68	SC	Status Control	2.8
70	IOC	Input Output Control	4.2
78		(Op-Code Trap)	
80	SRL	Shift Right Logical	$1.4 \left(1 + \left\lceil \frac{n}{3} \right\rceil \right)$ 但し $\left\lceil \frac{n}{3} \right\rceil$ は $\frac{n}{3}$ の小数点以下 下切上げを表す。
88	SLL	Shift Left Logical	
90	SRA	Shift Right	
98	SLA	Shift Left	
A0	* SRDL	Shift Right Double Logical	
A8	* SLDL	Shift Left Double Logical	
B0	* SRDA	Shift Right Double	
B8	* SLDA	Shift Left Double	
C0	* LE	Load EC	2.8
C8	* LD	Load Double	4.2
D0	* AD	Add Double	4.2
D8	* SD	Subtract Double	4.2
E0	* M	Multiply	9.8
E8	* D	Divide	11.2
F0	* STE	Store EC	2.8
F8	* STD	Store Double	4.2

注 1 上表の * は付加命令機構 (H-P1610-11) が付加されているとき有効であって付加されていないときは OP-Code Trap となる。

注 2 実行時間は命令読出し時間を含めてある。I=1 (インダイレクト指定) のときは、この実行時間に 1.4 μ s 加算される。
OP-Code Trap のときは 1.4 μ s で終了する。

表 3 RM命令のアドレス形式

I	M	実 効 ア ド レ ス
0	0	A
0	1	PC _{14~09} +A
1	0	Aによる間接アドレス
1	1	PC _{14~09} +Aによる間接アドレス

令をスキップするように働く。マイクロ・オーダは操作盤上のスイッチのセンスやCARのセット・リセット、割込みマスクのセット・リセットなど処理装置の状態制御に用いられる。

IOC命令はDVN部で指定した入出力装置にODR部で指定する種々の入出力動作を行なわせるものである。IOC命令による入力データはACに取り込まれるのでCACビットはACをクリヤするかしないかをコントロールするビットである。

RM命令のアドレス形式にはI・Mビットの組合せにより表3に示すような4とおりの形式がある。I=0, M=0のケースは実効アドレスはAの9ビットのみであるからメモリ・ロケーション0~511までを指定する。I=0, M=1の場合はPCの上位6ビットがAに接合される。これはその命令の読み出されたメモリのページ(PC_{14~09}で指定される)の先頭からAなる距離にあるメモリ・ロケーションを指定することになる。したがってこのアドレス形式から例えばHITAC 10の各4K語のメモリはそれぞれ8ページのエリアからなる。I=1, M=0の場合は第0ページのAで指定されたメモリ・ロケーションの語による間接アドレスである。

間接アドレス語の先頭ビットは通常無視される。I=1, M=1の場合はPC_{14~09}+Aなるメモリ・ロケーションの語による間接アドレスである。

付加命令機構を用意した場合はインデックス修飾が可能である。インデックス修飾はまず表2に示したSE (Set Effective Address) 命令により命令の実効アドレスをECにセットする。その後表2のL, A, S, N, X, O, ST, B, BAL, KCT, SEまでの命令で間接アドレスを指定し、間接アドレス語の先頭ビット(ビット2¹⁵)が1であれば、間接アドレス語とECの和が実効アドレスとなる。SC, IOC, シフトおよびSE以外の付加命令にはインデックス修飾は無効であり、間接アドレス語の先頭ビットは無視される。このインデックス修飾は任意のデータ、ベースからの変位によりデータ・アドレスを与えるものでリエントラントなプログラム作成やセグメントに分けられたプログラム間のリンクなどに有用である。

処理装置に対する割込み要因には5種あり

- (1) メモリ・パリティ・エラー (MPE)
- (2) アドレス・エラー (ADE)
- (3) オペ・コード・トラップ (TRP)
- (4) 入出力割込み (IOI)
- (5) 電源異常 (PWE)

と呼ばれる。

割込み要因のいずれかが発生し、割込みマスク (Interrupt Mask IM) が1であれば命令実行終了時にPCの内容が0番地にストアされ、IMはリセットされ、1番地にストアされている命令から実行が開始される。最初の命令は通常割込み要因解析ルーチンへのブランチ命令であり、SC命令およびIOC命令によって割込みフラグの判別が行なわれる。割込みは1レベルであり、割込み要因の間の優先順位はプログラムにより付けられることになる。

割込み処理ルーチンから元のプログラムに戻る場合は、SC命令のSIM (Set Interrupt Mask) なるマイクロ・オーダによりIMをセットし、ブランチする。SIMの後1命令の間は割込み禁止状態が保たれるので、ブランチ命令の実行後にペンディングになっていた割込みがかかることになる。

処理装置における命令実行や割込み処理そのほかすべての動作は処理装置ステージの流れにより制御される。処理装置ステージはFETCH, INDIRECT, EXECUTEなど十数種あり、処理装置状態を保持するフリップ・フロップにより表示される。FETCHは命令読出しのステージであり、INDIRECTは間接アドレスのステージである。EXECUTEは命令実行の一つのステージであるがBranch命令はFETCHあるいはINDIRECTのステージの間で命令終了となる。一つのステージは1.4 μ sであるが一つのステージはSS 0, SS 1, SS 2というサブ・ステージに分けられる。処理装置における処理の最小単位はサブ・ステージであり、図3におけるレジスタ→AU→レジスタの演算サイクルはサブ・ステージを単位として行なわれる。SS 0は主として次にアクセスするメモリ・アドレスをMAにセットするためのサブ・ステージでINDIRECT/SS 0, EXECUTE/SS 0では実効アドレスをMAに作成する。SS 1でメモリ、サイクルを起こしSS 1の終わりではアクセスされたメモリ・ロケーションの内容をMBに読み出される。SS 2ではMEMORY REWRITEが行なわれるとともにSS 1で読出された内容とACの内容との間で演算が行なわれる。

4. 入出力制御

入出力制御は図6に示したIOC命令を入出力インタフェースに送ることにより行なわれる。入出力の制御の様式の一つはIOC命令によりデータ転送の制御までを行なうもので低速入出力制御と呼ばれる。ほかの一つは入出力の開始、終了、割込みサービスをIOC命令によって行なうものである。データ転送は入出力装置からのサービス要求により、処理装置サイクルに割込んで金物的にメモリと

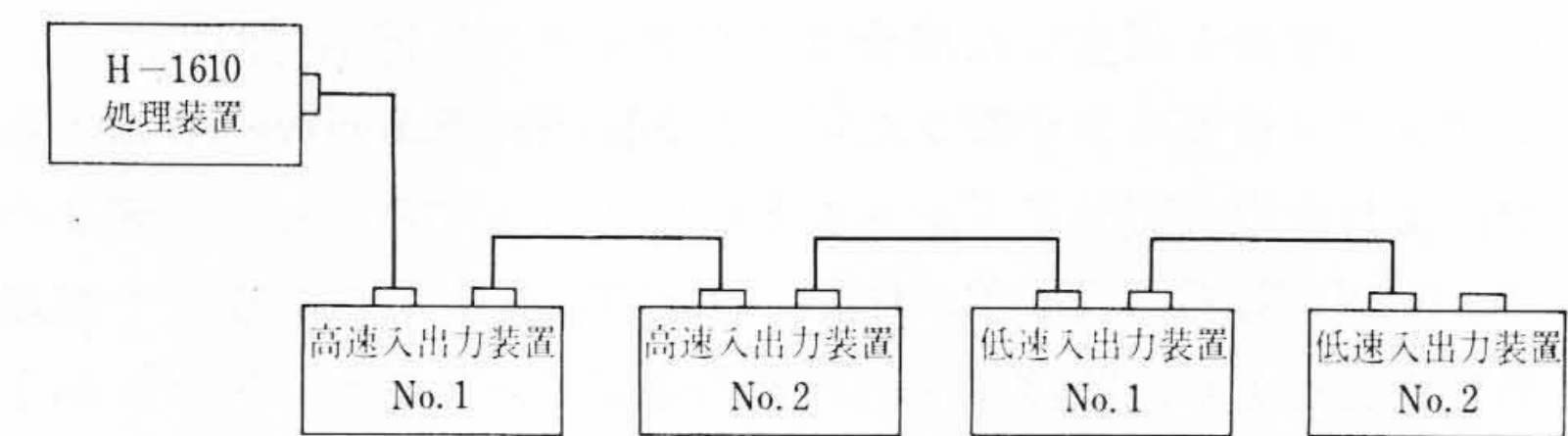


図7 入出力装置の接続

入出力インタフェースとの間でデータ授受を行なうもので、高速入出力制御と呼ばれる。低速および高速入出力制御は同一の入出力インタフェースで行なわれる。図7は入出力装置の接続の1例を示したものである。ここで入出力装置とは制御装置を内蔵しているものとする。

入出力インタフェースには表4に示す70本の信号線を用意する。表4で*の付いている信号は高速入出力制御のみに用いられる信号である。

低速入出力制御においては、まずDVNで指定される入出力装置にODRの指定によりデータのREADあるいはWRITEを開始させる。入出力装置のデータ・バッファにデータが用意されるか(READ)あるいはバッファが空になる(WRITE)と入出力装置はINTをオンにして処理装置に割込みを起こす。処理装置は処理装置内部割込みでないことをSC命令により判定すると、次々と接続されている入出力装置に対して割込みをセンスするIOC命令を発し、どの入出力装置に割込み要求がペンディングになっているかを知る。もしセンスされた入出力装置に割込み要求があればFLGラインにパルスが送り返される。このパルスはPCの内容に1を加えるように働き、処理装置は次の命令をスキップすることにより応答があったことを知り、READ(WRITE)命令により入出力装置バッファの内容を読取る(書込む)。割込みを利用しない低速入出力制御では処理装置は入出力装置にREADあるいはWRITE動作を開始させたのちREAD/WRITEが完了するまでフラグセンスのIOC命令を繰り返し出して待っていることができる。このときは一つの入出力装置にしかデータ・サービスは行なわないが転送速度は高く、約50K語/秒(100Kバイト/秒)の転送速度が可能である。

高速入出力制御は磁気テープや磁気ドラムなど高速でデータのブロック転送を行なう入出力装置の制御のために用意されたものであり二つのモードがある。一つは直接モード、ほかの一つは間接モードと呼ばれる。どちらのモードによる制御を受けるかは入出力装置の構成による。入出力装置はRQL信号によってどちらのモードで制御を受けるかを指定することができる。

直接モードの場合はサービス要求とともにデータのアドレスをAIN上にのせて送ってくる。処理装置はREQを受付けAINで示されたメモリ・ロケーションとDIN/DOTの間でデータの授受を行なう。データ・アドレスおよびデータ・カウン트의更新はすべて入出力装置側の責任である。この場合の最大データ転送速度は約700K語/秒(1.4Mバイト/秒)である。

間接モード高速入出力制御においては、入出力装置はAIN上にデータ・アドレスではなく制御語のアドレスを送る。制御語はデータ・カウント語およびデータアドレス語よりなっており、処理装置はREQ信号を受付けるとこれら制御語をメモリより引き出して更新し、その後直接モードと同じようにデータ・サービスを行なう。この場合の最大データ転送速度は約140K語/秒(280Kバイト/秒)である。

5. 結 言

最初の超小形科学用電子計算機HITAC 10について方式設計的なことを主眼としてシステムの論理的な構成、特長について述べた。

表4 入出力インタフェース信号

1. 処理装置→入出力装置					
信 号 名	Mnemonic	線数	意 味	性質	
SERVICE QUALIFIEA	SQL	2	低速入出力制御/高速入出力制御の表示	L	
IO ORDER	ODR	4	入 出 力 指 令	L	
DEVICE NUMBER	DVN	6	入 出 力 装 置 番 号	L	
DATA OUT	DOT	16	出 力 デ ー タ	L	
STROBE	STR	1	ス ト ロ ー ブ	P	
REQUEST ACKNOWLEDGED*	ACK	1	サービス要求が受付けられたことを示す	P	
SET INTERRUPT	SINT	1	入出力割込み要求をセットさせる	P	
OPERATION	OPER	1	処理装置ラン状態の表示	L	
GENERAL RESET	GRES	1	リ セ ッ ト	P	

2. 入出力装置→処理装置					
信 号 名	Mnemonic	線数	意 味	性質	
SERVICE REQUEST*	REQ	1	サ ー ビ ス 要 求	L	
REQUEST QUALIFIR*	RQL	3	サービス要求のタイプを表示	L	
ADDRESS IN*	AIN	15	データ/制御語のアドレス	L	
DATA IN	DIN	16	入 力 デ ー タ	L	
IO INTERRUPT	INT	1	入 出 力 割 込 み 要 求	L	
IO FLAG	FLG	1	特殊な IO ORDER に対するレスポンス	P	

L: レベル
P: パルス

HITAC 10を設計するうえで特に意を用いた点を総括すれば次のとおりである。

- (1) HITAC 8000 シリーズとのソフトウェア、ハードウェア的な種々の関連を考え、命令語長16ビットの簡単ながら強力な命令セットを用意したこと。
- (2) メモリ・サイクル1.4μsの高速の記憶装置を採用し、平均命令実行時間約3μsと中形機なみの演算速度をもたせたこと。
- (3) 倍長演算関係の命令を充実させ高精度の計算にも応用できるようにしたこと。
- (4) 間接アドレスと組み合わせたインデックス演算を可能とし、高度なコントロール・プログラムの作成の便を図ったこと。
- (5) 単一の入出力インタフェースで高速入出力制御と低速入出力制御との二つの制御モードを可能としたこと。
- (6) 低速入出力制御に関してはプログラムで自由に入出力装置の制御ができるようにし、ユーザーがシステムを自由に拡張して新しいシステムをつくることのできるようにしたこと。
- (7) 高い入出力データ転送速度を可能としたこと。

このようにHITAC 10は内部演算速度が非常に速くかつ、高速で融通性に富む入出力インタフェースを用意しているため、単に科学技術計算用としてではなく、種々の応用が可能である。

おもな応用分野としては

- (1) 理化学機器、医用電子装置などに組込んでデータの収集、分析を行なわせる装置
- (2) 通信回線制御装置あるいは通信端末装置
- (3) 大形コンピュータの衛星計算機
- (4) ティーチング・マシンなどの小規模タイムシェアリングにおける中央処理装置

などが考えられる。

HITAC 10は昭和44年2月に発表された超小形電子計算機であるが、44年5月東京晴海におけるビジネスショーに出品し、好評を博した。

終わりに臨みHITAC 10を設計、製作するに当たり、有益な助言を賜った日立製作所中央研究所三浦部長、津田研究員、日立研究所高林部長、横山主任ならびに設計、製作にご協力いただいた神奈川工場、日立電子株式会社の各位に厚く御礼申し上げます。