

16 ミル 2½D 方式 コア スタック

16 Mil, 2½ Dimensional Core Memory Stack

黒 川 進* 武 内 研 吾**
Susumu Kurokawa Kengo Takeuchi永 富 好 照** 高 橋 正 美**
Yoshiteru Nagatomi Masami Takahashi

要 旨

大形高速電子計算機の主記憶装置に用いられる 16 ミル 2½D 方式コアスタックを開発した。従来の 3D 方式コアスタックと異なり、プレーナアレー構造を採用していること、プレーン間接続にテープ電線を用いることなど、新構造、新部品をとり入れている。高速で使用されるため、駆動電流パルス幅を縮めたときの特性やコア自己発熱について検討した。また駆動電流、周囲温度が変化したときの特性変化を調べ、その概要を述べている。

1. 緒 言

電子計算機の高速度化、大形化に伴い、その主記憶装置も高速化、大容量化をたどっている。フェライトコアメモリにて高速化を図るためには、コア形状を小さくしなければならないが、小形化によりスタック原価は高くなり、記憶装置原価にしろるスタック原価の割合も上昇する。コアスタックを高性能化しながら原価低減を行なうことが必要となってきた。このような状況のもとで注目を浴びてきたのが 2½D 方式⁽¹⁾である。2½D 方式スタックは従来一般にとられている 3D 方式の編組線 4 本式に比べ、インヒビット線を用いない 3 線式であるため、同一コアを使用した場合には低原価で製作でき、高速で動作させること、またより小さいコアも使用できることなど多くのすぐれた点をもっている。回路も含めた記憶装置全体としてみた場合でも、大容量においては 3D 方式よりも低原価であり⁽²⁾、大形電子計算機の主記憶装置として期待されるところ大である。

ここに述べるスタックは 16 ミル Li 系準広温度域コアを使用した記憶容量 32 KB の 2½D 方式スタックで、サイクルタイム 0.45 μ s 以下で使うことができる。プレーナアレー構造をとり、駆動線選択ダイオードマトリクスを組み込んでいるので、実装密度が高く、高速で、信頼性が高い特長をもっている。

2. プレン、スタック構造

2.1 スタック構成

スタックは 16 K 語 18 ビット (32 KB) の記憶容量をもち、サイクルタイム 0.45 μ s 以下の高速で使われるため、2½D 方式を採用した。スタックは図 1 に示すように、512×576 のコア記憶面のまわりに、X 線、Y 線とも駆動線選択ダイオードマトリクス (SDM)、および選択スイッチコモン部 (SW) を取り付けた構成をとっている。1 個のコアには X 線、Y 線のほかにセンス線が貫通する 3 線式である。コア記憶面は Y 方向に 9 分割され、1 ブロック 512×64 内に 16K×2 ビットを収容している。さらに X 方向は 4 分割され、128×64 のマットに 2 本のセンス線が編組されている。

ダイオードマトリクスとスイッチコモン部は、(XSDMA-XSWA)、(XSDMB-XSWB)、(YSDMA-YSWA)、(YSDMB-YSWB) がそれぞれ対をなしている。X 側は 16 ドライバ×16 スイッチ 2 組で、Y 側は 2 ビットごとに 4 ドライバ×8 スイッチ 2 組で駆動される構成になっている。4 ドライバ×4 スイッチで駆動されるときは駆動

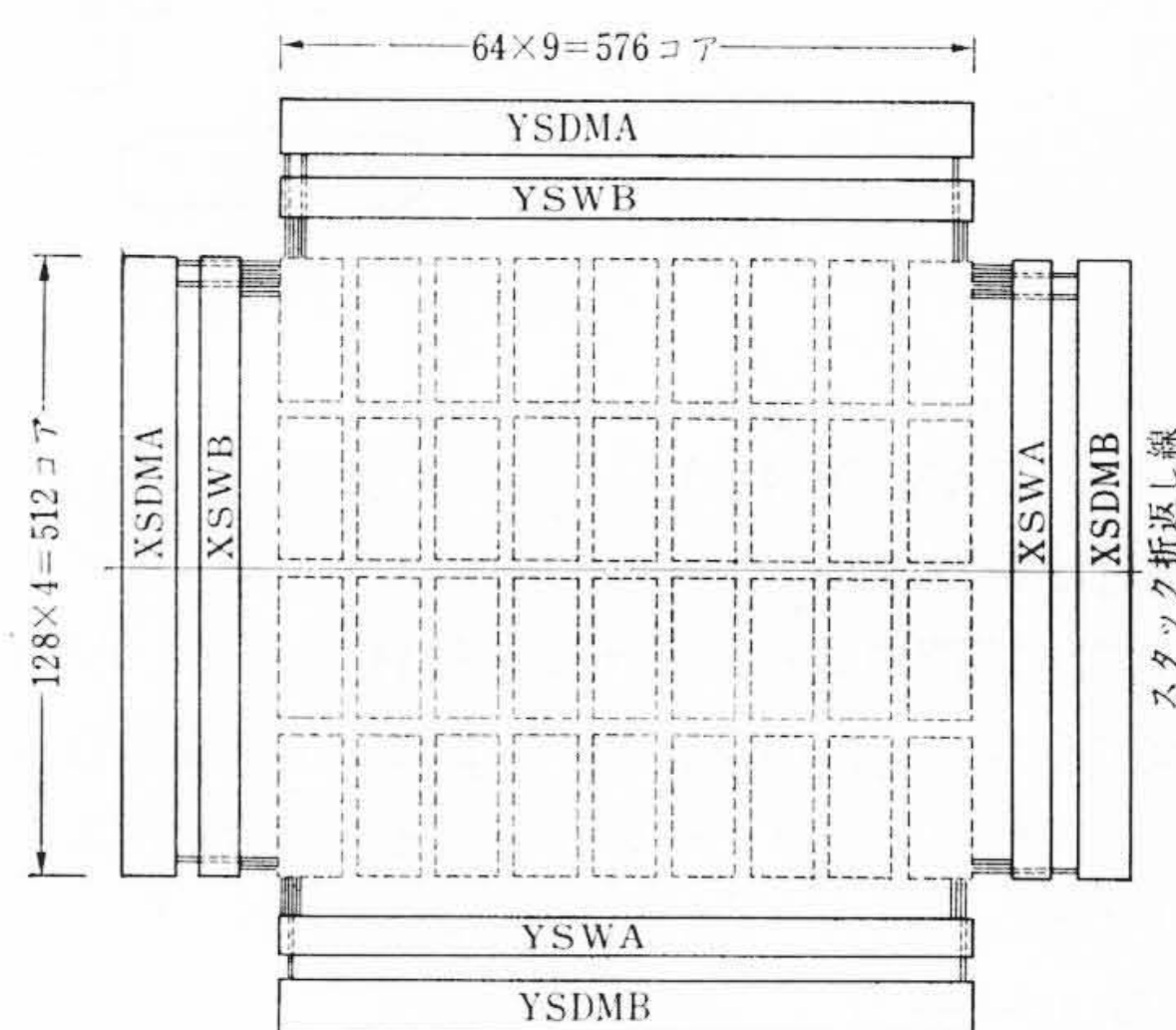
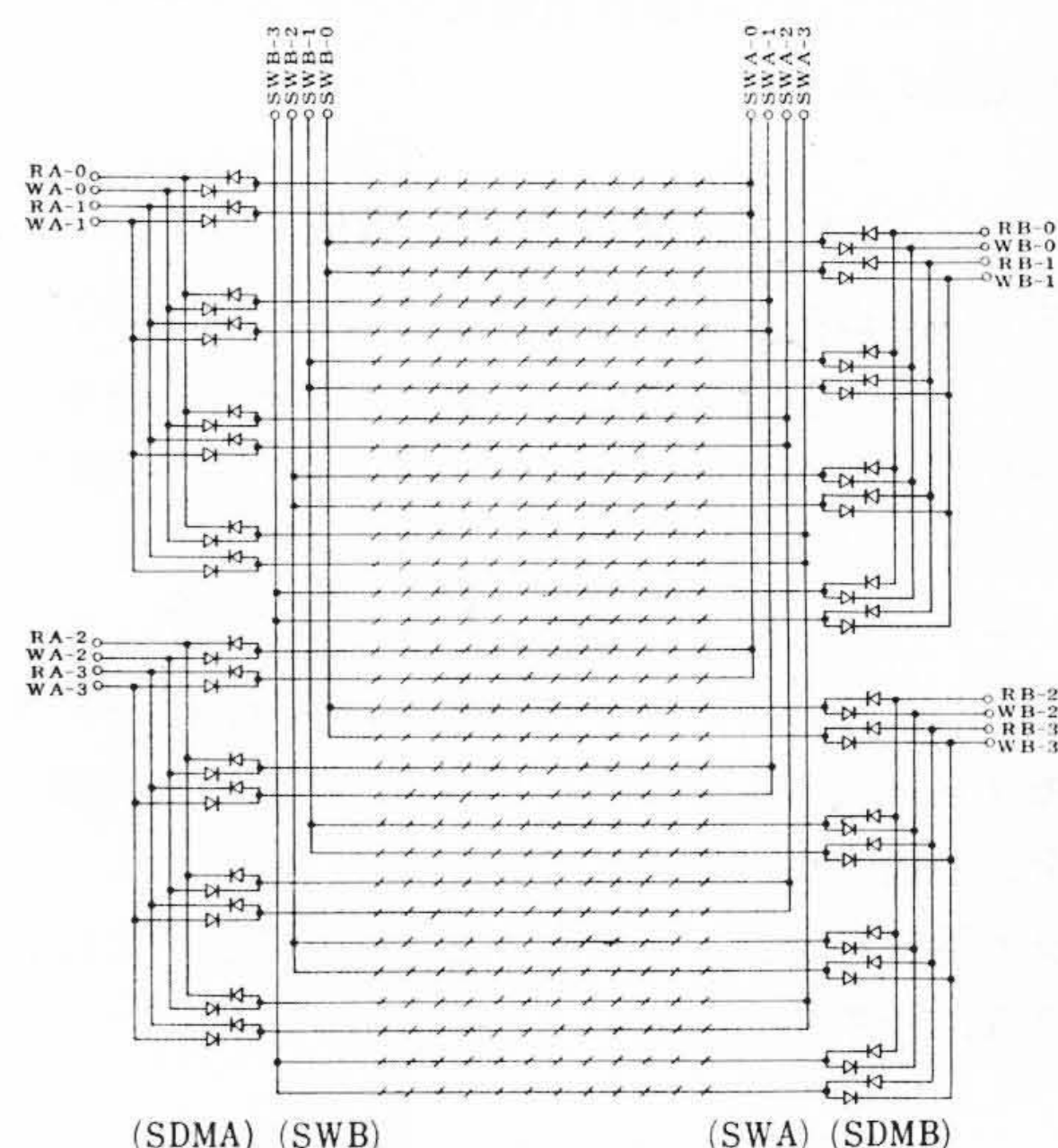


図1 スタック構成



注：RWはリードドライバ、ライトドライバに接続されることを示す。

図2 4×4 駆動マトリクス

マトリクスを例にとり図 2 に示した。(SDMA-SWA) と (SDMB-SWB) は 2 本おきに構成されており、あとで述べるセンス線編組方式とあわせて、1 ブロック内の 2 ビットの区別が可能となっている。

2.2 構 造

512×576 のコア記憶面は 256×576 のプレン 2 枚で構成される。図 3 はプレンの写真である。高速動作を行なわせること、センス線

* 日立製作所茂原工場 理学博士

** 日立製作所茂原工場

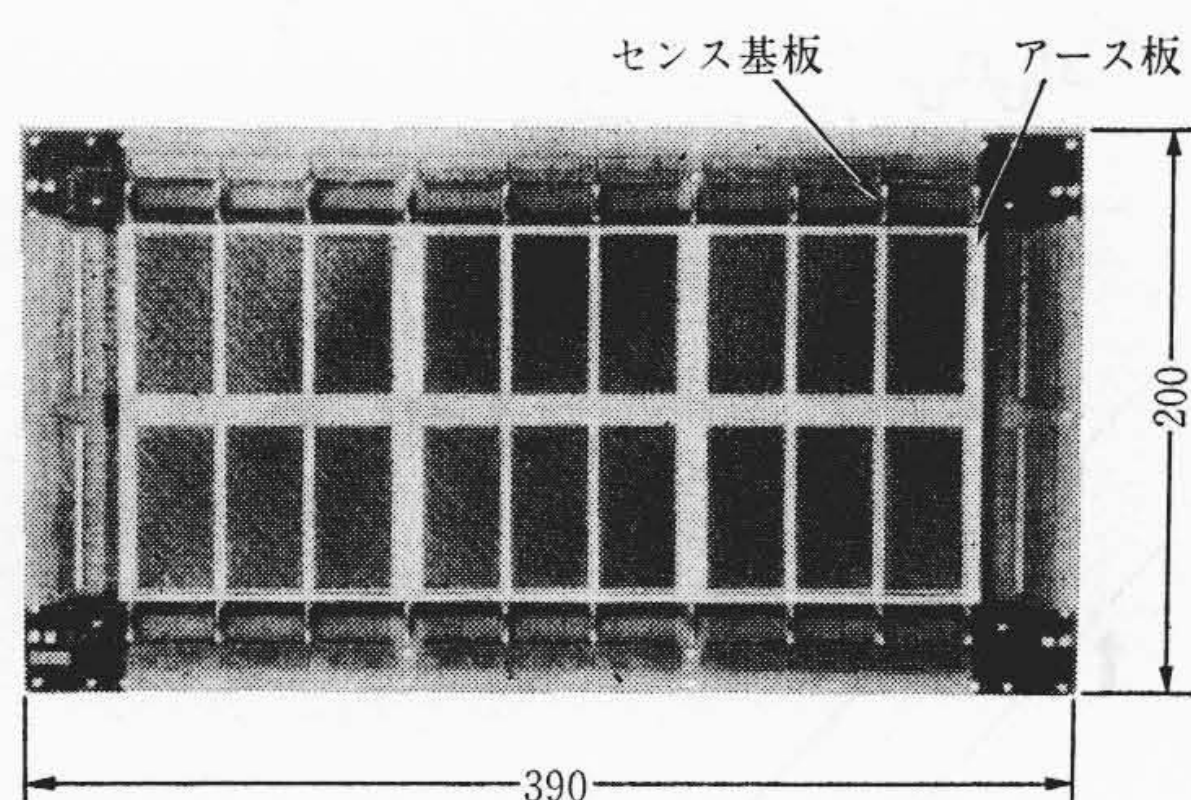


図3 プ レ ン

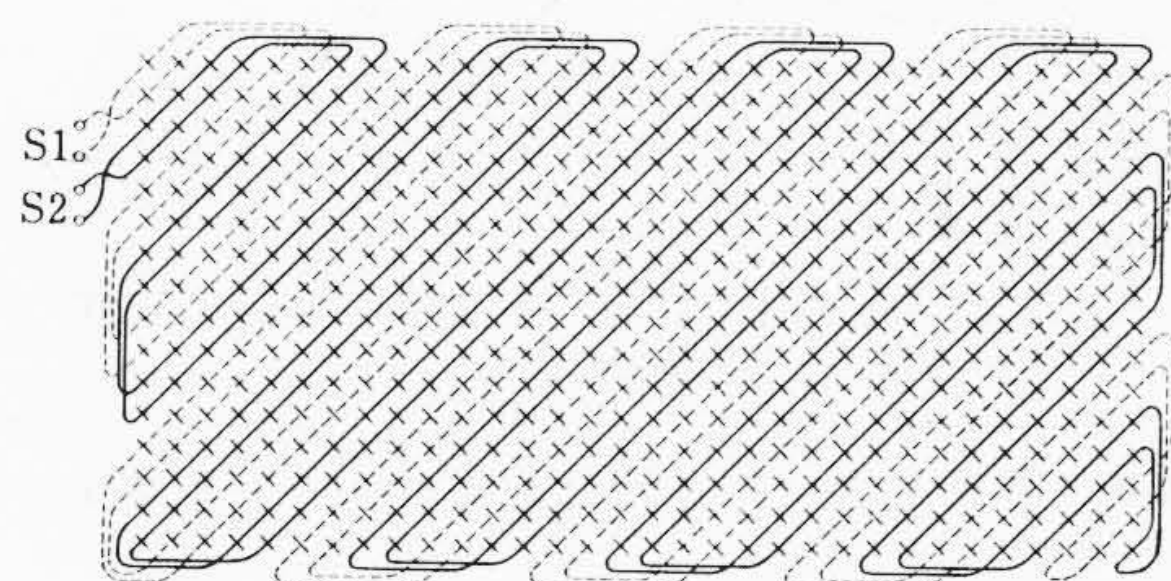


図4 センス線編組図

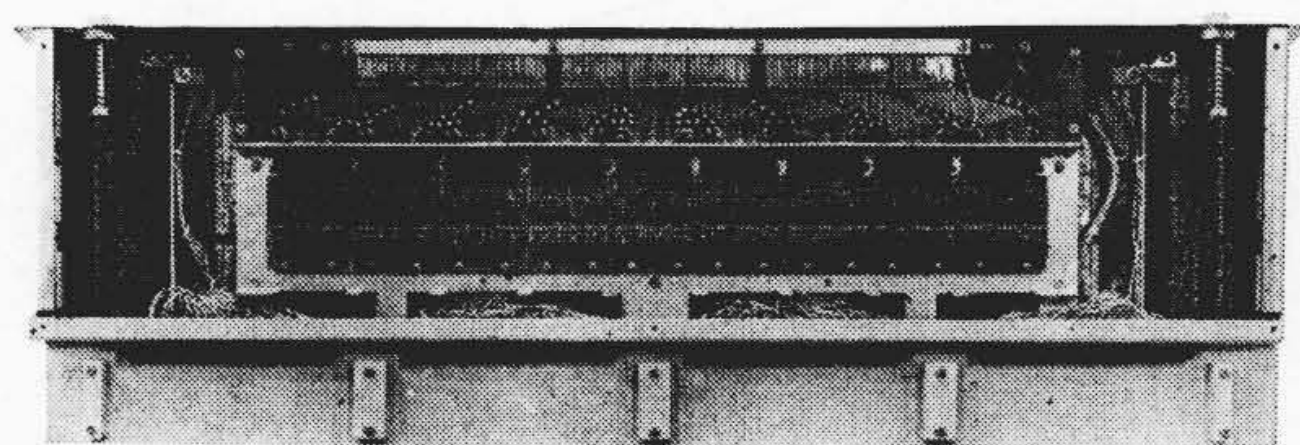


図5 ス タ ッ ク

の減衰を小さくすること、スタック寸法を小さくすることなどの目的で、コア配列はコアの向きを一定とし、コアピッチも部品、作業上可能な最小寸法 0.45 mm まで小さくした。センス線については、レクタングル（ボウタイ）、ダイアゴナルの両編組方式を検討したが、レクタングル方式は高速においてノイズに問題があるので、ダイアゴナル方式を採用することにした。編組作業時間を短縮させるために、128×64のマットに図4のように2本のセンス線を編み込んだ。2本のセンス線はいずれも往復線が平行に編まれており、同一X線上のコアについて、n番目のY線と(n+2)番目のY線上のコアは、互いに別のセンス線に属している。Y線は2本おきに別の駆動マトリクスに属しているので、Y側駆動マトリクスの区別、あるいは2本のセンス線の区別いずれかにより、128×64=8Kのコアを4Kずつ2ビットに分けて使用することができる。またセンス線がマットの周辺で折り返されるとき、平行往復線が一方の周辺では交差し、他方の周辺では交さない編組方式を取り入れて、スイッチノイズを最小に押えている。

プレサイズが256×576と大きいので、機械的強度の向上と電気的特性の改善のため、コアをアルミニウム製アース板の上にシリコン樹脂で固定している。シリコン樹脂はマグネット線をもおおうので、マグネット線の電食、化学腐食に対しても低減効果をもつとともに、コアの自己発熱による温度上昇を抑制する効果ももっている。

16ミルコアを使用し、コアを高密度に実装したので、プレフレームの端子間ピッチが狭く、従来の3D方式スタックのようなスタッキング方法がとれなくなった。プレ間の接続にはテープ電線を使用し、2枚のプレをちょうつがいで折りたたみ、開放自在な構造とした。プレから駆動マトリクス部への接続にも、ほぼ同様な

表1 コ ア 規 格

測 定 条 件		出 力 規 格		コ ア 寸 法	
全駆動電流 (I_f)	640 mA	“1”出力 (DV_1)	34 mV 以上	外径 (OD)	0.390 mm
読出し妨害電流 (I_{dr})	390 mA	“0”出力 (DV_z)	13 mV 以下	内径 (ID)	0.245 mm
書込み妨害電流 (I_{dw})	400 mA	ビーキングタイム (t_p)	87±10 ns	厚さ (H)	0.105 mm
パルス立上り、 立下り時間 ($t_r=t_f$)	30 ns	スイッチングタイム (t_s)	190 ns 以下		
パルス幅 (t_w)	500 ns				
妨害パルス数 (DN)	64 個				

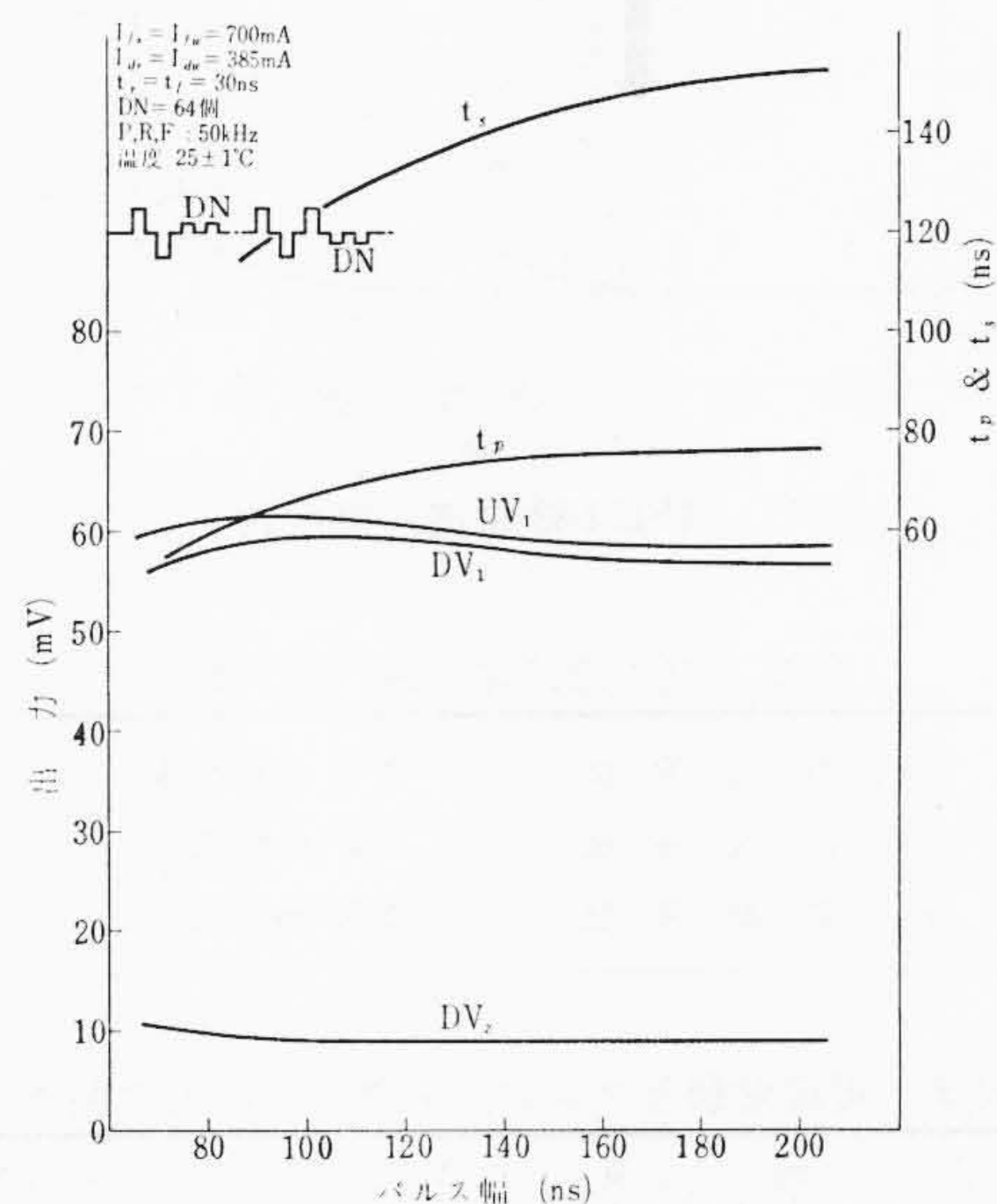


図6 HFC 182 パルス幅依存性

構造を採用した。ダイオードマトリクスは、保守性を良くするために、64個のダイオードを1枚のプリント基板にのせ、コネクタを介して抜き差し可能な構造とした。図5はスタック外観写真を示したものである。

3. 電 気 的 特 性

このスタックを開発するにあたり、電気的特性上特に重要視したことがらは次のとおりである。

- (1) スタック周囲温度 15~35°C のもとで、駆動電流を補正することなく動作すること。
- (2) サイクルタイム 0.45 μ s 以下で動作すること。
- (3) 駆動電流変動 $\pm 5\%$ (回路素子によるもの $\pm 3\%$ 、電源電圧変動によるもの $\pm 2\%$) のもとで動作すること。

以下これら3項目を中心に、本スタックの電気的特性について説明する。

3.1 コアの特 性

高速メモリに使用するコアとしては、スイッチング時間が早いこと、自己発熱による温度上昇に対して安全であることなどが必要である。これらを考慮して16ミルLi系準広温度域コアHFC 182を開発した。表1はコア規格を示したものである。出力が大きく、パースルスイッチングに強いという特長をもっている。

サイクルタイム 0.45 μ s で動作するためには、駆動電流の立上り時間、立下り時間は 30 ns、パルス幅は 120 ns 程度でなければならない。標準的なコアについて、パルス立上り、立下り時間を 30 ns とし、パルス幅とコア出力の関係を示したのが図6である。全駆動電流と妨害電流の比 ($DR=I_d/I_f$) は電流変動 $\pm 5\%$ を考えて、 $DR=0.5 (1+0.05)/(1-0.05) \approx 0.55$ に選んだ。図6よりパルス幅 120 ns で余裕をもって動作することがわかる。

コア自己発熱によるコア温度上昇は、あとで述べるように 30°C で

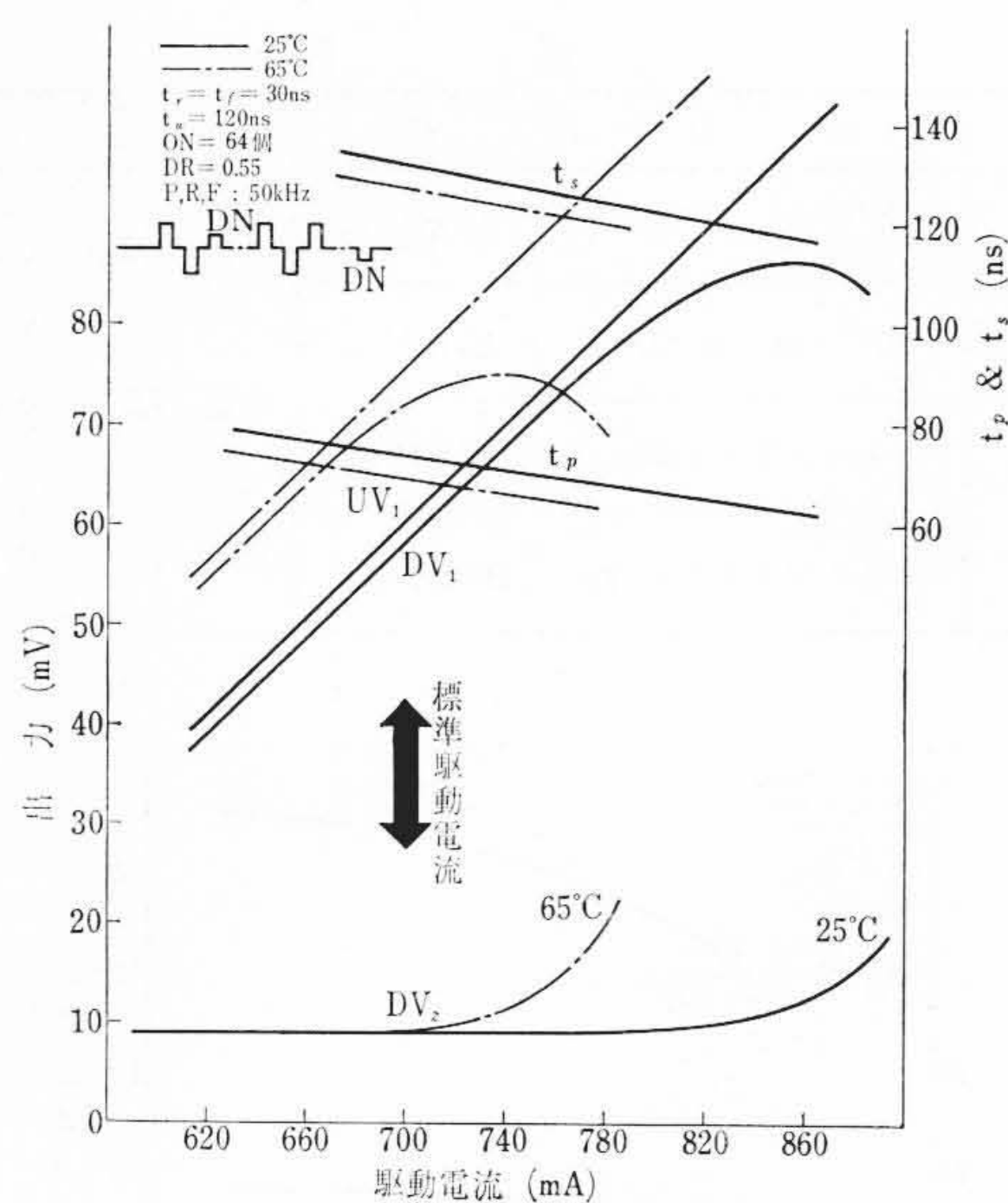


図7 HFC 182 電流, 温度特性

表2 電流, 温度係数

UV_1 電流係数	0.24 mV/mA
UV_1 温度係数	0.4 mV/°C
I_f 温度係数	1.55 mA/°C

表3 電流変動とプレッ, スタック出力の関係

電 流 変 動					プレッ, スタック出力	
読出し電流 回路素子による変動	書込み電流 回路素子による変動	読出し電流 電源変動による変動	書込み電流 電源変動による変動	記号	"1"	"0"
+3%	+2%	-3%	+2%	HL+	最大	最大
0	0	0	0	NN	標準	標準
-3%	-2%	+3%	-2%	LH-	最小	最小

あるので, スタック最高温度 35°C と合わせて, 65°C まで安定な動作が保証される必要がある。HFC 182 コアは図7に示すように, 標準駆動電流 $I_f=700$ mA にて, 65°C の温度に対してブレイクすることなくじゅうぶんに安全である。図7より電流, 温度係数を求めて示すと表2のようになる。

3.2 プレッ, スタック特性

高速で同一番地が連続してアクセスされた場合, コアはヒステリシス損により自己発熱する。連続アクセスのサイクルタイムとコア上昇温度の関係を示すと図8のようになる。アース板にコアをシリコン樹脂で固定すると, そうでない場合に比較し上昇温度が半分になり, 0.45 μ s において約 25°C 温度上昇する。コア出力のばらつき, 塗布作業のばらつきを考慮しても, 30°C の温度上昇に対してコア出力特性を保証すればじゅうぶんである。

プレッ, スタック特性に与える電流変動の影響については, 読み出し電流と書き込み電流が電源電圧変動により, とともに増大あるいは減少する場合と, 使用回路素子の特性のばらつきによるランダムな電流値分布をする場合とを考慮する必要がある。これら二つの変動要因の組合せとその変動範囲内での "1", "0" 出力の関係は表3のようになる。表3に示した三つの場合について, 電流と出力の関係, 温度と出力の関係を示すと図9, 10のようになる。Y側のデルタ雑音を避けるために, Y読み出し電流はX読み出し電流より30 ns 早く立上り, 同時に立下るスタカ駆動によっている。コア自己発熱はアクセスされているコアのみにかかわるものであるが, プレッ "0" の主体をなすデルタ雑音については平均温度が関係し, 図10には15°C から

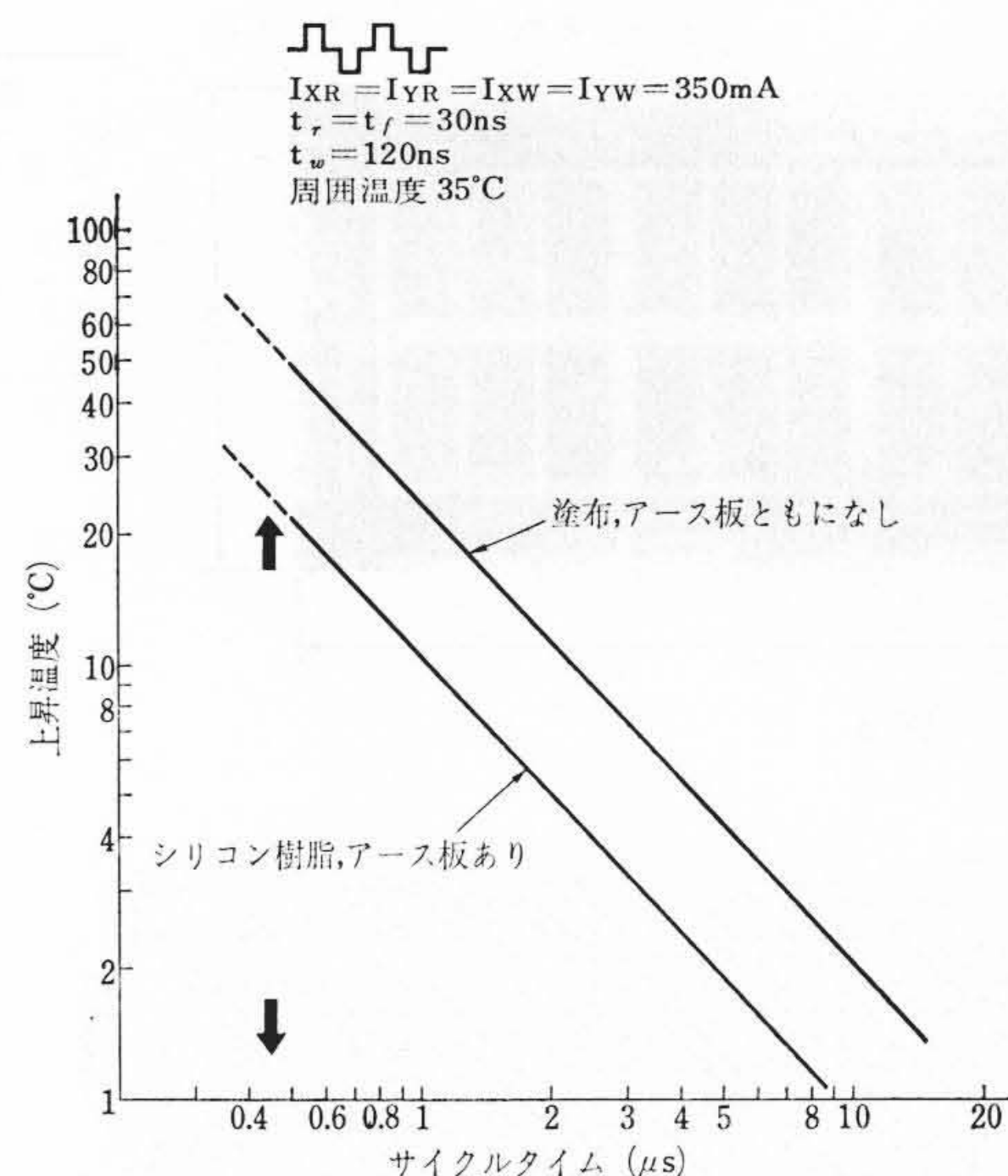


図8 連続アクセスされたときのコア上昇温度

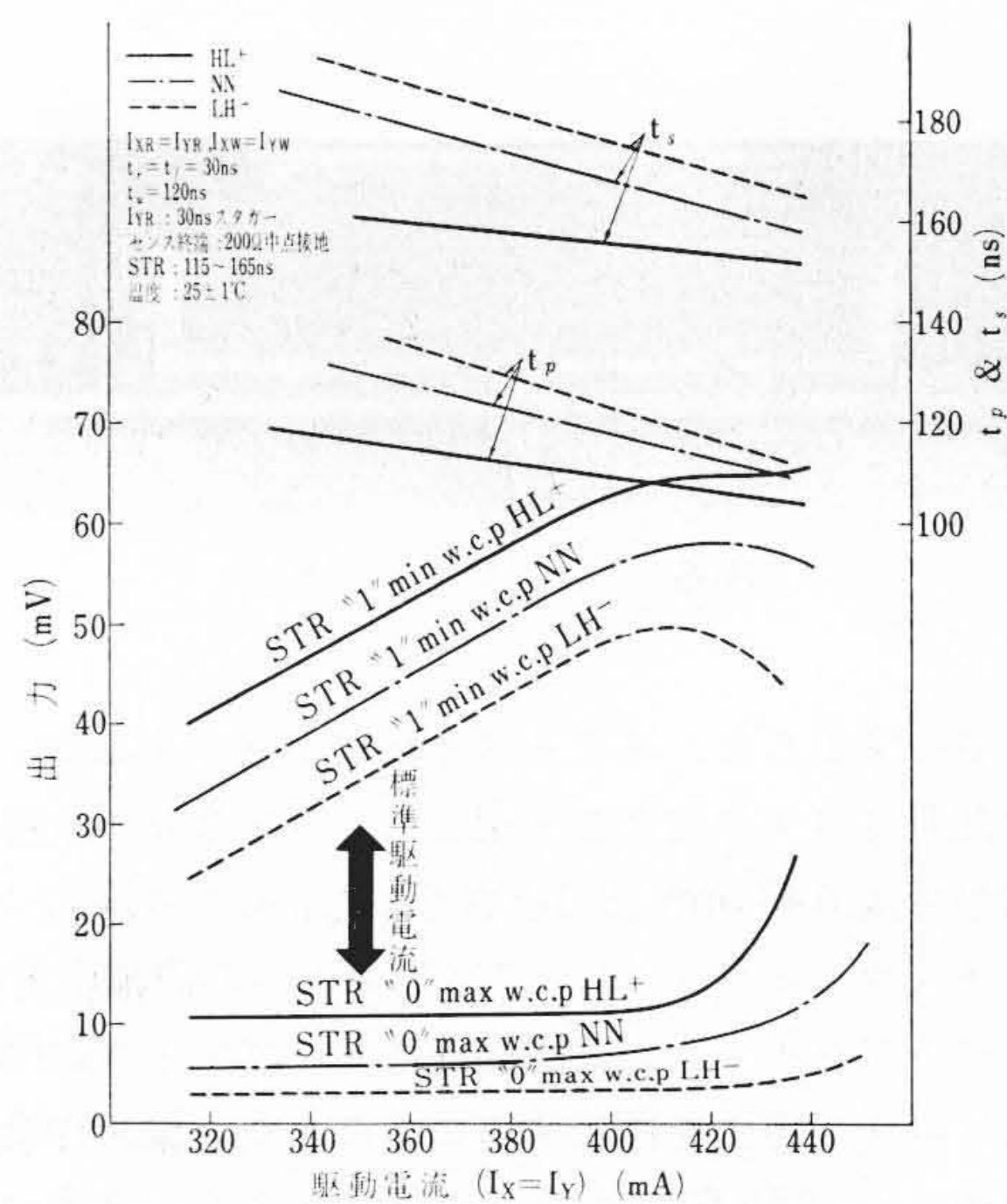


図9 スタック電流特性

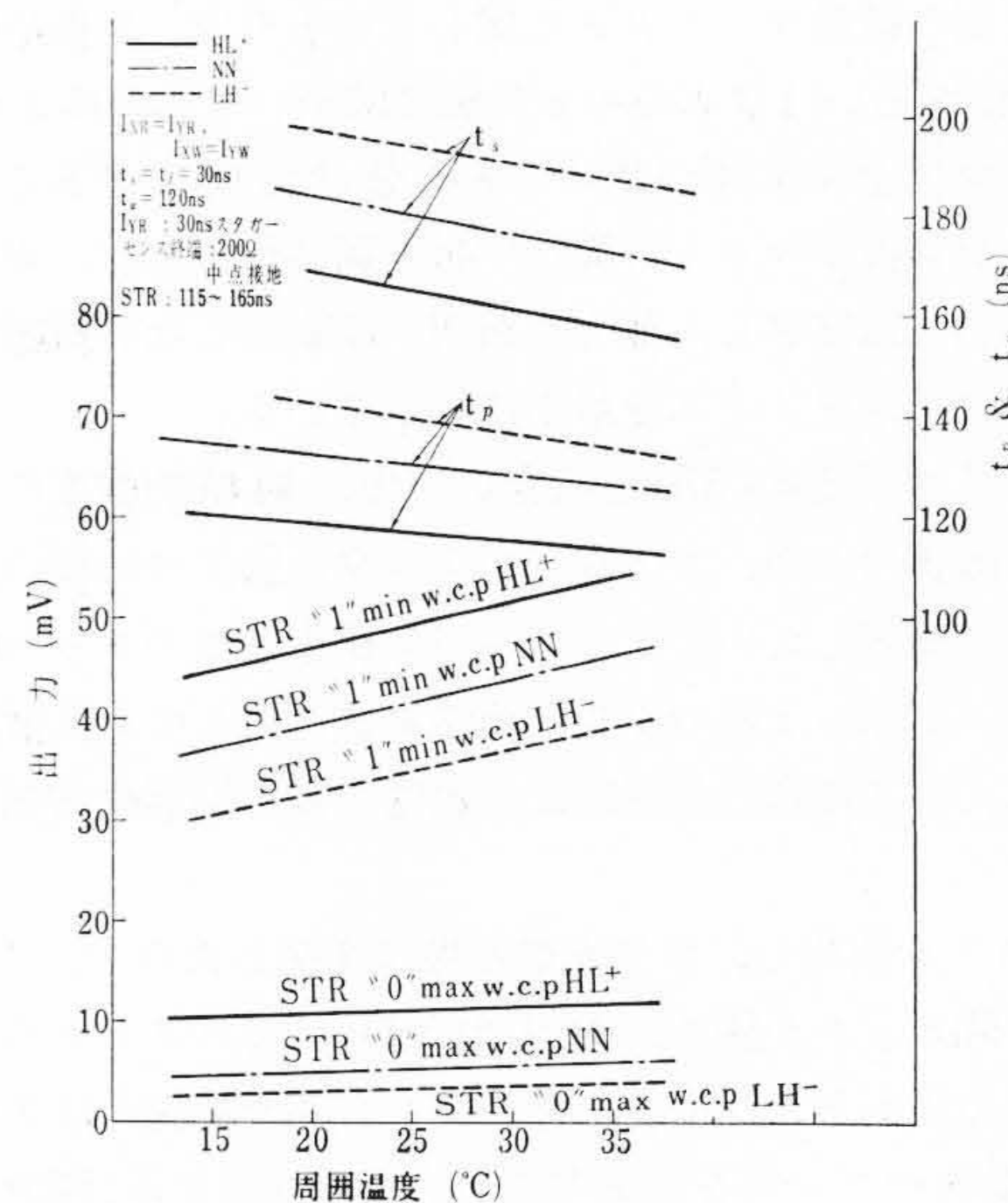


図10 スタック温度特性

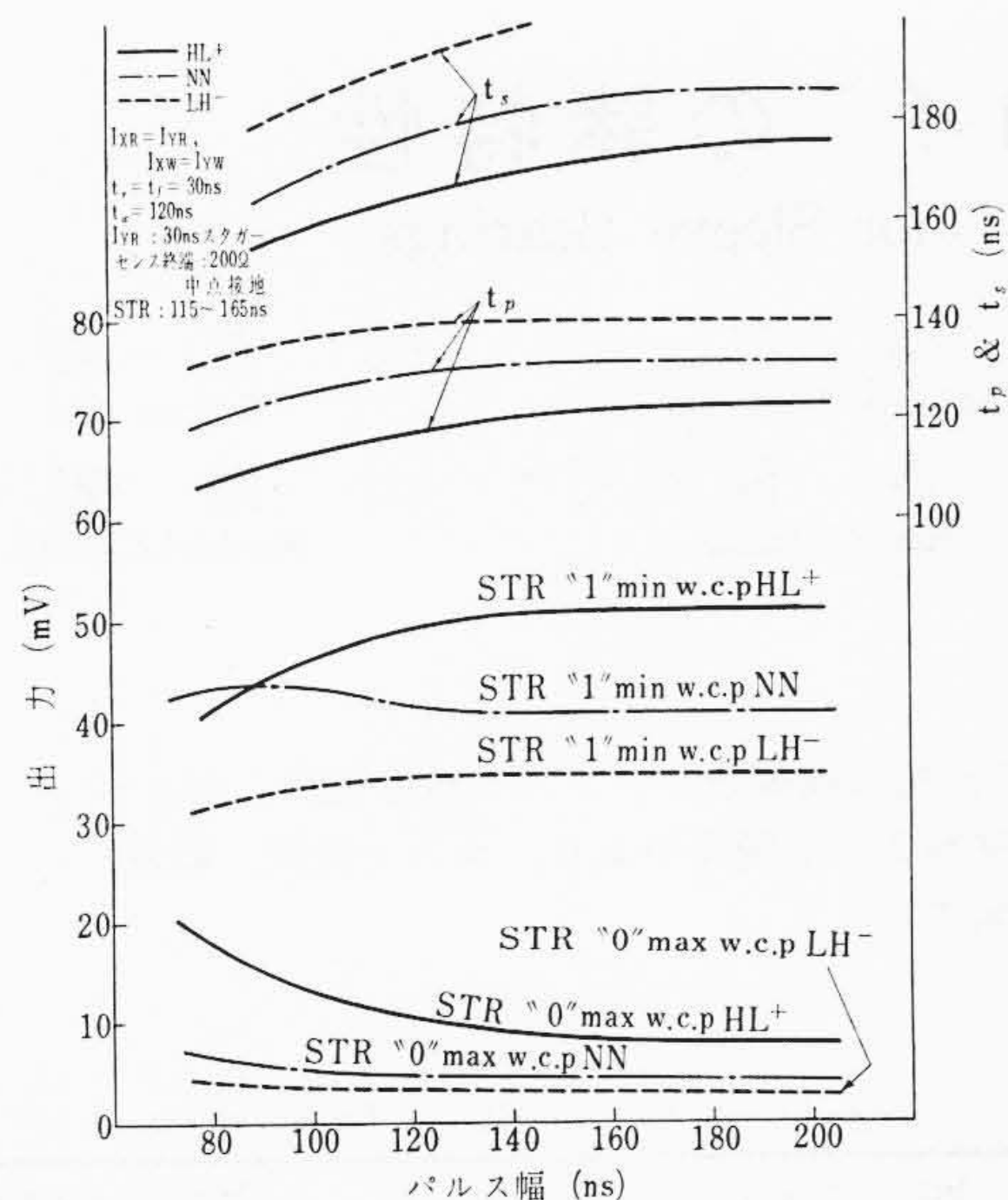


図 11 スタックパルス幅依存性

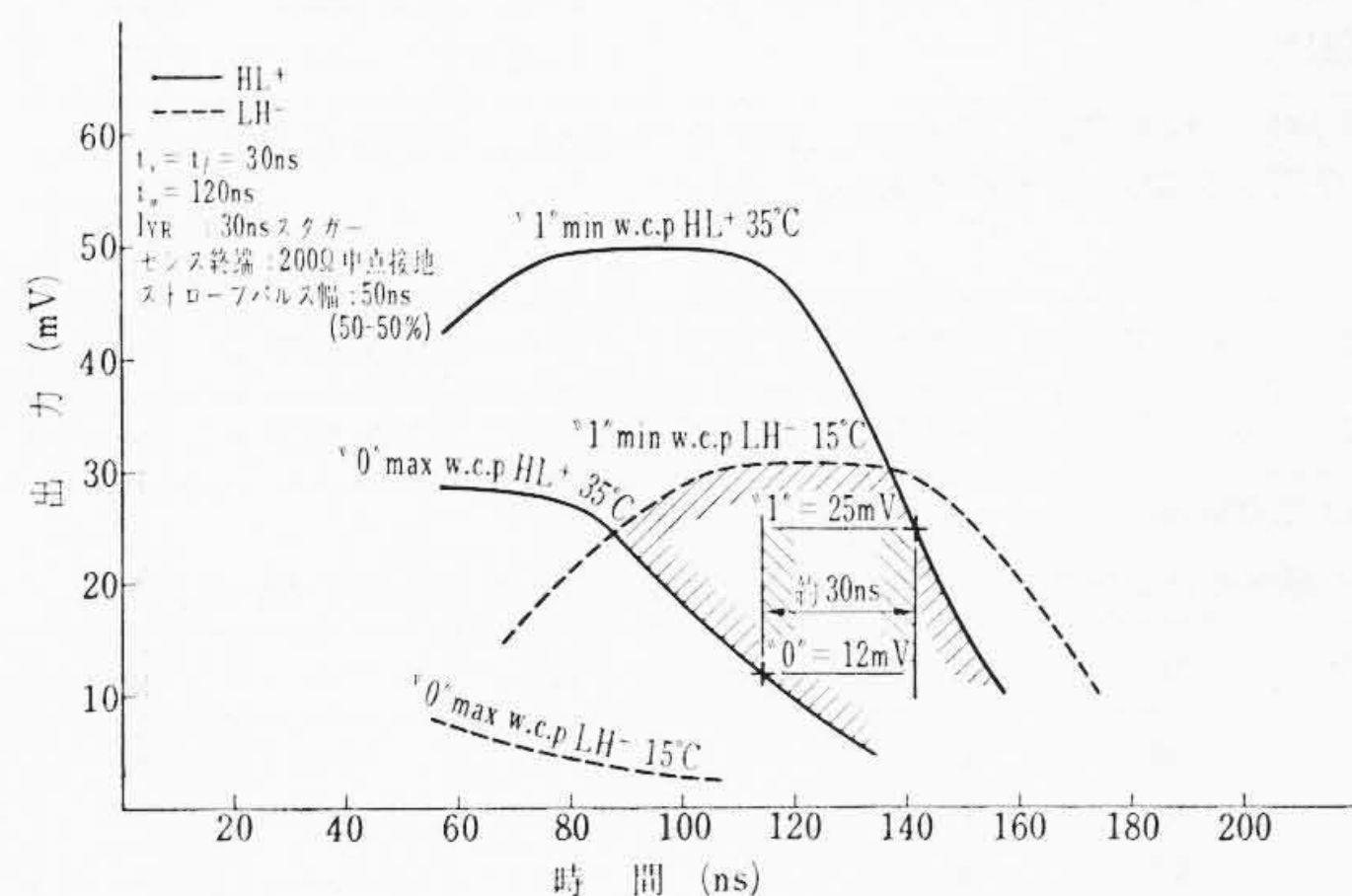


図 12 スタックストロブ位置裕度

35°C までの出力を示した。この温度範囲では出力は温度に対しゆるやかなこう配の直線関係を示し、準広温度域コアの特長がよく現われている。また、電流変動、温度変動の組合せが最悪の状態になったときでも、30 mV の“1”出力がでており、この種の高速コアを使用したスタックとしては出力が大きい。デルタ雑音は駆動電流パルス幅にも影響されるので、スタックのパルス幅依存性を調べた。図 11 がそれである。HL⁺ の条件で駆動されたとき、デルタ雑音 (“0” 出力) および “1” 出力へのパルス幅の影響が顕著で

表 4 スタック電気的特性仕様

標準駆動電流条件		出力規格 (標準駆動電流条件 25°C)	
X, Y 駆動電流	350 mA	“1” 出力 (w. c. p)	36 mV 以上
駆動電流立上り, 立下り時間	30 ns	“0” 出力 (w. c. p)	6 mV 以下
駆動電流パルス幅	120 ns (150 ns*)	スイッチングタイム	210 ns 以下**
ストロブパルス	115~165 ns**		

* Y 読出し電流は X 読出し電流より 30 ns 早く立上り同時に立下る。

** X 読出し電流の立上り 10% 点より測定する。

*** センス終端抵抗は 200Ω 中点接地。

あるが、本スタックはパルス幅 120 ns では、余裕をもって使用可能である。

以上はストロブ点を固定した場合の出力特性であるが、ストロブ位置を変えた場合について、電流変動 HL⁺, LH⁻, 温度 15°C, 35°C のもとでの出力特性を示したのが図 12 である。“1” については 35°C, HL⁺ のときが最も大きく、時間的に早く出力がでて、15°C, LH⁻ のときが最も小さく、おそい時点に出力がでる。“0” については 35°C, HL⁺ のときが最も大きい値を示している。センスアンプの弁別限界を “1” について 25 mV, “0” について 12 mV とすると、ストロブ位置裕度としては約 30 ns をもっている。表 4 は開発したスタックの電気的仕様を示したものである。

4. 結 言

以上、16 ミル 2½D 方式高速コアメモリストックの構造、電気的特性について述べた。本スタックは準広温度域高出力コアを、プレーナアレー方式によりアース板上にシリコン樹脂で固定する構造を採用しているので、実装密度が高く、信頼性にすぐれ、15~35°C の温度範囲にわたって駆動電流を補正することなく、サイクルタイム 0.45 μs 以下で安定に動作する。本スタックは工業技術院大型プロジェクトのパイロットモデル計算機の主記憶装置にご試用いただき、0.45 μs で動作中である。2½D 方式コアメモリは、パフォーマンス/コストが高いため、今後の高速大容量メモリとして期待される。

終わりに、本スタックの開発は日立製作所中央研究所、神奈川工場、茂原工場の密接な協力のもとに行なわれたものであり、中央研究所稲館研究員、神奈川工場橋本技師に負うところが大きいことを付記する。

参 考 文 献

- (1) T. J. Gilligan: IEEE Trans. on Electronic Computers, EL-15, p. 475 (Aug. 1966)
- (2) D. W. Moore: Proc. Fall Joint Computer Conference, p. 267 (1966)