

計算機の割込み制御方式

現代の高性能電子計算機の大きな特徴の一つは、多重プログラミングの能力である。複数のプログラムを並行して実行することにより、計算機自身の高速処理能力をむだなく生かし、オンライン・リアルタイム処理などの高度な情報処理も、はじめて可能になる。

複雑な多重プログラミングの正確な遂行は、割込み処理という機能によって保障される。割込みは、入出力動作の完了、誤りや異常状態の検出、あるいはオペレータの介入など、さまざまな要因の発生に基づいて、プログラムの流れを一時的に変える働きをする。多くの割込み要因を持つ計算機においては、要因ごとに優先順位を設け、それによって割込みを実施することが、システムの正常な維持のために欠かせない。この場合、複数の割込み要因の中から、最も優先順位の高いものを検出する作業が必要となる。

割込みの受付に当っては、まず、割込み要因レジスタにおいて、要因発生を示すビット“1”の中から、最優先順位を持つものを選択し、これを割込み処理を行なうソフトウェア・ルーチンに知らせるため符号化し、さらに受付完了を示すため、すでに検出された割込み要因レジスタのビットを“0”にリセットしなければならない。

このような割込み制御の作業を行なうため、従来の計算機が採用してきた方式は、多数回のシフトを必要とするため時間がかかりすぎたり、あるいは専用の論理回路を設けるため非経済的であるなどの難点を持っていた。

したがって、このような問題の解決を目的として、簡単な数学的処理と符号化回路により、割込み要因の優先検

出を、短時間にしかも経済的にできるようにしたものが本発明である。すなわち、割込み要因レジスタを中心に、数回の2進法演算を行なうことにより、最優先の割込み要因を示すビットのみを“1”として残し、これを簡単な論理回路によって符号化するとともに、このビットのリセットも容易に行なうことができる。

HITAC8000シリーズに採用されたこの割込み制御方式では、従来のようなシフト機構を必要とせず、割込み検出の時間が大幅に短縮され、また、簡単なハードウェアの追加だけですむため、計算機のコスト低減にも有利な効果をもたらした。

写真はHITAC8000シリーズに使用されている割込み制御のための符号化回路。

「計算機割込制御方式」特許第547405号

「大形電子計算機特集」のおもな関連特許

記憶装置記憶内容破壊防止 特許第553324号

データ通信制御装置における制御装置 特許第606046号

行印刷機制御方式 特許第558808号

アドレス選択回路 実用新案第877385号

日立製作所ではすべての所有特許権を適正な価格で皆さまにご利用いただいております。

ご希望の場合は下記までご連絡ください。

問合先：日立製作所本社特許部

電 話：東京 (03) 270-2111 (大代)

住 所：東京都千代田区大手町2-6-2 (日本ビル) 〒100

