

NTL・LSIで構成した小形コンピュータの試作

Trial Manufacture of a Small-sized Computer Using NTL-LSI's

川島 健一郎* 向井 久和* 川勝 文磨**
Kenitirô Kawasima Hisakazu Mukai Fumimaro Kawakatu古賀 恵義*** 諏訪 重敏****
Keigi Koga Sigetosi Suwa

A logic circuit named NTL (standing for Non-threshold Logic Circuit) has been developed by the Musashino Electrical Communication Laboratory, Nippon Telegraph and Telephone Public Corporation. It compares favorably in speed with any other logic circuit forms in use. In addition, it features extremely small power dissipation.

If high degree of integration could be achieved by making best use of these merits the concept of computer design might possibly be radically changed. In a challenge to this possibility the authors redesigned Hitachi's mini-computer (H-10) using NTL-LSI's. This article introduces their attempt and the results.

1. 緒 言

電算機に用いられる論理回路は入力パルス信号に対する出力パルス信号の遅れ時間の多寡によってその速度の遅速を表わしている。日本電信電話公社武蔵野電気通信研究所で開発されたNTL (Non-threshold Logic) はこの値が 2 ns ($2 \times 10^{-9}\text{ s}$) より小さく、これは現在最高速論理回路とされているCMLに匹敵する速さであり、そのうえ都合のよいことにパルスの立上りならびに垂下特性がなだらかであるため、伝送線路の不連続に基づく反射などの発生が少なく実装配線に関する制約は同一速度のCMLに比べてゆるい。

何よりもすぐれていることは消費電力が小さいことでゲートあたり 4 mW 程度である。図1に示すようにこの種の論理素子は高速のものほど高電力消費となる傾向があり、集積度を上げてLSI (Large Scale Integration) 化する場合に微小体積のチップ内

での発熱量がその集積度の限度を決める最大の要因であるところから、NTLのゲートあたりの消費電力が小さいことはこの上限を伸ばして従来容易に得られなかった高集積化、高速論理素子の製造を可能にしてくれる。

このように微小なチップ上で配線が完結してしまう部分が増大すると、配線の中をパルス信号が走り回るために生ずる時間遅れを無視できるようになるので、回路自身の遅れ時間プラス配線上を走る時間で表わされる実効的な遅れ時間を短くすることができる。これは高速電算機を設計するうえで非常にありがたいことなのでNTLを使ってどのくらいまで集積化できるのか、またその場合CAD方式としてどの程度のものを用意すべきであるのかを確かめるため日本電信電話公社・武蔵野電気通信研究所のご指導のもとに日立製作所、日本電気株式会社、富士通株式会社4社で協同研究を行ない、この確認のための試作機を設計、製造した。

目的はLSIの試作とその動作試験にあるため、この目的のために特別な論理設計を行わず、HITAC 10の論理設計をそのまま借用して、これをLSI化するのにとどめた。この結果HITAC 10のプログラムがそのまま試験用として利用できたため評価を行なうにはきわめて好都合であった。

2. 試作機の概要⁽¹⁾

本機は実験機であるため試験測定 of 便宜を考えて図2のような移動架に組み込んだ。それぞれのパネル別に主要目を整理して示したものが表1である。図2は正面からの外観図で表1と正確に対応して図示されていない部分があるので裏面のふたをあけてメモリ部、論理部、入出力制御部の配置を示したのが図3である。

図3中に論理部と表示した部分は $210\text{ mm} \times 457\text{ mm}$ 、厚さ 1.9 mm の6層多層プリント基板でこの上に60ピンのパッケージに収められたLSI 21個がリフロー溶ダ方式で積載されている。パッケージの高さを含めて実装後の全厚みは約 6 mm 弱であるから、HITAC 10の場合の実装体積の約 $1/10$ である。

論理分割をどのように行なったかを示したものが図4である。図中点線で囲んだ部分が1パッケージ内に収容した論理で当然のことながらあまりレピータビリティはよろしくない。まとめて表記すると表2のようになる。この種の高速論理素子で100ゲートを越す集積度を得ることができたのはNTLの低消費電力性によるものである。

表1に略記したように本機の電源はサイリスタを使用した 10 kHz

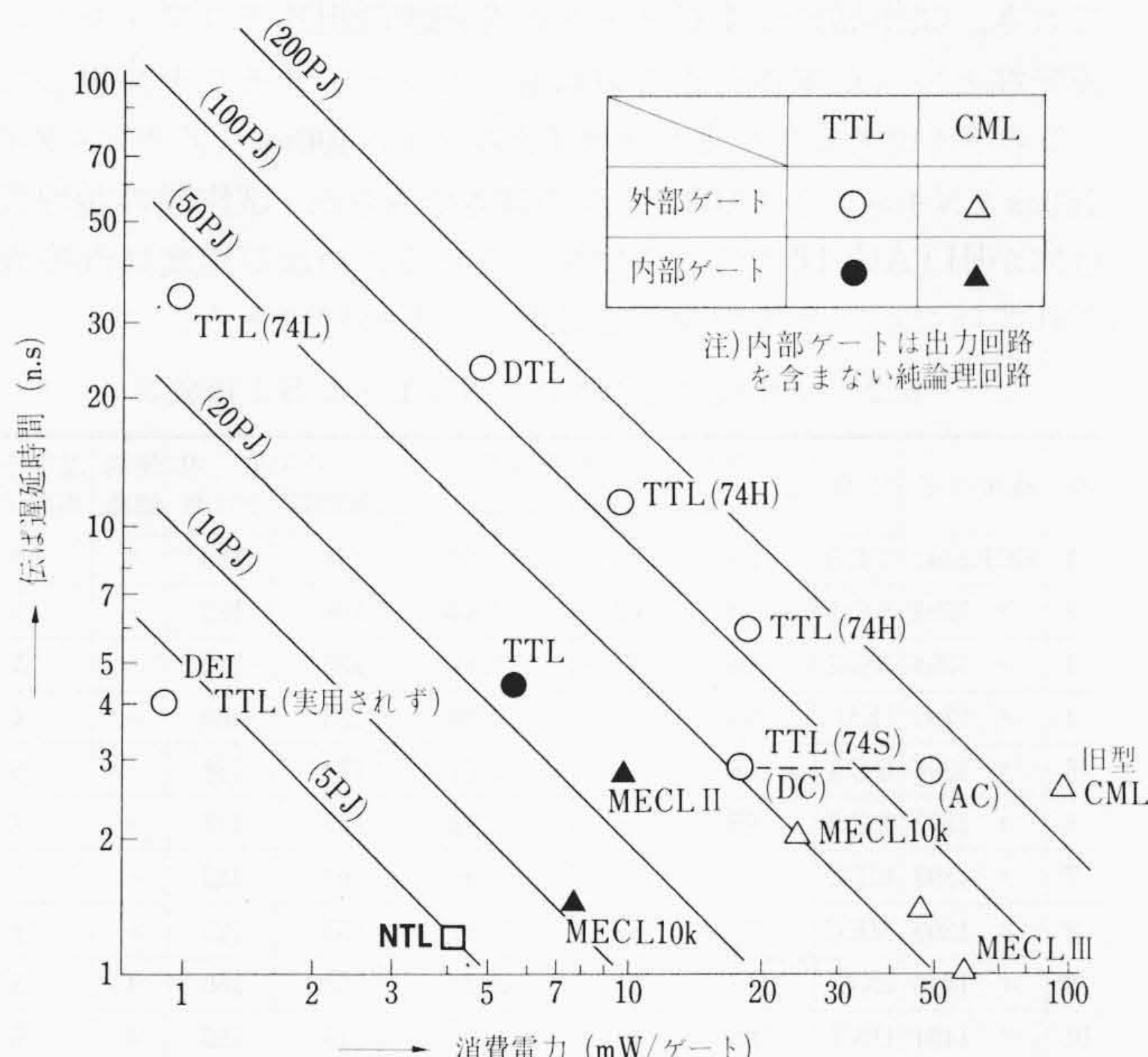


図1 主要高速論理回路の遅延時間と消費電力の関係

* 日本電信電話公社武蔵野電気通信研究所
** 日立製作所戸塚工場
*** 日立製作所神奈川工場
**** 日立製作所旭工場

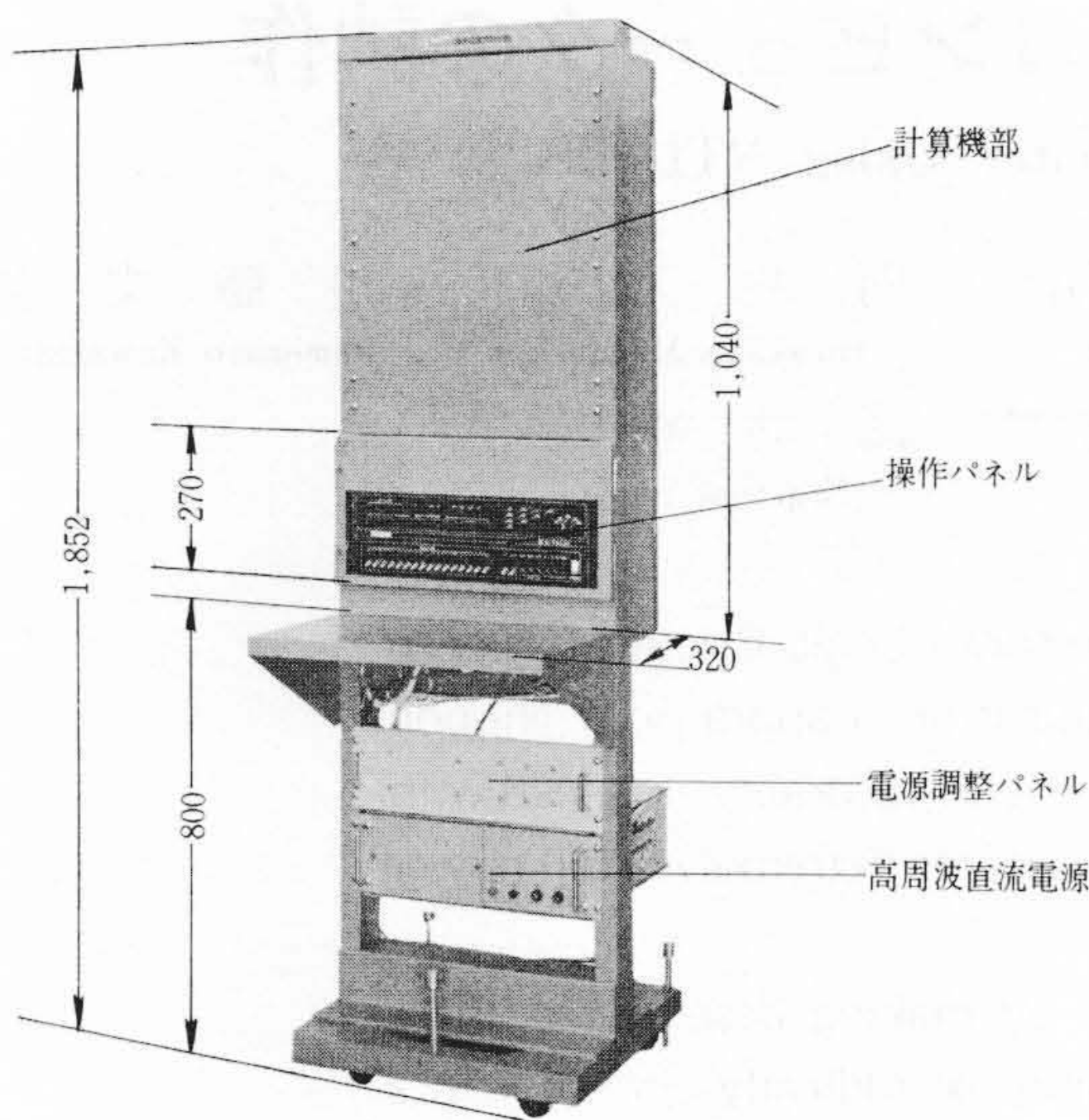


図2 試作機の外観

表1 試作機の主要構成要目

類 別	要 目
計 算 機 部	演算論理パネル NTL・LSI 21個(12品種), NTL-TTLレベル変換素子 44個積載 6層キャップレアー多層プリント回路板
	メモリ・パネル ワイヤ・メモリ 8kバイト(1kワード) アクセスタイム:160ns サイクルタイム:400ns(W→R) 非破壊読出方法(NDRO)可能
	入出力制御パネル 8kバイトのコアメモリ(予備)含み 210×457mm ² の多層プリント回路板上に実装入出力インタフェースを構成
操 作 パ ネ ル	表示灯にGa-Asランプを使用 TTLで駆動 HITAC 10の操作パネルと同一構成
高周波応用直流電源パネル (含調整パネル)	自然転流正弦波インバータ方式(2) 入力 100V AC 1φ 50Hz インバータ出力10kHz +20V(5A) +10V(5A) +5V(12A) -2V(9A) -10V(5A)
き よ う 体	移動架形式にして操作卓を設ける。計算機部電源 部それぞれに通風用のファンを別個に設けてある、 キャスター付

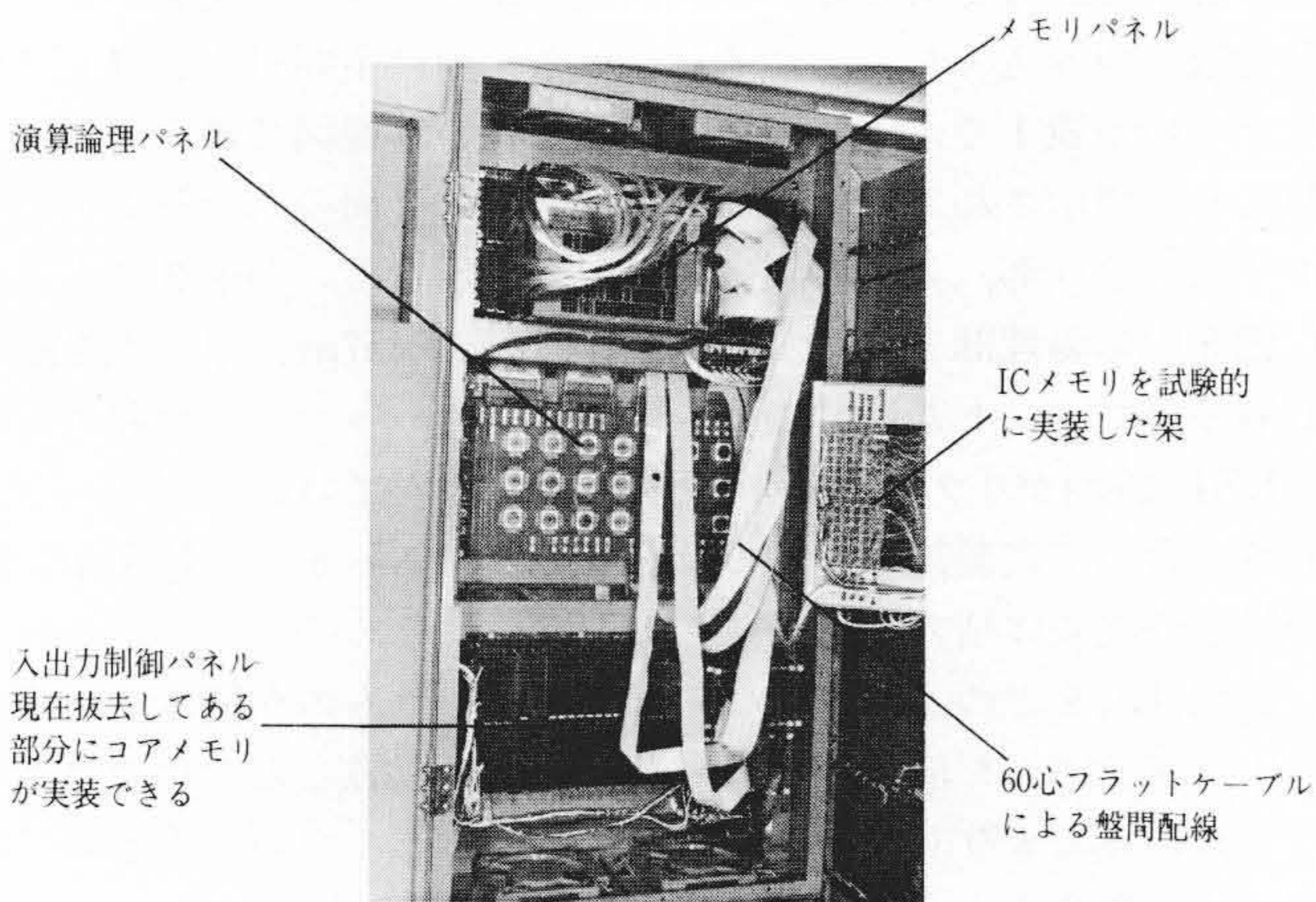


図3 計 算 機 部 の 詳 細

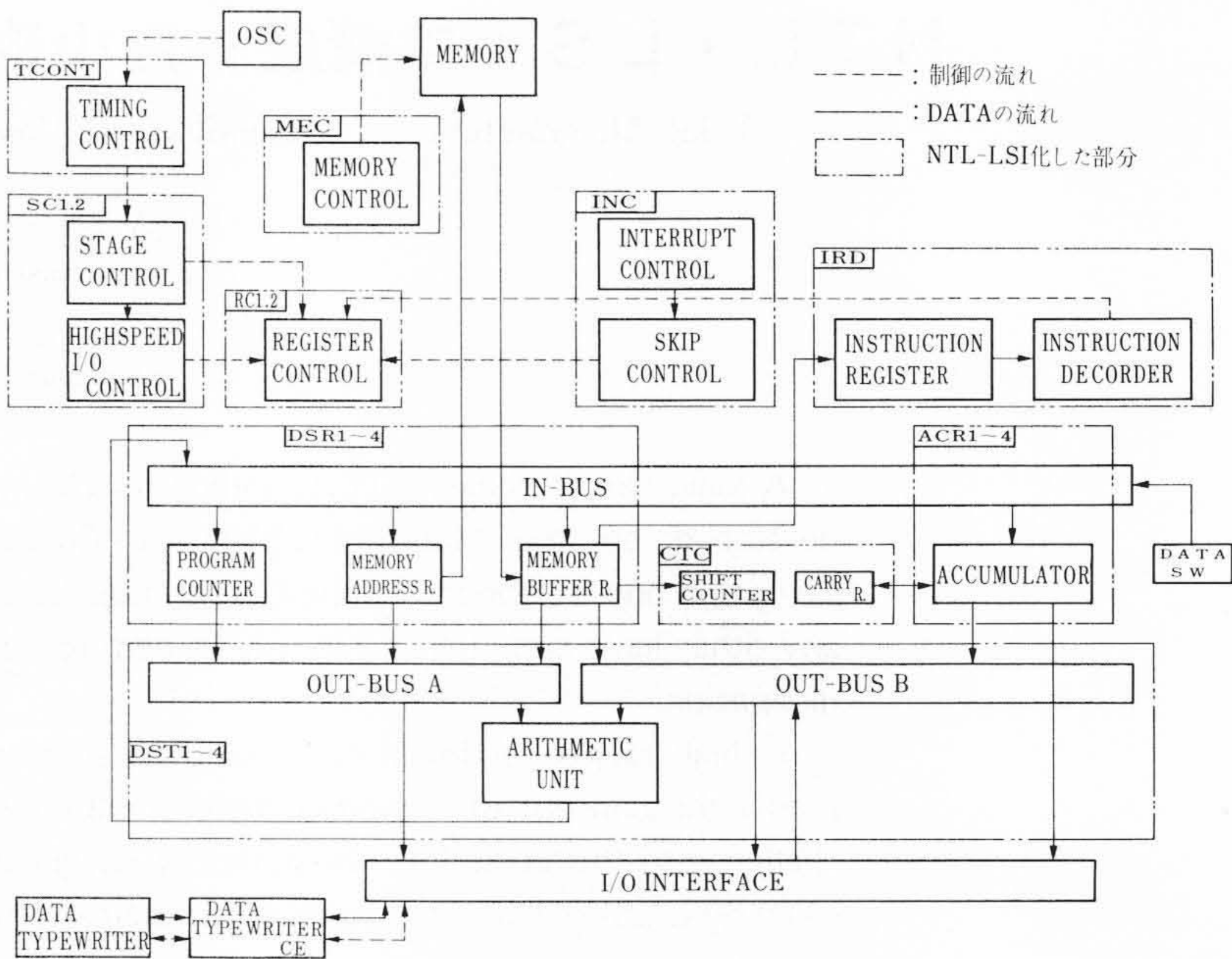


図4 本機の論理ブロック図とその分割図

の高周波応用の電源である。LSIにより論理部を小形軽量化しているのに電源のみ従前の重量大きさでは不つりあいを生ずることになるかと考え、試作の一環として図5のような方式の電源を日立製作所日立工場で試作した。結果は良好であったが周波数が可聴音域にはいっているため磁心の磁歪(わい)などから可聴音を生じているのが多少不ぐあいな点と思われる。

また、表示灯に白熱球を用いず発光ダイオードを用いて長寿命化と低電圧駆動を試みた。TTLが供給電圧5Vで作動するので同じく5Vで動作する発光ダイオードはぐあいがよい。パネルへの取り付けもソケットを用いず直接はんだ付で行なわれている。

HITAC 10のメモリはコアメモリであったが本機ではワイヤメモリを使用している。LSI化された計算機のメモリとしてはやはりICメモリにしたいところであったが、容易に入手できる国産品もないところから試験的に取り付けて評価できるようにのみしておき、試作品にはICメモリの非破壊読出性とコアメモリの不揮発性という双方の利点を兼ね備えたワイヤメモリを使用した。

このワイヤメモリの速度はサイクルタイム400ns、アクセスタイム160nsとNチャンネルMOSなみの速さであるが、試作機の論理設計自体がHITAC 10そのものになっているため演算速度に直接寄与されていない。今後の改善を必要とするわけである。

表2 試作機に使用されたNTL・LSI構成表

No.	通研品名	略 称	注1 ゲート数	注2 端子数	端子数 ゲート数	注3 配線数	使 用 セル数	使用 個数	温度上昇 実測値(C)
1	ECL1392	TCO	64	42	1.52	134	188	1	10
2	" 1393	SC 1	84	42	2.00	158	183	"	10
3	" 1394	SC 2	68	37	1.84	136	172	"	5
4	" 1395	IRD	93	43	2.16	178	180	"	6
5	" 1396	RC 1	86	50	1.72	154	108	"	5
6	" 1397	RC 2	95	48	1.98	167	117	"	7
7	" 1398	CTC	82	41	2.00	161	183	"	7
8	" 1399	MEC	79	52	1.52	151	123	"	4
9	" 1400	INC	113	51	2.22	208	160	1	5
10	" 1401	DST	128	47	2.72	245	150	4	6
11	" 1402	ACR	96	37	2.60	193	164	"	6
12	ECL1403	DSR	39	35	1.11	91	184	4	6
全 品 種 平 均			85.6	43.8	1.95	164.7	151		

注1：F/Fは1ゲートと算定

2：端子数は電源ピンを除いてある。

3：配線数は区間数で示す。

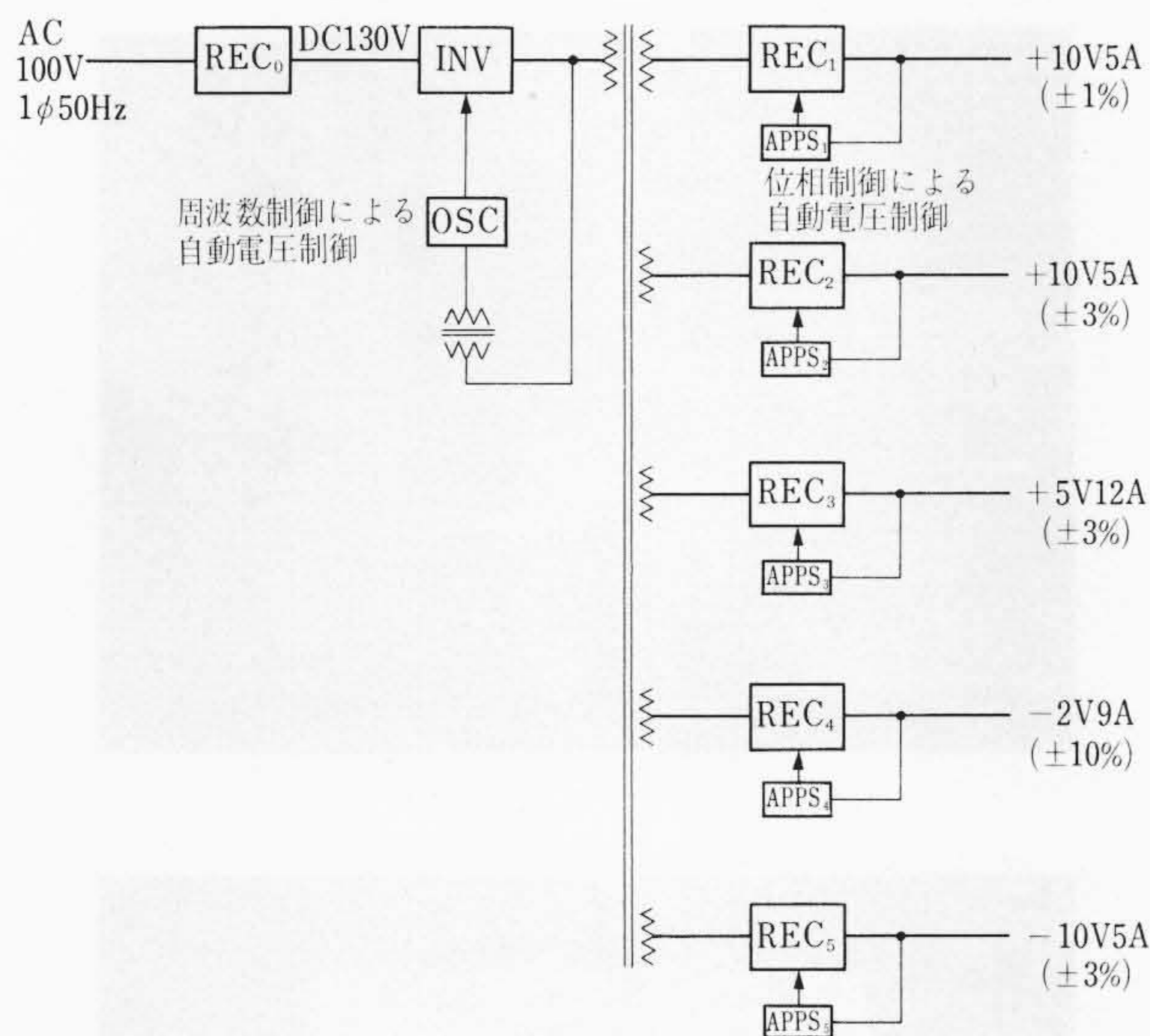


図5 本機に使用した高周波応用直流電源

3. NTL・LSIの設計と試作

NTLの基本回路^{(1),(3),(4)}は図6に示すように2個のトランジスタと2個の抵抗、1個の容量で構成されるものであるが、用途によって図7のようにトランジスタ1個を付加して若干しきい値をもった形にしたものを用いることもある。またときにファン・アウトを多くとる目的で並列に2個のNTLをつないだものを用いることもあるが、基本になるのは図6の回路と考えてよい。これを5.5mm×5.4mmのチップの上に図8のように約200個作りつけておき、この上に図9のような配線パターンを施して任意のLSIを具現する。図8がいわゆるマスタ・スライスで、この上に施す2層の配線はちょうどプリント基板の配線パターンと同じような考え方で直交する2層の配線間をスルーホールでつないで平面上の2点を相互接続して行く。このパターンの設計はすべて電算機を利用して行なわれるところからCAD (Computer Aided Design) 方式と呼ばれているが、今回はこの目的に通研と協同で開発したDAP (Dendenkosha-Artworking Program)⁽⁵⁾⁽⁶⁾と呼ばれるマスク自動作成プログラムによって実際の設計を行なった。

図8の基本回路のパターンと図9の配線の組合せの実態を明らかに示したものが図10である。ハッチングした部分は図9に示し

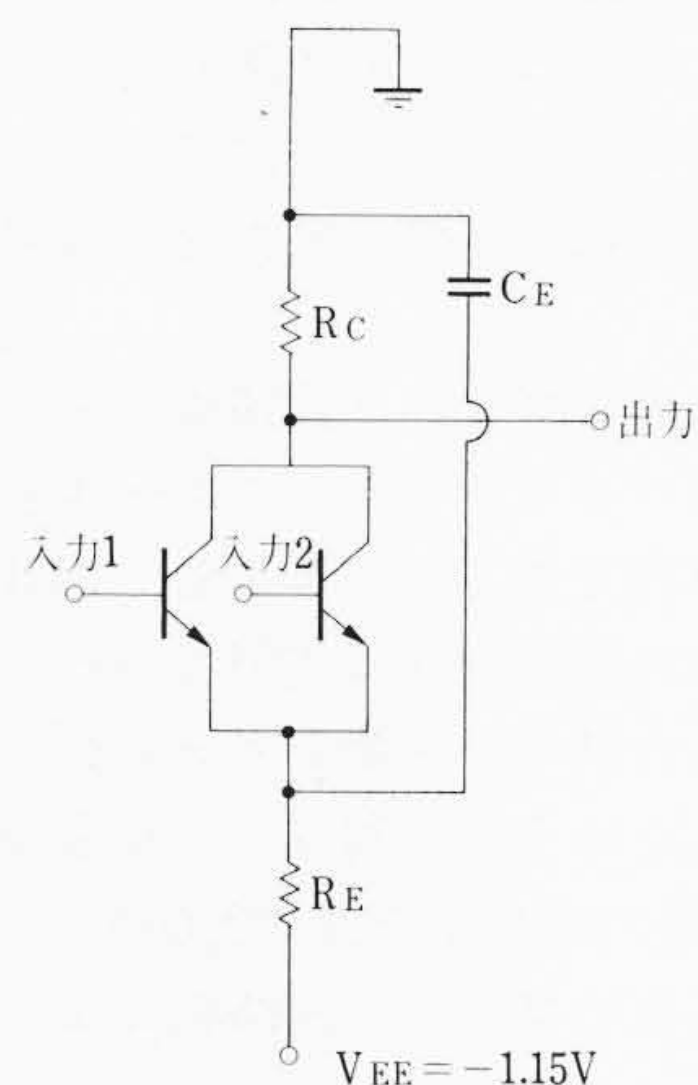


図6 分布しきい値論理回路 (NTL)の基本ゲート

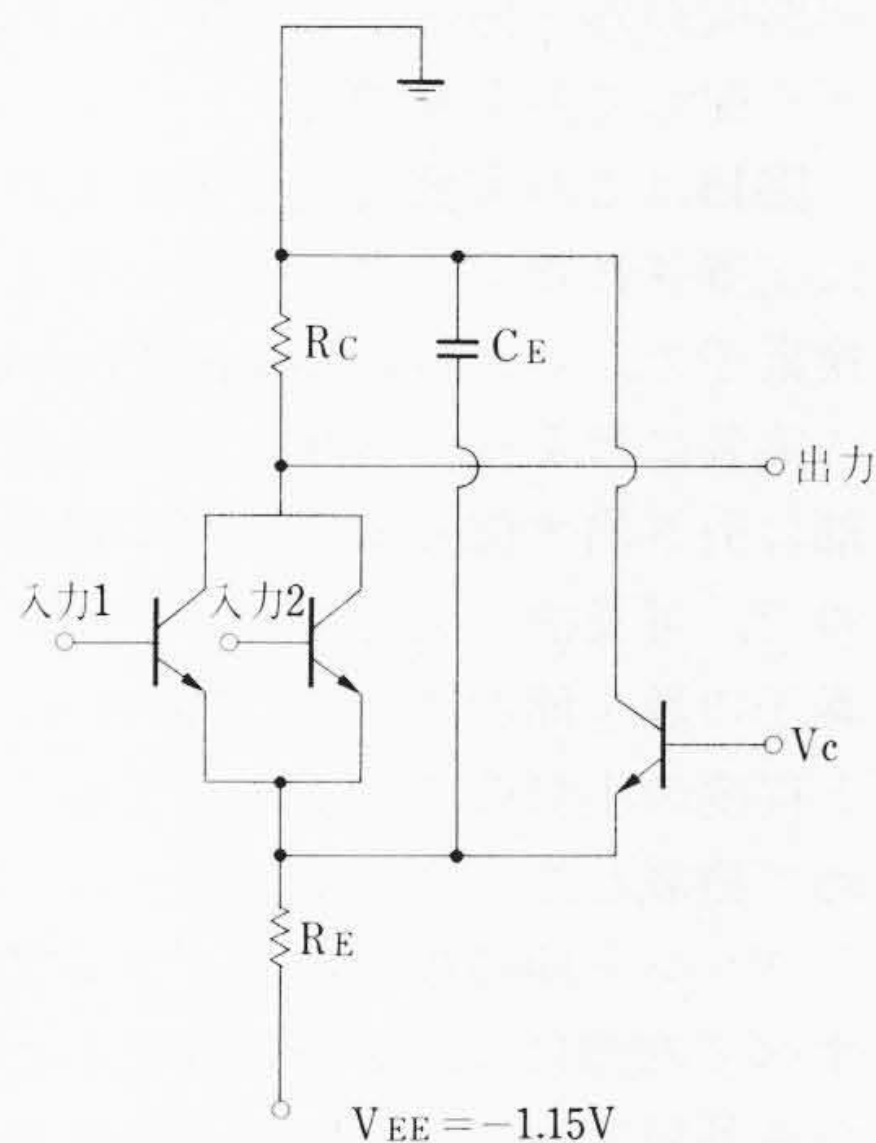


図7 中間的なしきい値特性を有するSTL (Semi Threshold Logic)

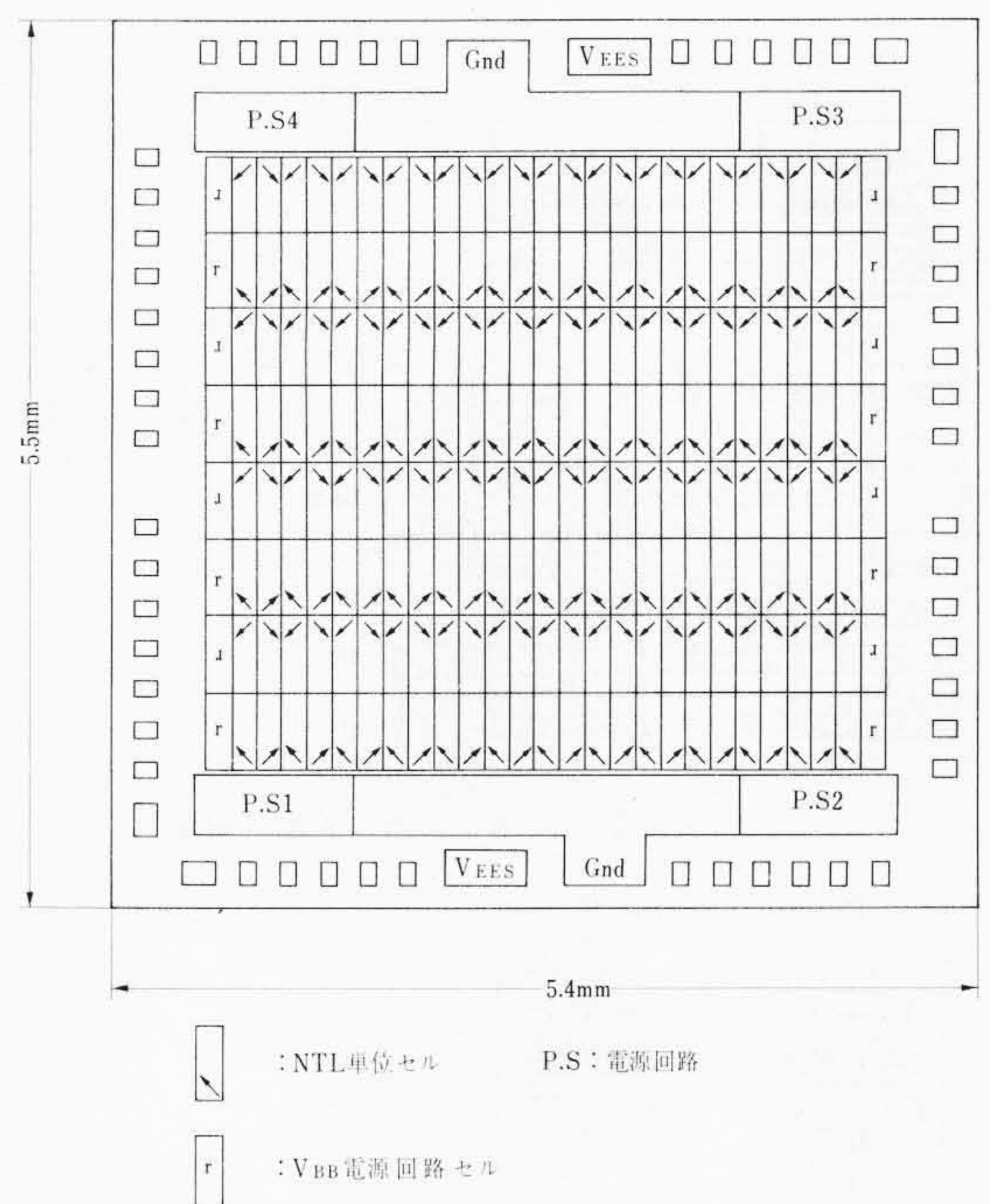
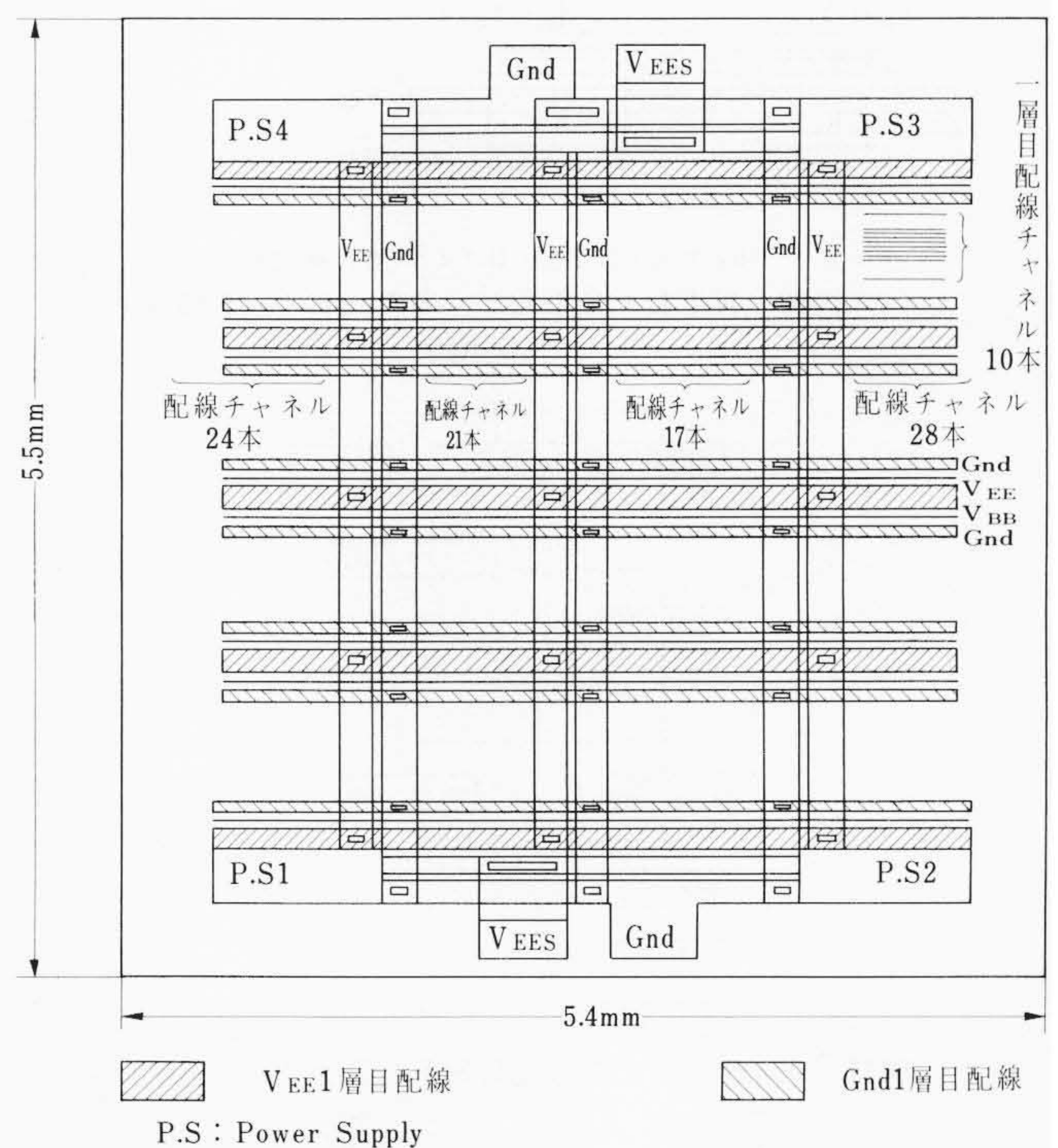


図8 NTLマスタスライスのセル構成



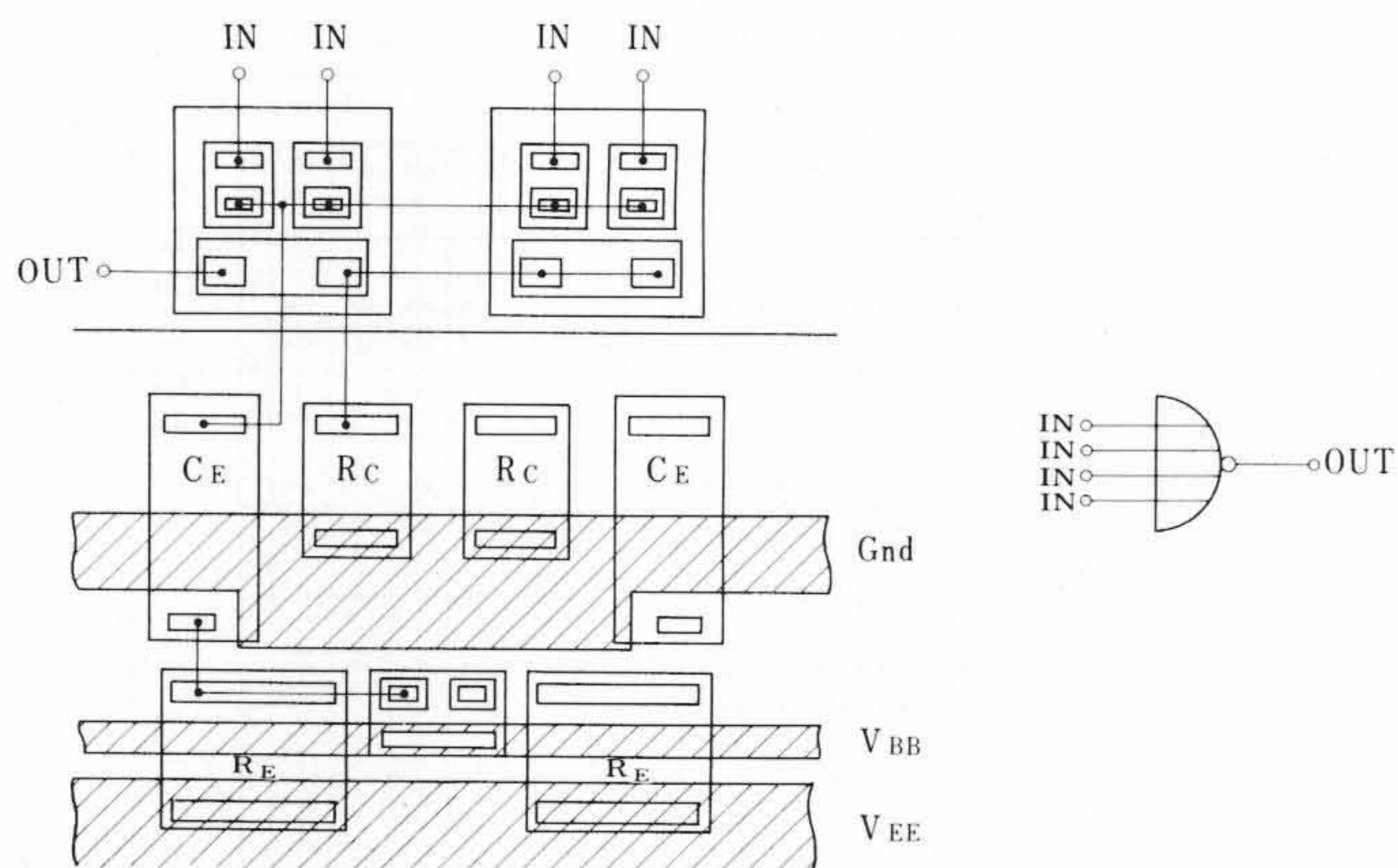
(a) 電源パターン配線チャンネルの全体構成

図9 配線割付け図面

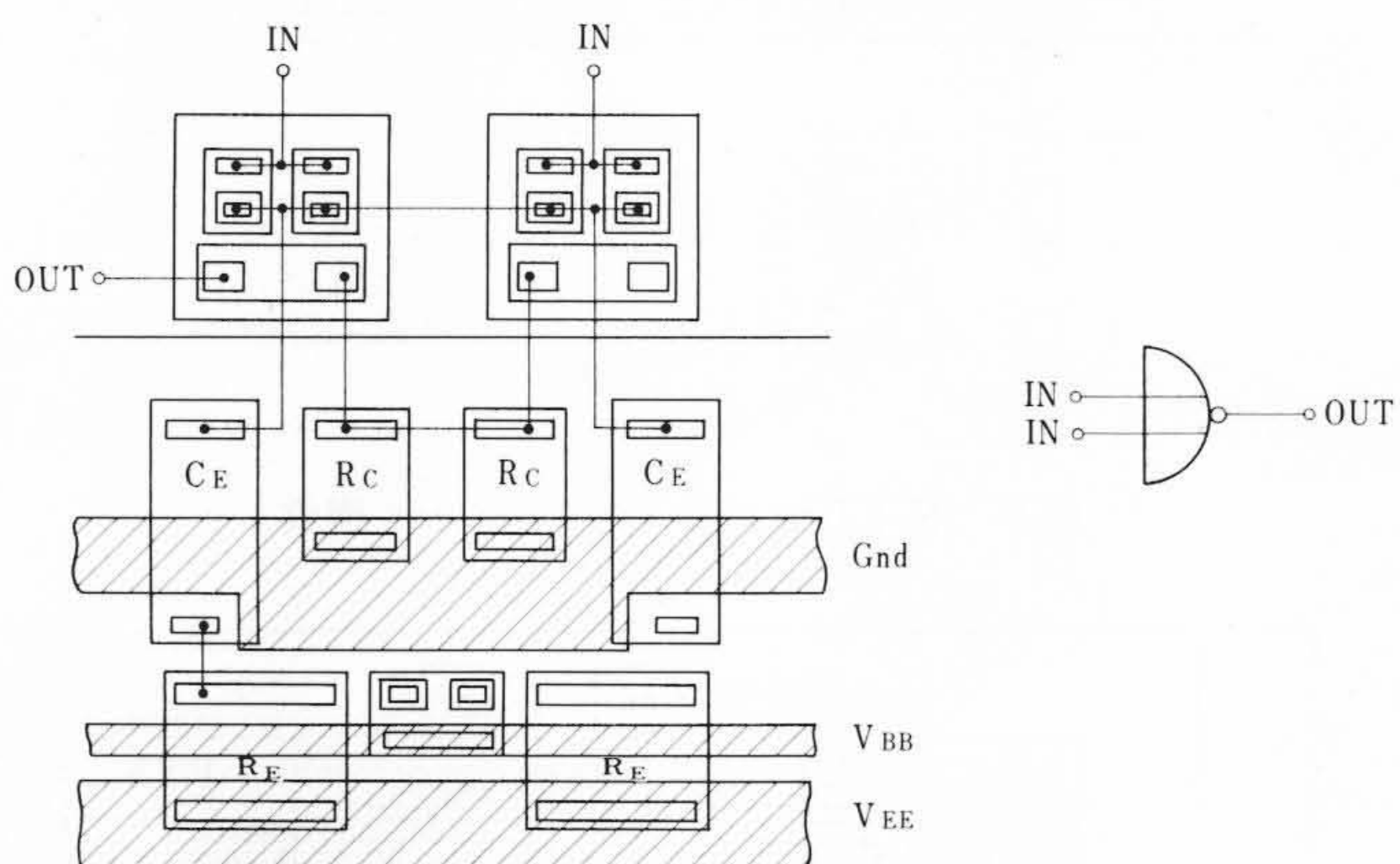
た電源供給用のラインで、この間にそれぞれの本数の縦、横の素子間をつなぐ配線用の細いラインが交錯して相互接続をするようになっている。

説明が前後したが図9中の四すみにP Sと図示してあるのは電源の安定化回路で、この種のLSIにあっては供給電圧の変動が非常に大きく利(き)いてくるため内蔵の安定化回路をもって変動を吸収するように考慮されている(供給電圧-2Vを安定化された-1.15Vにしている)。

図11は上記したLSIの設計手順をフローチャートで示したものであり、図12は配線設計のフローチャートを示したものである。図13, 14はNTL・LSIのチップならびに実装状況の写真である。



(a) 4入力STL・Aタイプ(4SA)の構成



(b) 2入力NTL・Bタイプ(2NB)の構成

図10 NTL・STLゲートのパラメーク構成

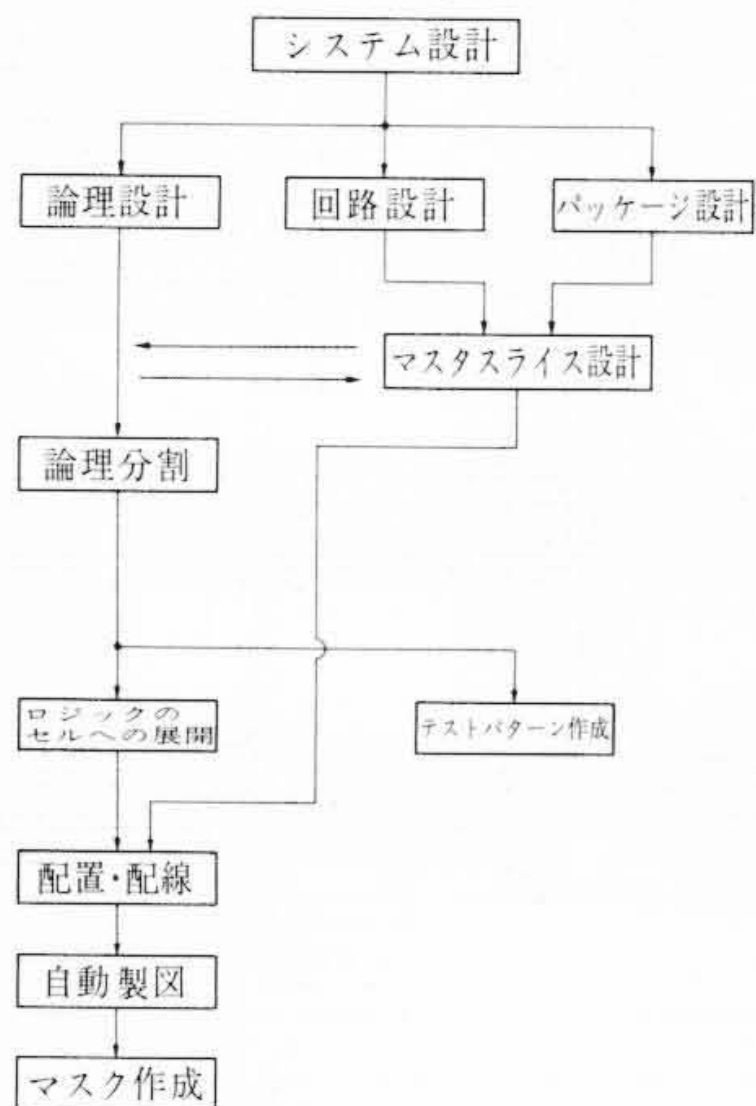


図11 マスタスライス方式LSIの設計フローチャート

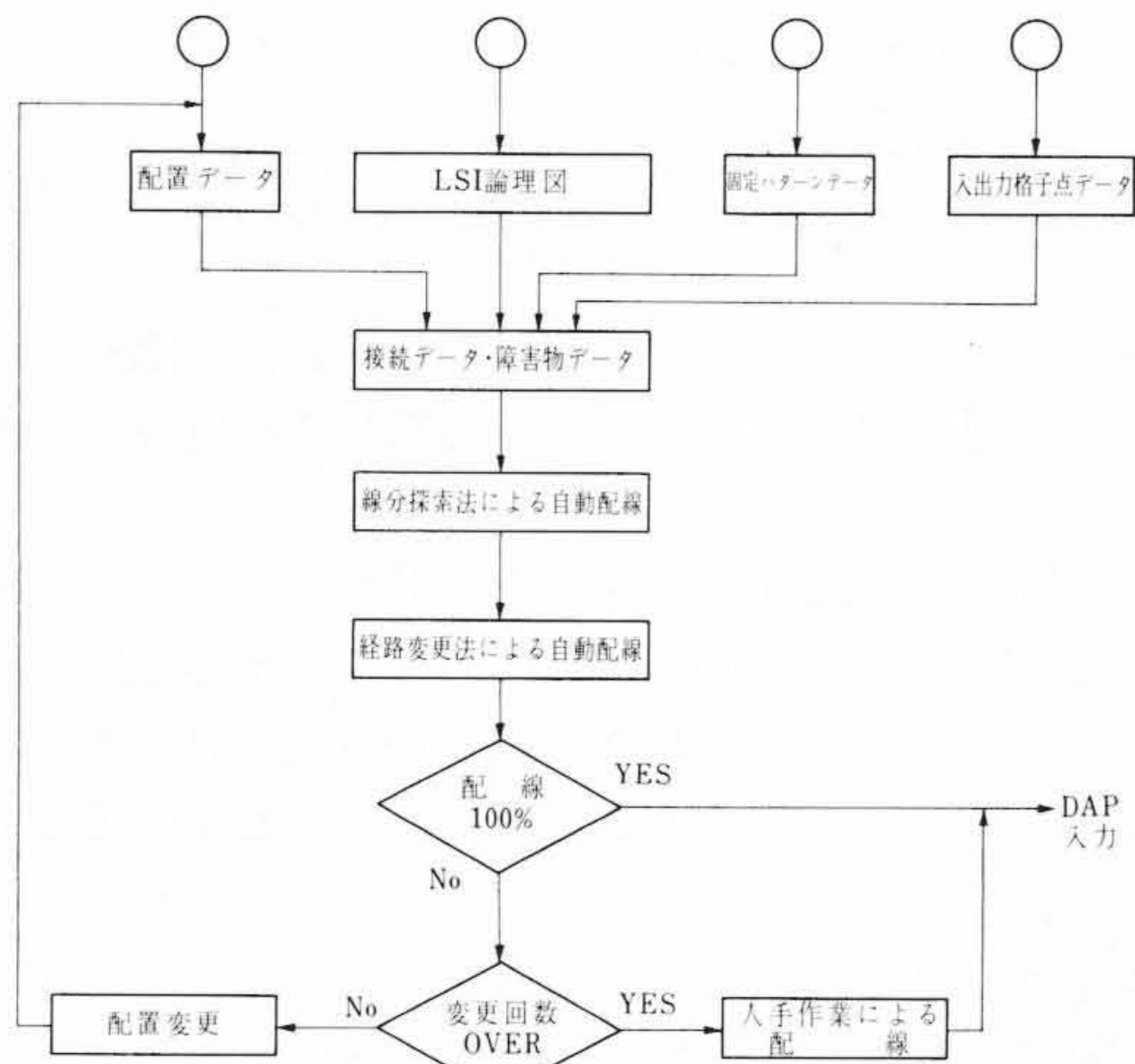


図12 配線設計フローチャート

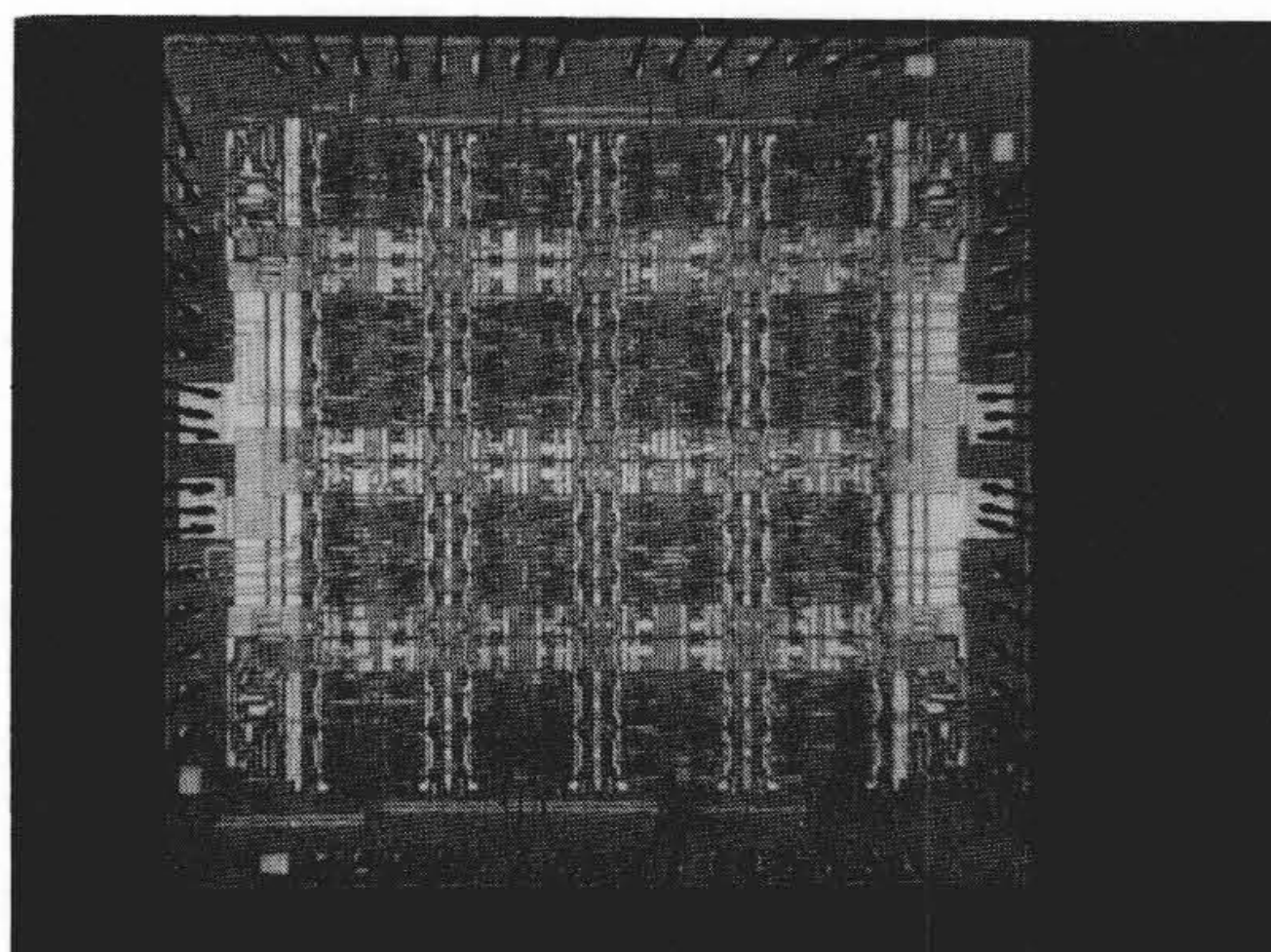


図13 NTL・LSIのチップ

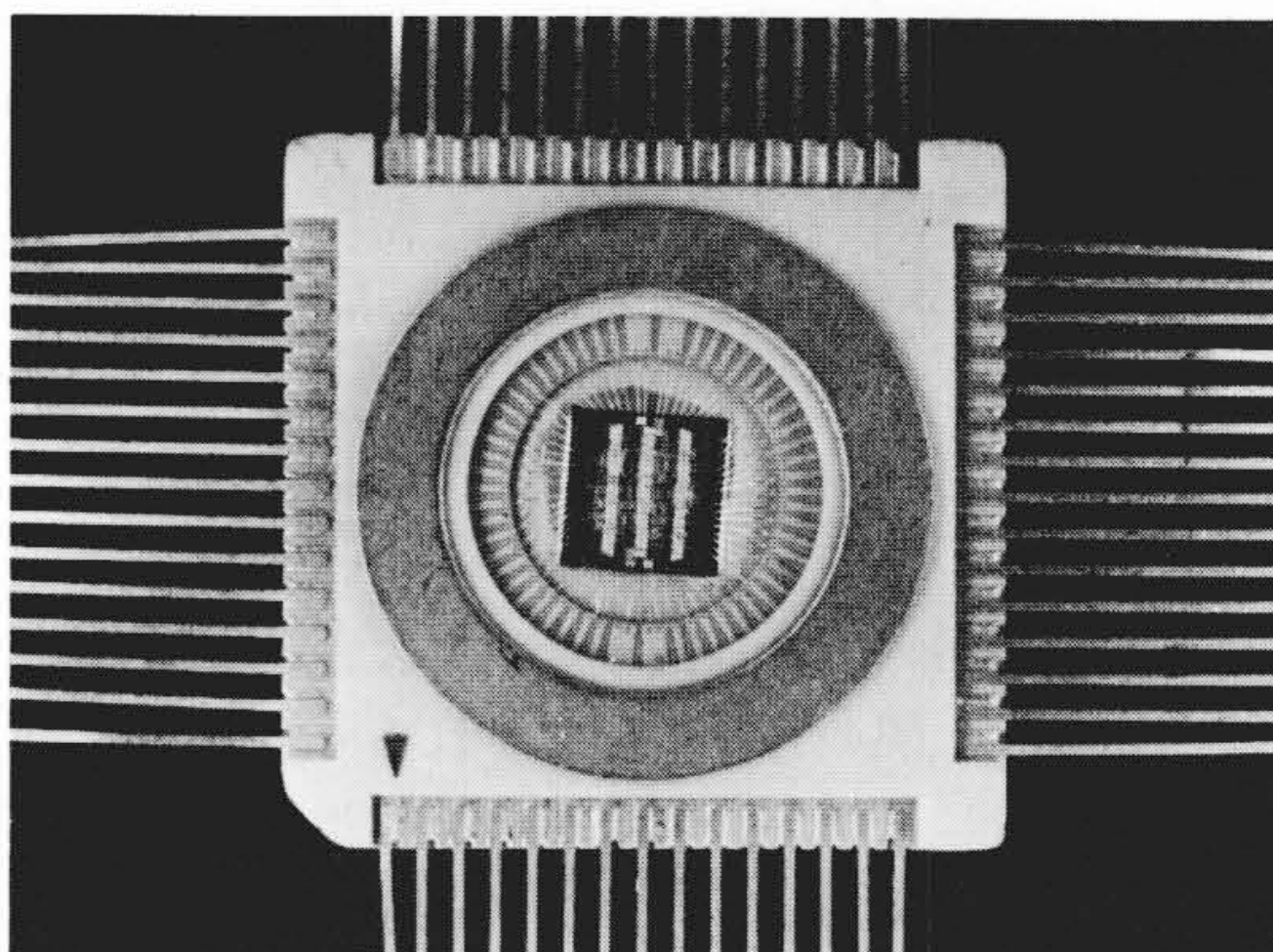


図14 NTL・LSIパッケージ

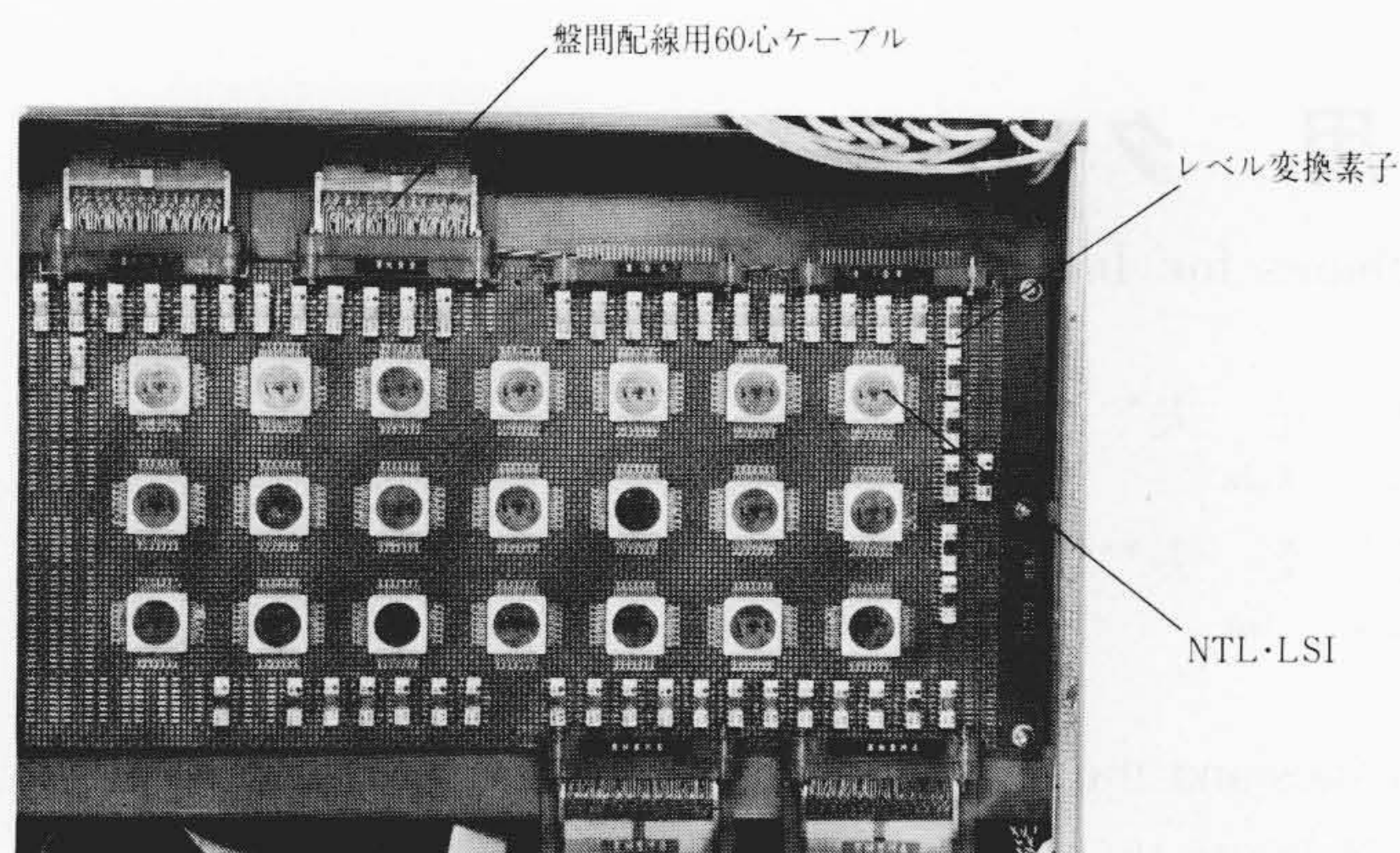
4. 本機に採用した実装技術⁽¹⁾

前節に述べたようにNTL・LSIの設計は主として通研のご指導のもとに進められたものである。今回の試作では21個に分割して製造されたそれぞれ60ピンのパッケージに収められたLSIをどのように実装するかが一つの問題点であった。NTLは高速低電力であるがその反面論理振幅が他の論理素子に比べて小さく外来雑音に対して弱いのではないかと懸念があった。

このため事前に実装条件を検討する目的で種々の実装形態における外部擾乱(じょうらん)の影響を確かめる実験装置を作製し検討した結果、接地電位層を有する同一多層プリント回路板上では外来雑音による擾乱はほとんど問題視しないでよいことが確認されたので、今回の試作ではすべての論理動作を含むLSIの一群を1枚の多層プリント回路板上に実装し、この板の中で閉じてしまう論理配線はすべてNTLの論理振幅でやりとりをし、プリント回路板の外へ出る所にはTTLの論理振幅にレベル変換をする素子を配して万全を期した。

図15はこの実装状況を示すもので大形のプリント回路板の周囲に配置されたデュアル・インラインのパッケージがこのレベル変換素子で、いわゆるLarge Package方式であるが、NTL・LSIの実装には1枚のプリント回路板中での相互配線は支障ないが外部に引き出す信号線はレベル変換をしたほうが無難と考えられるので、可及的に大きなパッケージにしたほうが有利(レベル変換素子の数を節約できる)であろう。本機の場合は全部で2,000ゲート程度の小形機であったのであえて1枚のプリント回路板にまとめて積載してしまった。

プリント回路板はキャップレアー方式と呼ばれるもので配線はすべて内部に入れ2層に直交した形で収容され、表面に露出している外層にはパッドのみを残した新形式のものである。特性インピーダンスは78~89Ωで配線数1,100本である。外層に配線をもたないことは層間寸法ずれを軽減し、寸法精度の高いプリントを作



注：本パネルと入出力制御部を合わせて消費電力36Wであり、H-10の場合は90Wであった。本パネルに相当する部分のみと比較すれば、さらに大きな比率となる。

図15 演算論理パネル詳細

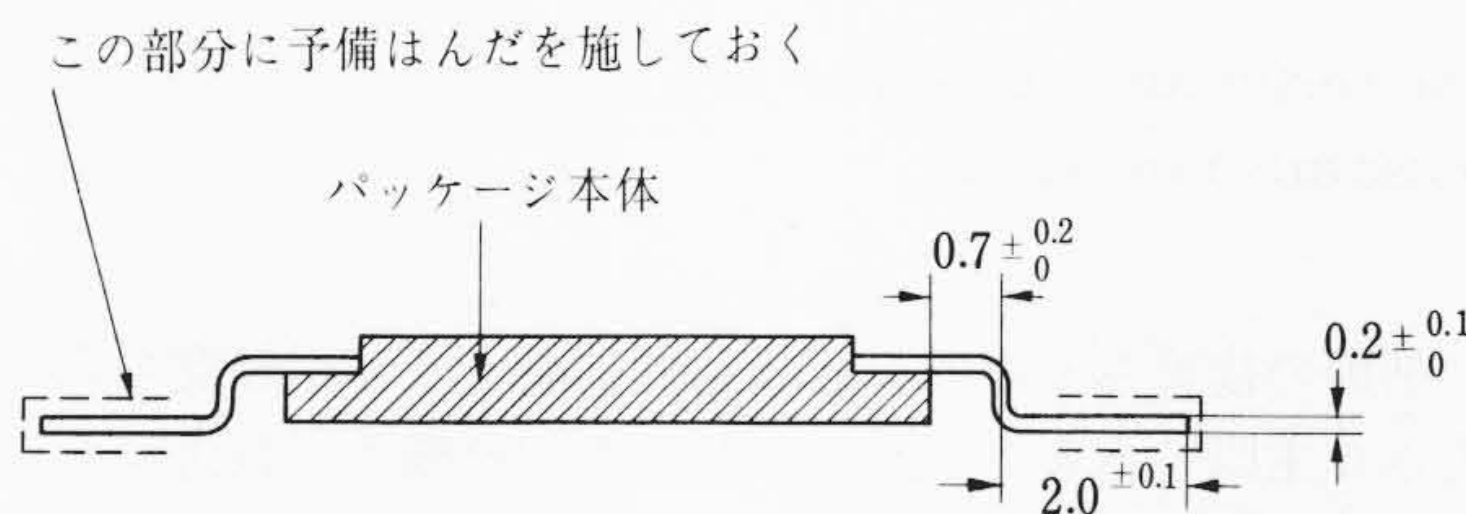


図16 ソルダリフロー接続するための予備整形

ることができ、特別にソルダレジストを使用しなくともはんだブリッジのおそれがないのではんだめっきの適用が容易であり、製造工程でも取扱い上の不良発生が少ないなど利点が多いので今後しだいに広く採用されるようになると思われる。今回はこのうえに60ピン・フラットパック形のパッケージに収めたLSIをソルダリフロー方式で取り付けることにし、図16のようにあらかじめ成形して予備はんだしたフラット・パッケージを定位置において再溶融して接続した。

この種の高集積化LSI用パッケージとしては多ピンのフラットパック形が有利であるということは定説となっているが、フラットパック形はピンの間隔が50milでプリント回路板の基準格子間隔100milとそのままでは一致しない、またスルーホールを貫通してはんだで固定すると着脱が著しく困難であるなどの不具合があったが、キャップレアー・多層プリント回路板とリフローソルダ方式の組合せによれば、ソケットによる着脱とさしたる相違のない容易さで交換できることが今回の試作で確かめられた。

図4に示したように今回使用のLSI 1個はTTL集積回路で作られたプラグイン1枚分にはほぼ対応する集積度をもっているのに、信頼性の点でかなり改善がなされたとしても単独でかつフィールドで着脱できるような配慮は払われていなければならないであろう。

NTL・LSIで論理機能を構成しその結果をレベル変換素子でTTLレベルに変換して信号の受授をするように設計されたパネルと入出力機器制御用の既存汎用ミニコンピュータ用のパネルとの間を接続しているのは60心のフラットケーブルで、その端末は50milピッチのコネクタで両方のパネルに接続されている。

メモリとの接続も同様60心フラットケーブルによっている。

5. 本試作の成果とその評価⁽¹⁾

本機の試作を行なうにあたり、最も危惧(きぐ)され慎重に検討されたことはNTLは確かに低電力でLSI化に向いているが、論理振幅が小さいのでTTLやCMLと同じように使って大形の装置まで作りうるであろうかという点であった。この目的に添うた

め論理設計そのものは既存のHITAC 10と全く同じにしてただTTLをNTLに置き換えるだけにし、HITAC 10のプログラムライブラリを有効に使う種々のパターンに対して誤動作を生じないかという点を入念に検討した。その結果はすべての点で全く同等の結果を示した。

外部擾乱に対して正確で定量的な試験は困難であるが、往々にして誤動作を誘発するパルス性の雑音発生源の接近、同一電源系統で大電流のしゃ断を行なうなどの悪条件を課してもなんら誤動作を生じないことを確認した。振動、温度変化などに対してはLSIコンピュータは強いと言われてきたが、今回の試作機については5～35℃の温度変化と車載テストなどで確認された。

いちばん問題となるNTL・LSIの温度上昇についてもきわめてわずかであった。実測値は表2中に示されている。直流電圧マージンについての実測結果では、低圧側でちょっと狭いという結果が出たが±5%は確保されている。若干内蔵電源安定回路の設定値がずれていたものがあつたようである。

6. 結 言

以上の結果からはNTL・LSIは他の論理素子と全く同様に実用できるという結論が得られたものと考えられる。ただし最後まで問題視されるのは論理振幅の小さいことで、供給直流電位の変動が悪い方向に重畳するとその分マージンが減少するので、接地電位が同一とみなされないような大きな領域でNTLの論理レベルで信号受授することは危険を伴うであろうと思われる。本機で採用した実装方式のようにNTLレベルでの信号受授は同一接地電位層を有するプリント板上に制限したほうが無難ではなかろうか。これは必然的にLarge Package方式となり、論理の切口をいかに選ぶかという設計思想の変更を若干必要とすることになるだろう、これはきたるべきLSI化時代には必然的に要求されてくることであろう。

本機に使用されたLSI設計の思想——マスタ・スライス方式と呼ばれる設計法は多種少量生産を必要とするLSIによっては非常に有効な手法であつて、この道具としてのCADシステムの開発を含めて通研集積回路研究室のご指導にあずかること大であった。小島部長、浜田総括調査役、渡辺前室長を始めとする集積回路研究室の各位に厚くお礼申し上げる。

また本機試作に関し特別に参加していただいた日立工場整流器部、日立研究所の各位のご協力に感謝する。

なお本機は昭和46年度通研より試作の指示をいただいてDL-2Hという品名で製作したもので、取りまとめは日立神奈川工場部品設計部、LSIは半導体事業部で分担製造したものである。

参 考 文 献

- (1) 通研：NTL-LSIシンポジウム講演論文集（昭46-12）
- (2) Neirille Mapham：IEEE Transactions on Industry and General Application Mar/Apr. 1967
- (3) 向井、木村：信学会、半導体トランジスタ研究会資料 S S D-68-33（昭44-1）
- (4) 向井：信学誌、54-C、No6（昭46-6）
- (5) 上田、山本、川勝、村田、安成：昭45四学会連大、No1710
- (6) 光定、安成、安井、渡辺、小林：昭46四学会連大、No798