

SiゲートNチャネルMOS技術の開発

Silicon Gate N Channel MOS Technology

Physical and electrical characteristics and processing techniques of the Si gate N channel MOS LSIs are discussed. With the Si gate N channel MOS technique the 4096-bit memory has come to be produced on a commercial basis. This Si gate N channel MOS technique is now being applied to the production of MOS memories and LSIs of higher classes. The article also describes some of its applications.

岩松 誠一* *Seiichi Iwamatsu*
 富永 四志夫* *Yoshio Tominaga*
 伊藤 清男** *Kiyoo Ito*
 橋本 哲一** *Norikazu Hashimoto*

1 緒言

NチャネルMOS (Metal Oxide Semiconductor) 技術は昭和37年RCA社のHofsteinらによりMOS ICが開発された当初、AlゲートNチャネルMOSとしてデビューした⁽¹⁾。その後、AlゲートNチャネルMOSは特性の不安定性から結局AlゲートPチャネルMOSがICの主要技術としてかなり長期間採用されてきた。その間にもSi₃N₄⁽²⁾やAl₂O₃⁽³⁾などのCVD (Chemical Vapour Deposition) 膜をゲート絶縁膜の一部として用いることによりNチャネルMOS化を図る努力が続けられたが、CVD膜の不安定性から結局量産化されるまでには至らなかった。昭和45年著者らはSiゲート技術によるNチャネルMOSの特性が従来の方式に比べて最も安定であり量産化の可能性のあることを発表し⁽⁴⁾、昭和47年にはIntel社からSiゲートNチャネルMOSメモリの製品化が行なわれた。

日立製作所におけるSiゲートMOS技術の詳細はすでに報告してあり⁽⁵⁾、ここでは主としてSiゲートNチャネルMOSメモリ技術について報告する。

2 SiゲートNチャネルMOSの特性

図1は、SiゲートNチャネルMOS形Transistor (以下、MOSTと略す)の模型構造を示すものである。SiゲートPチャネルMOSTとの違いは、基板タイプがN形からP形に変わり、ソースドレインおよびゲートSiがP⁺形からN⁺形に変わる点である。SiゲートNチャネルMOSの場合のSi-SiO₂-Si系バンド構造を示したのが図2である。N形SiゲートとP形Si基板との仕事関数の差によりSi表面付近でポテンシャルは下に曲がる。フラットバンド条件はゲート電極に仕事関数の差だけの電圧を加え、バンドの曲がりをもつた状態にする場合の条件である。仕事関数の差φ_{SS}は次式で表わされる。

$$\phi_{SS} = \phi_{FG,N} - \phi_{FB,P} \dots\dots(1)$$

ここにφ_{FG,N}、φ_{FB,P}はそれぞれゲートSi、基板Siのフェルミポテンシャルである。この場合の仕事関数差はφ_{SS} = -1Vであり、Alゲートに比べて大きな差はない。

このようにして作成されるSiゲートNチャネルMOSTのしきい値電圧V_{TH}は、

$$V_{TH} = \frac{kT}{q} \left(-\ln \frac{N_{D,G}}{ni} + \ln \frac{N_{A,B}}{ni} \right) - \frac{tox}{K_0 \epsilon_0} \dots\dots(2)$$

$$\left(Q_{SS} - 2 \sqrt{K_s \epsilon_0 N_{A,B} kT \ln \frac{N_{A,B}}{ni}} \right) \dots\dots(2)$$

で表わされる。ここに、

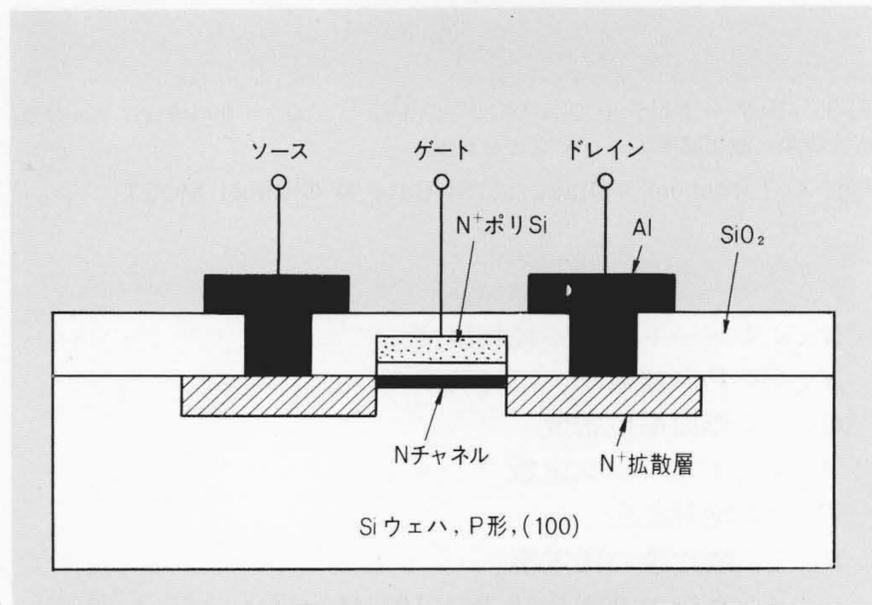


図1 SiゲートNチャネルMOST構造 ゲートは強くリンドーブした多結晶Siで形成され、ソースドレインはゲートをマスクとして自己整合で形成される。

Fig. 1 Si Gate N Channel MOST Structure

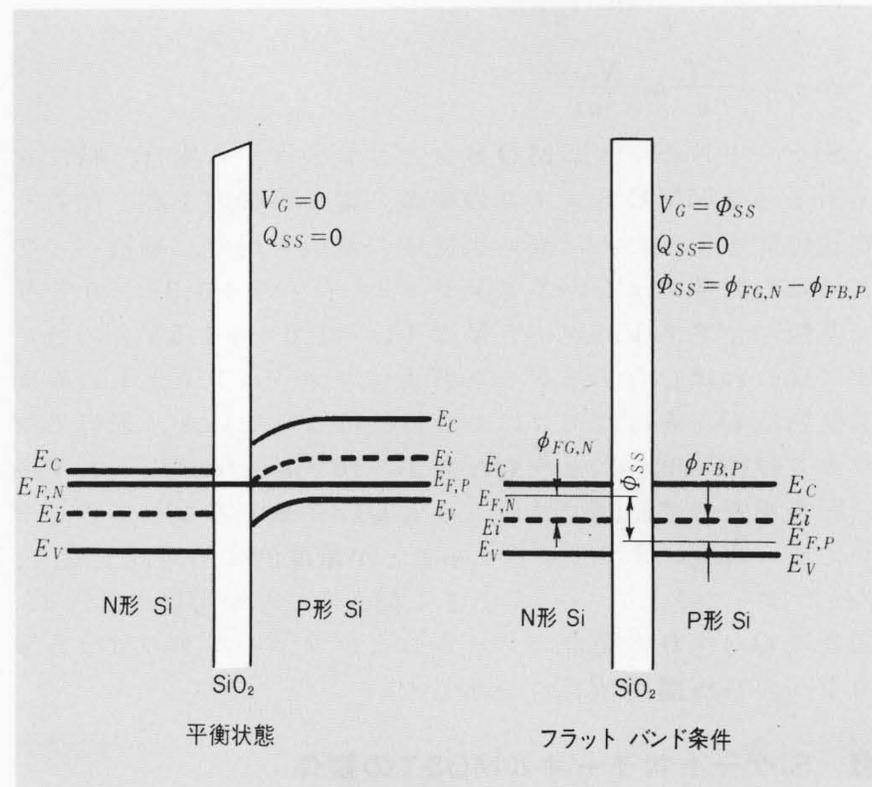


図2 SiゲートNチャネルMOSのバンド構造 N形SiゲートとP形Si基板との仕事関数差は、φ_{SS} = φ_{FG,N} - φ_{FB,P}となる。

Fig. 2 Potential Distribution in a Si Gate N Channel MOS Structure

*日立製作所半導体事業部 **日立製作所中央研究所

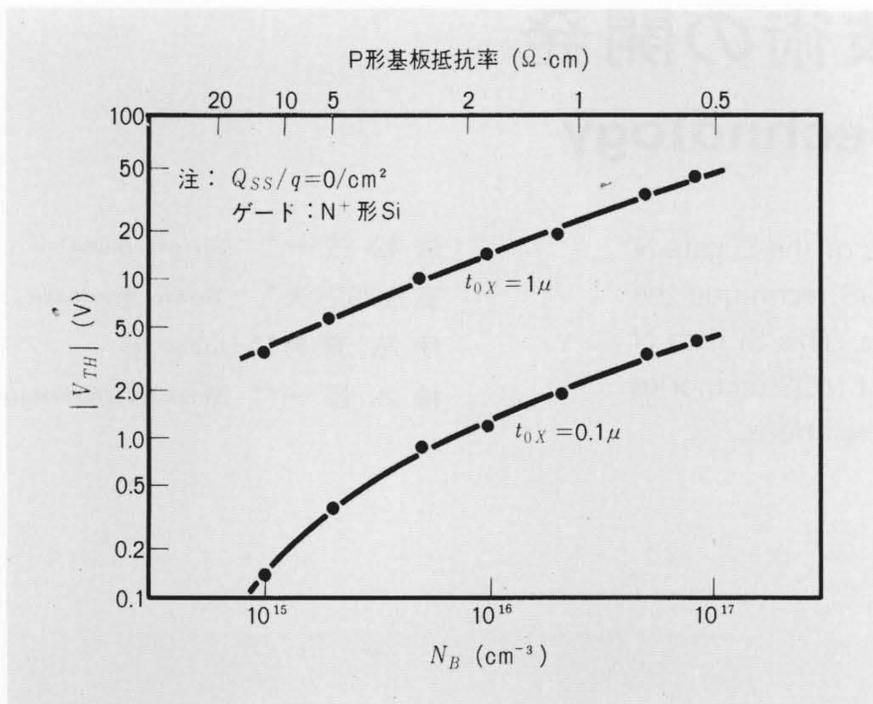


図3 SiゲートNチャネルMOSTの V_{TH} $Q_{SS} \doteq 0$ の場合、 V_{TH} は基板抵抗率と酸化膜厚によって定められる。

Fig. 3 Threshold Voltage of Si Gate N Channel MOST

$N_{D,G}$: ゲートSiの不純物濃度

$N_{A,B}$: P形基板Siの不純物濃度

Q_{SS} : 界面準位密度

κ : ボルツマン定数

T : 絶対温度

K_0 : 酸化膜の誘電率

ϵ_0 : 真空の誘電率 ($8.86 \times 10^{-14} \text{f/cm}$ または $55.4 \text{e/V}\cdot\mu$)

K_S : 半導体の誘電率

t_{ox} : 酸化膜厚

ni : 真性荷電担数

q : 素電荷 ($1.6 \times 10^{-19} \text{C}$)

$$\phi_{FG,N} = -\frac{\kappa T}{q} \ln \frac{N_{D,G}}{ni}$$

$$\phi_{FB,P} = \frac{\kappa T}{q} \ln \frac{N_{A,B}}{ni}$$

SiゲートNチャネルMOSメモリを製作する場合、特にダイナミック形MOSメモリの場合、電子移動度を高く保ち、高速性能を得るために高い抵抗率の基板を用い、基板バイアスのない状態でエンハンスメントタイプで $+0.3 \sim +0.5 \text{V}$ (基板バイアス $V_{BB} = -5 \text{V}$ で $V_{TH} = 1.0 \sim +1.5 \text{V}$) の低い値に保たねばならず、ゲートおよびフィールド下ともに界面準位密度 Q_{SS} をほぼゼロにしなければならないが、最近のプロセス技術の進歩により $Q_{SS} \leq 1 \times 10^{10}$ 電荷/cm²以下と V_{TH} に影響を及ぼす範囲ではほとんど $Q_{SS} \doteq 0$ とみなしてさしつかえない程度にまで低く押えることが量産的にも可能となり、 V_{TH} のばらつきもたいへん小さく押えることが可能となった。

図3に $Q_{SS} = 0$ の場合のゲートおよびフィールドのMOSTの V_{TH} の基板濃度依存性を示した。

3 SiゲートNチャネルMOSTの製作

3.1 SiゲートNチャネルMOSTの製造工程

SiゲートNチャネルMOSTの製造工程は図4に示すとおりである。工程を追って説明すると、

(1) Siウエハ

P形、 $\langle 100 \rangle$ のSiウエハを用いる。Si基板に $\langle 100 \rangle$ を用いることは、 Q_{SS} を低く押える点から必要なことである。 $\langle 100 \rangle$

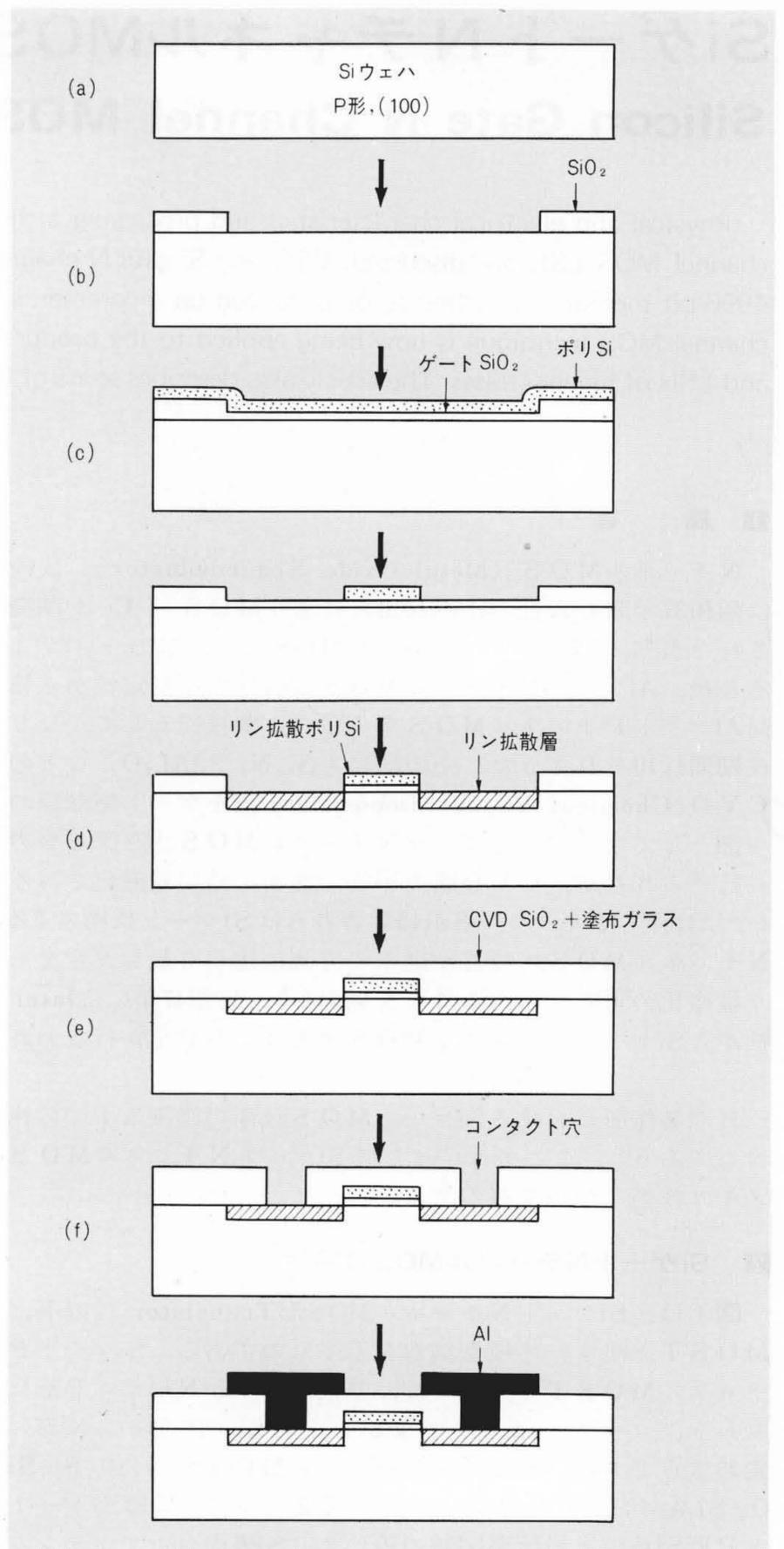


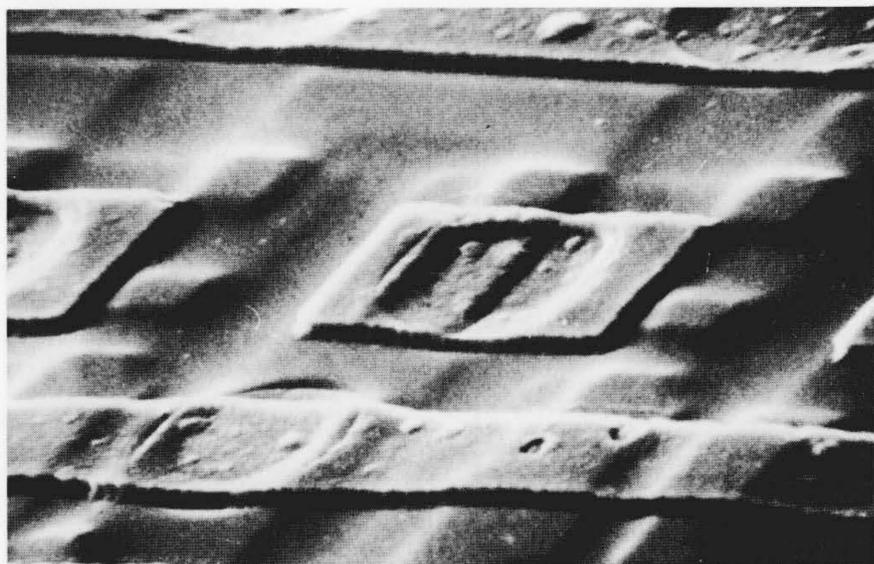
図4 SiゲートNチャネルMOST製造工程 (a)Siウエハ (b)酸化-ソースドレイン部ホトレジエッチング (c)ゲート酸化-ポリSiデポジション、Siゲート部ホトレジエッチング (d)酸化膜除去-ソースドレインゲート部リン拡散 (e)CVD SiO₂デポジション、塗布ガラス塗布 (f)コンタクト部ホトレジエッチング、Al蒸着-ホトレジエッチング-コンタクトアロイ

Fig. 4 Processing Step for Si Gate N Channel MOST

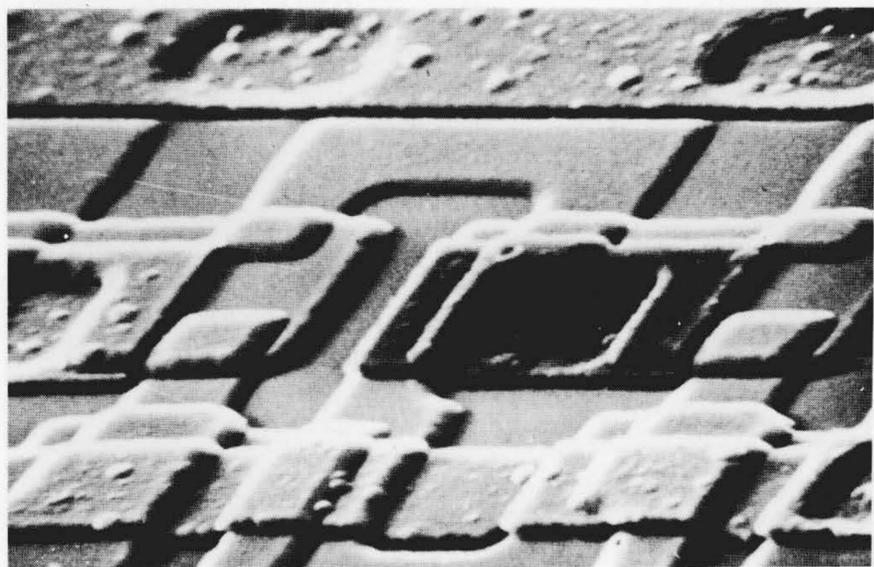
基板では $\langle 111 \rangle$ 基板に比べて Q_{SS} は約 $\frac{1}{3}$ に押えることができる。基板抵抗率は目標とするしきい値電圧によって決めるが、基板バイアスを用いないスタティック動作のものには約 $3 \Omega \cdot \text{cm}$ 、基板バイアスを用いる高速ダイナミック動作のものには接合容量を小さく押える意味からスタティックの場合より数倍高い抵抗率のものを用いる。

(2) 表面酸化

約 1μ 強の熱生成SiO₂膜を形成する。このSiO₂膜はフィールドのしきい値電圧を定めるうえで重要な働きをしており、 Q_{SS} はこの時点からほぼゼロに押えなければならない。



(a) 塗布ガラスによる平滑化



(b) 塗布ガラスのない場合

図5 SiゲートMOS LSIの塗布ガラスによる平滑化技術 SiゲートMOS LSIのウエハ表面凹凸は、塗布ガラスの適用により平滑化され、Alの断線予防ができる。

Fig. 5 Si Gate MOS LSI Made by Conventional Techniques (Bottom) and That by Spin On Glass Process with a Flatter Surface (Top)

(3) ゲート形成

ゲート酸化膜を 1,200°C, DryO₂中で約0.1μ成長させ、次に約0.5μ厚さの多結晶SiをCVD法により生成する。さらにゲートとなる部分と配線個所に多結晶Siが残るように加工する。

(4) 自己整合ソースドレイン形成

ゲートとなるべき多結晶Siをマスクとしてソースドレイン領域の穴あけを行ない、リンを拡散させる。拡散深さは約1μ、表面拡散抵抗率ρ_sは5~10Ω/squareになる。このときゲート多結晶SiおよびSi配線にも拡散されるが、ゲート酸化膜がリン拡散の障害となりゲート下にはリンは拡散されない。この場合のリン拡散は、V_{TH}の安定化効果もある。

(5) CVD・SiO₂デポジション

CVD法によりゲートSiおよび配線用Si上にSiO₂膜を成長させる。次に液状ガラスを塗布しウエハ凹凸表面を平滑にすると以後のAl配線工程において凹凸段部でAl配線段切れが発生するのを防止でき、Al線幅も小さく押えることができる。図5は、塗布ガラスによりウエハ凹凸表面を平滑にした場合の走査形電子顕微鏡(SEM)写真と塗布ガラスのないものと比較して示したものである。

(6) Al配線形成

コンタクト部分の穴あけを行なう。次いでAlを約1μ蒸着し、Al配線加工を行なう。その後低温の水素アニールにより、

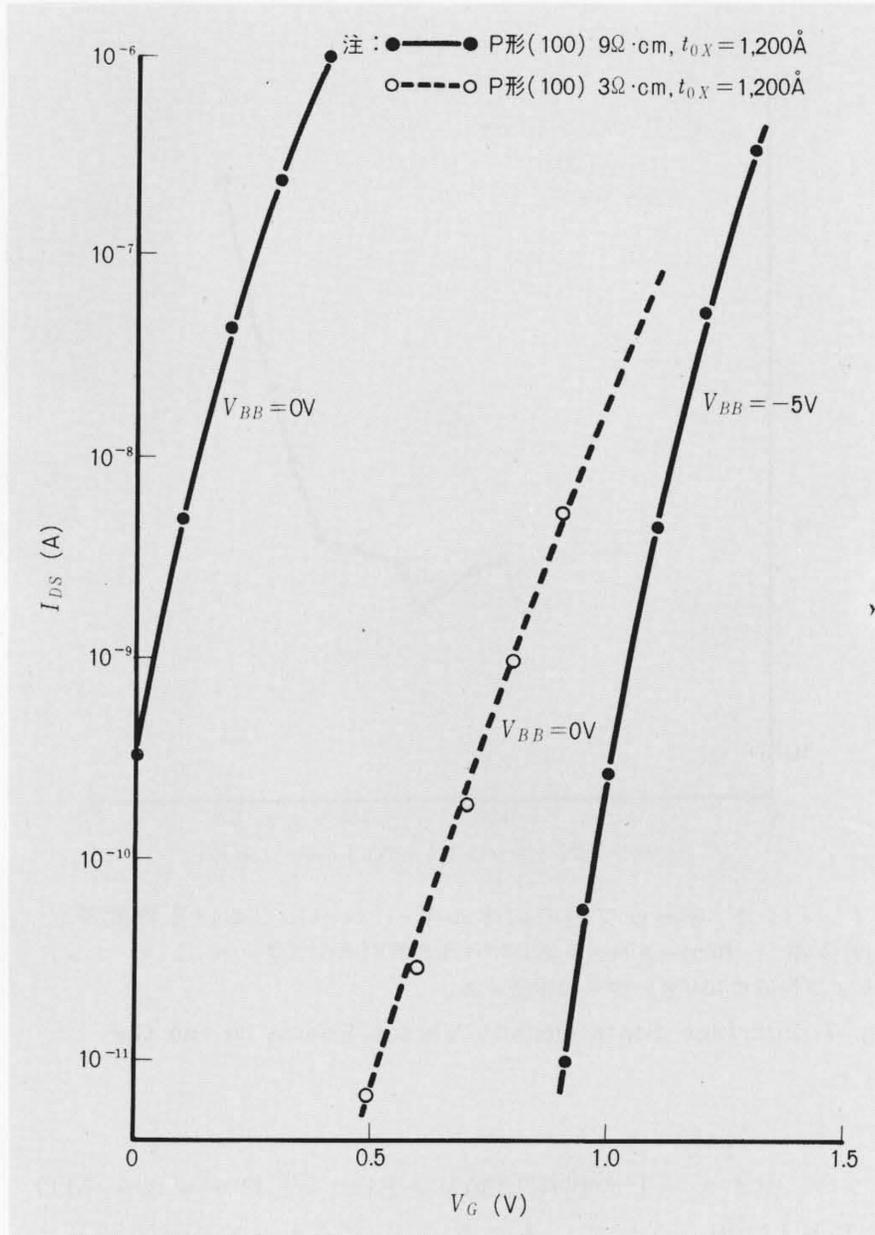


図6 SiゲートNチャンネルMOSTのV_G-I_{D,S}低レベル特性 SiゲートNチャンネルMOSTの低レベルリークは、10pA以下に押えられている。

Fig. 6 V_G-I_{D,S} Low Level Characteristics of Si Gate N Channel MOST

AlとSiのコンタクトアロイとFast Surface States (N_{ss})の密度を最小に収めることができる。

3.2 電気的特性

SiゲートNチャンネルMOS技術では特に基板バイアスを用いたダイナミック形の低V_{TH}MOSでは低レベルでのリーク電流を低く押えることがきわめて重要なことであり、そのため、Q_{ss}もほぼゼロに保つ必要がある。図6にはSiゲートNチャンネルMOSTのV_G-I_{D,S}カーブの低レベル電流領域を示したもので、動作領域でのリーク電流は10pAのオーダー以下に保たれている。表面電子移動度は500cm²/V·s程度とPチャンネルMOSの約3倍であり、NチャンネルMOSの高速化の原因となっている。図7はSiゲートNチャンネルMOSダイオードのQuasi-Static C-Vカーブより求めたFast Surface States (N_{ss})のバンドギャップ内分布を示したもので、ミッドギャップ付近のN_{ss}は10⁹/cm²·eV以下になっている。このようなQ_{ss}やN_{ss}の非常に小さなMOSTのBT処理(Bias Temperature)によるV_{TH}の変動は当然のことながら小さいわけであり、図8には±30V, 300°C, 30分のBT処理によりV_{TH}の変動ΔV_{TH}が変わる様子を示しており、このテスト範囲ではΔV_{TH}は±0.05Vと小さく押えられており、動作時の特性変動に対する高信頼度が保証できる。

MOSTの信頼度における今一つ問題にゲート破壊があるが、SiゲートNチャンネルMOS LSIに用いられているク

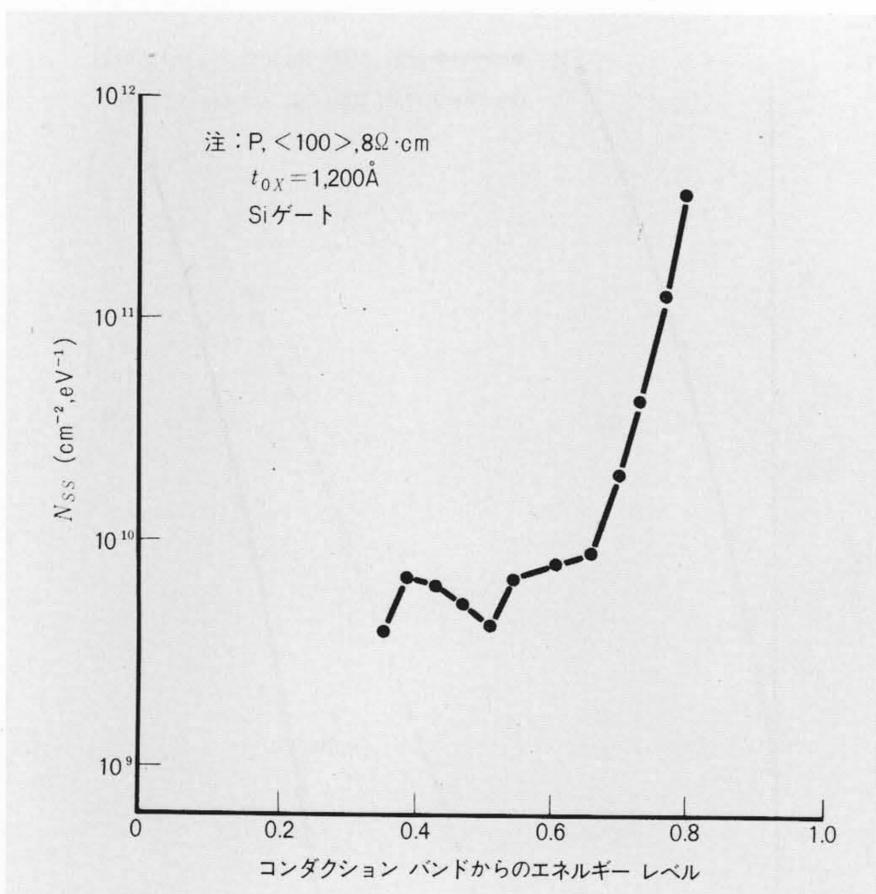


図7 バンドギャップ内のエネルギーレベルにおける界面準位密度分布 SiゲートNチャネルMOSの界面準位密度 (N_{ss}) は、ミッドギャップ付近で 10^{10} オーダー以下である。

Fig. 7 Interface State Density Versus Energy in the Gap

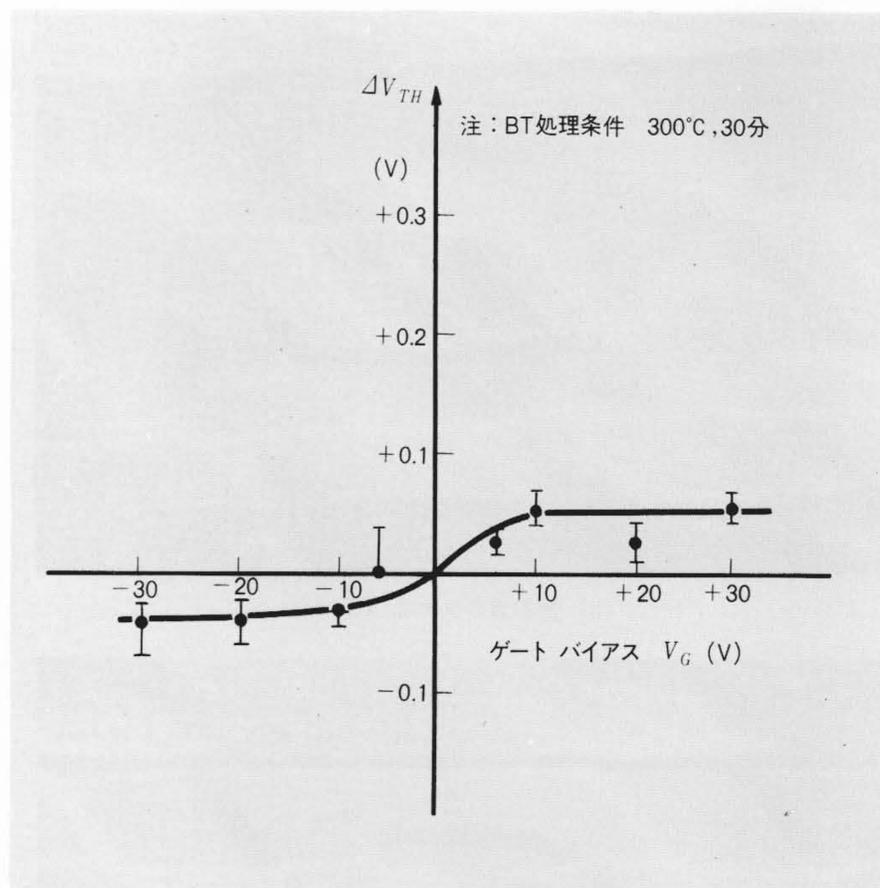


図8 SiゲートNチャネルMOSTのBT処理による V_{TH} 変動 SiゲートNチャネルMOSTのBT処理による V_{TH} の変動は $\pm 0.05V$ 以内である。

Fig. 8 ΔV_{TH} of Si Gate N Channel MOST after BT Treatments

ランプダイオードの耐圧は30VとSiゲートPチャネルMOSLSIに用いられているランプダイオードの耐圧50Vより低く押えられており、その分だけ保護効果が大きくなっている。

4 SiゲートNチャネルMOS技術の応用

SiゲートNチャネルMOS技術は現在PチャネルMOS技術を用いているすべてのMOSLSIに応用できるわけであるが、ここでは主としてMOSメモリへの応用について述べる。

MOS形のRAM(ランダムアクセスメモリ)は大別してスタティックRAMとダイナミックRAMに分けられ、ダイナミックRAMには4TRS(トランジスタ)、3TRS、1TRS方式の3方式がある。これらの回路方式を図9に示し、以後各回路方式の特徴を示す。

(1) スタティックRAM

一般に図9(a)に示すような6TRSのフリップフロップをメモリユニットに用いる。この方式ではユニットセル内の結線数は4結線となり、セルサイズは大きくなる。スタティック動作が主であるが、ダイナミック動作も可能である。スタンバイ時にメモリが消去されず動作が安定なので使いやすいが消費電力が大きいという欠点がある。

(2) 4TRSダイナミックRAM

6TRS・RAMの変形でインバータの負荷MOSTを省略したもので擬似スタティックとしても用いられる。3TRS方式に比べ素子数が多く面積が大きい。配線数は4結線となる。所要タイミングが少なく、かつ出力信号を差動で検出できるため、高速化に適している。最近、AMS社よりCharge Pumpingを負荷に用いたTTL並みのスピードのものが出さ

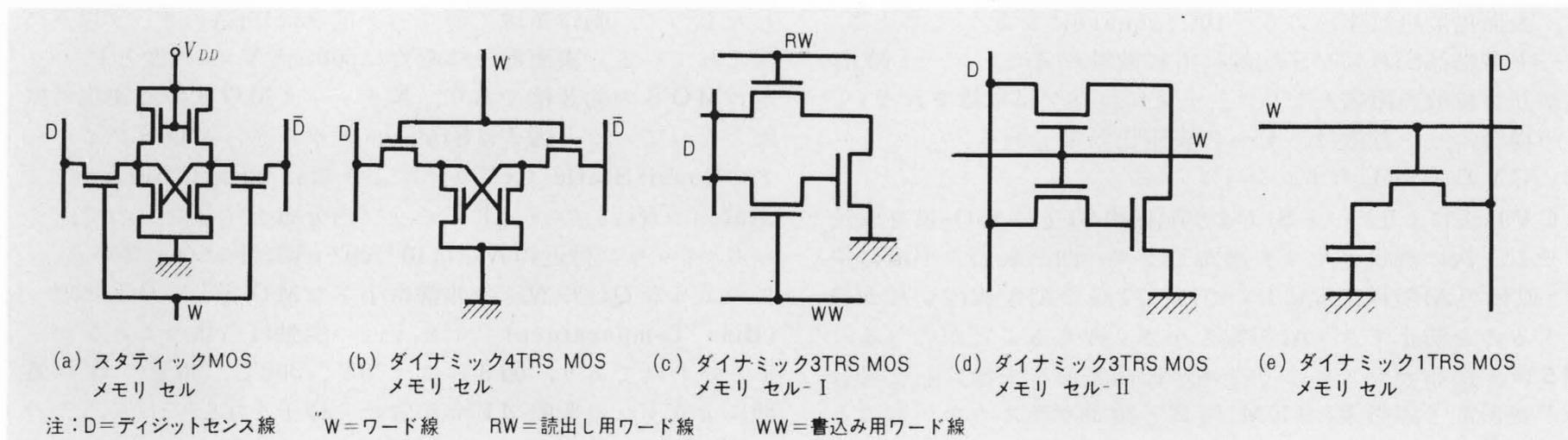


図9 各種MOSメモリセル方式 MOSメモリセルにはスタティックとダイナミック形とがあり、ダイナミック形には4TRS、3TRS、1TRS方式がある。

Fig. 9 MOS Memory Cell Circuits

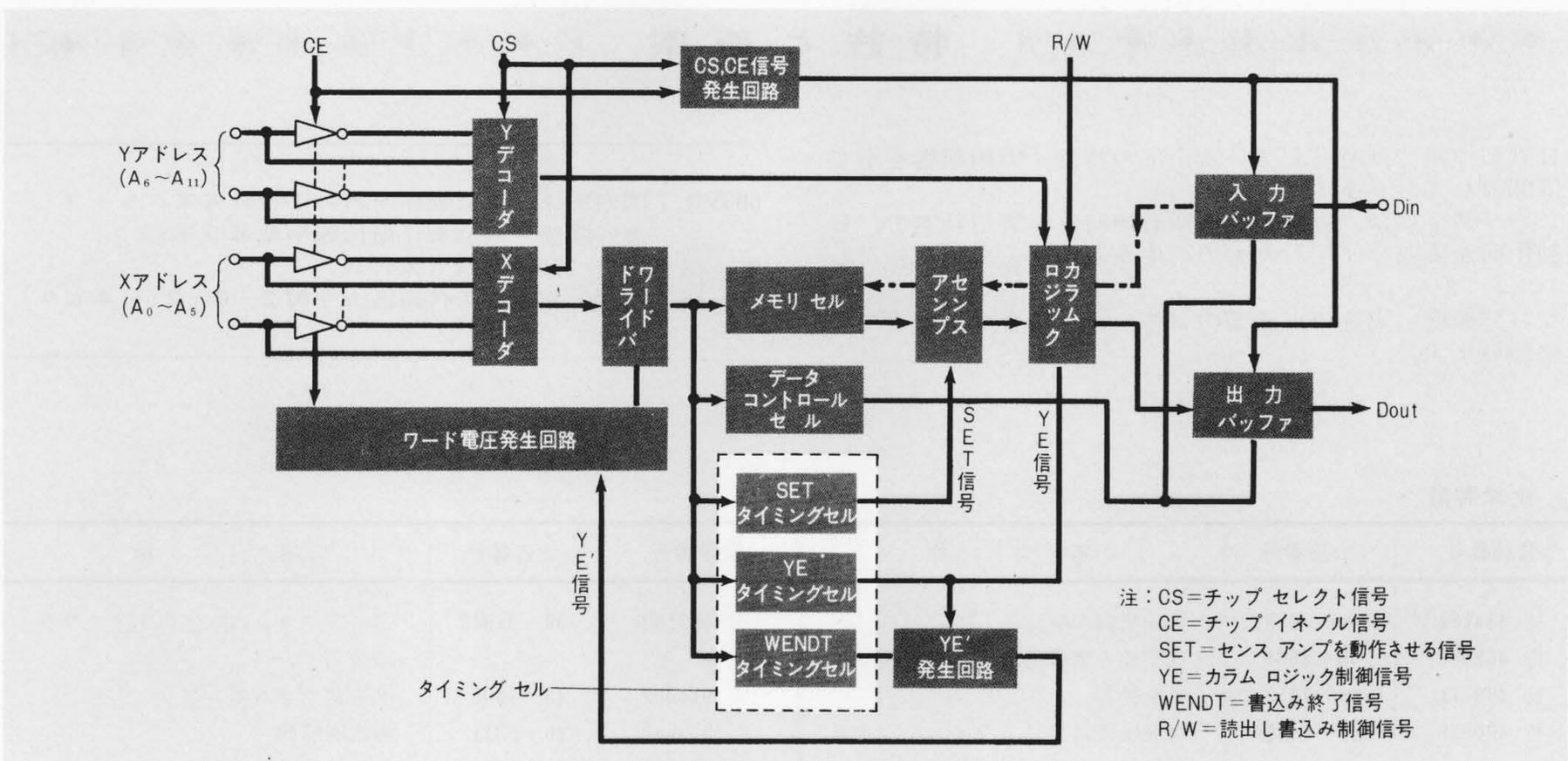


図10 4KビットRAMブロックダイアグラム メモリセルは2Kビットずつ2分割して並べる。
Fig. 10 Block Diagram of 4k bit RAM

れているが原理的にはこの方式である (図9(b))。

(3) 3TRSダイナミックRAM

フリップフロップ回路をメモリとして用いず、ちょうどダイナミックシフトレジスタのインバータの電荷蓄積MOS部をメモリMOSとして用い、他の二つのMOSを書込み、読出し用としたものであり各種の変形回路が開発されている。その代表的なものが図9(c), (d)の方式のもので、同図(c)の方式は3½結線であり高速性能が得られる。同図(d)の方式は、2½結線でセルサイズがきわめて小さくできるがスピードは同図(c)の方式には及ばない。

(4) 1TRSダイナミックRAM

一つのMOSキャパシタに蓄積される電荷をそのまま感知する方式でトランジスタ数は最少で結線数も2結線と最少で済むがMOSキャパシタに蓄積された電荷を直接感知するため、高感度のセンスアンプが必要であり、センスアンプの性能が集積度を定める重要な因子となる (図9(e))。

以上、ダイナミックRAMメモリは、蓄積電荷の減衰があり、それを補うため絶えず再書き込みが必要である。

われわれはこれらのメモリセルを用いてRAMを開発したわけであるが、代表的なものとして図10は、3TRS、2½結線方式の4,096ビットダイナミックRAMのブロックダイアグラムを、図11は、チップの写真を示すものである。

本RAMはアクセスタイム600nsで動作する。

5 結 言

PチャンネルMOSからNチャンネルMOSへの切り替えは昭和48年を境に急速に進展するものと考えられる。今後はNチャンネルMOSの生産技術をいっそう精密なものとし、より高密度化を図り顧客の要求を十分満たしうるものとする考えである。

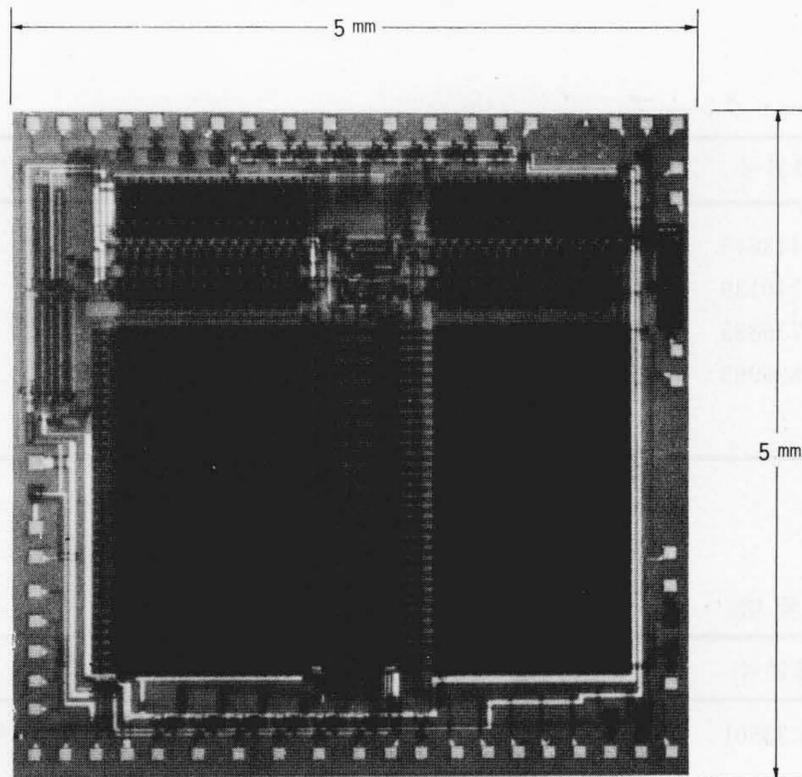


図11 4,096ビットSiゲートNチャンネルMOSメモリ 約13,000個のトランジスタが一つのチップ内に形成されている(チップサイズ5mm×5mm)。
Fig. 11 4,096bit Si Gate N Channel MOS Memory

参考文献

- (1) S. R. Hofstein and F. P. Heiman : IEDM, Oct. (1962)
- (2) 岩松, 大野 : 電子通信学会創立50周年全国大会予稿集, 752 (昭-42)
- (3) H. Nigh : ECS Montreal Meeting, Abstract 476 (1968)
- (4) 清水, 岩松ら : 電子通信学会全国大会予稿集, 904 (昭-46-4)
- (5) 岩松ら : 「SiゲートPチャンネルMOS技術の開発」 日立評論, 55, 4, 361 (1972)