

Mシリーズ電子計算機システム

HITAC M-170/M-180処理装置

HITAC M-170/M-180 Processor

HITAC M-170/M-180は、仮想メモリ方式のソフトウェアと、ICメモリ、LSI、MSIなど、新しいハードウェア技術による処理装置及び高性能の周辺装置などを中心に新しく開発したコンピュータシステムである。近年、増大しつつあるオンライン、技術計算の分野でのユーザーニーズに適合するよう、特にデータベース、データコミュニケーション機能の充実と処理の高速化を図った。また、HITAC 8000シリーズよりの移行を容易にする手段も特に留意した点である。処理装置を高速化するため、方式にくふうを加えるとともに、半導体、実装技術及び論理設計相互のバランスをとり、パフォーマンス/コスト、信頼性及び生産性の向上に努力を払った。

曾我政弘* Masahiro Soga

堤正義** Masayoshi Tsutsumi

三木亮爾* Ryôji Miki

井上武洋* Takehiro Inoue

1 緒言

近年、システムが多様化、あるいは大規模化するに伴い、例えばファイル、回線、端末などを業務間で共用したり、バッチ、オンライン、会話処理など異なる処理形態を組み合わせ、業務を効率よく処理しようとするシステムが増える傾向にある。そのためには、データベース、データコミュニケーションの機能の充実が要求される。

また一方、技術計算の高速化、あるいは総合的なパフォーマンス/コスト比の向上への要求も一段と強まっている。HITAC M-170/M-180の開発は、これらの要求をバランスよく満たす目的で、新たに製品ファミリーのラインアップを図ったものであり、仮想記憶方式のソフトウェア、新ハードウェア技術による処理装置、高性能の周辺装置などが中心となっている。

周知のように、コンピュータの進歩は、半導体技術に負うところが大きく、Mシリーズも新たに開発した大規模集積回路(以下、LSIと略す)、中規模集積回路(以下、MSIと略す)、集積回路(以下、ICと略す)メモリなどをバランスよく使用することによりパフォーマンス/コスト比を著しく向上させることができた。また、製品開発には、CAD(Computer Aided Design)、シミュレーション及び性能評価手法、あるいは保守・診断プログラムなどが不可欠であり、これらの開発にも合わせて努力が払われ、この成果は、他の関連製品にも広く適用できる。

2 開発の概要

開発の重点は、当然ながらユーザーニーズにいかに対応した製品とするかであるが、そのためには、試行的技術を中心とする技術指向形に偏することなく、ユーザーニーズ、新技術、現行製品などの間でバランスをとることが大切である。

例えば、ソフトウェアでは、仮想メモリ方式のVOS(Virtual Operating System)1/2/3を開発して、ソフトウェア体系を一新させたが、同時に、HITAC 8000シリーズのソフトウェアのコンバージョン、エミュレーションの手段を備えてMシリーズへの移行が容易なように配慮した。また、同じ目的でHITAC 8000シリーズ用のオペレーティングシステムであるEDOS-MSO(Extended Disk Operating System-

Multi-Stage Operation)のMシリーズ用バージョンを開発した。

システム構成上は、特にチャネルの能力を重視して、周辺機器の接続台数、スループットを含む能力向上を図るとともに、機器の接続インタフェースを一新させて構成に自由度を持たせるよう考慮した。マルチプロセッサ構成、システム性能のネックポイントを事前に把握するハードウェアモニタ、あるいは入・出力機器接続用の汎用コントローラなどは、いずれもオプションであるが、システム構成上極めて有用と考える。

周辺機器では、200MB/スピンドルのディスク、6,250BPIの磁気テープ、2,000行/分のラインプリンタなどの高速、大容量の装置をはじめ、端末機器を含めた総合的な開発により、システムとしてのバランスに留意しつつ製品のラインアップを図った。

処理装置の能力は、方式と使用する半導体とにより左右されるが、ここでも方式にくふうを加え、半導体に対してはむしろ余裕を持たせる方向とした。これは、信頼性、生産性及びコストの面で有利と判断したからである。

Mシリーズ用半導体の開発は、同シリーズ専用のLSI(最大200ゲート)と、国内外で標準となりつつあるMSI、小規模集積回路(以下、SSIと略す)、メモリ用素子に大別できる。前者の開発に当たっては、パッケージの構造、消費電力、冷却方式などに特別の考慮を払って、MSI、SSIなどの標準品と混用できるようにした。これは、LSIの使用効率を高める上で極めて有効であるとともに生産性、信頼性の点でも有利である。

次に特に大形機の場合、安定化電源装置がシステムの信頼性、コスト及び寸法に大きな影響を与える点を重視して、モータジェネレータ(以下、MGと略す)方式の電源を開発した。これは、信頼性が半導体方式の数倍と予想されるなど多くの特長をもっている。

システムの意匠デザインは暖色系の色調に一新させたが、これもオペレータの疲労軽減の一助になれば幸いと考えている。

以上、開発の概要を述べたが、次に処理装置の方式、論理及びハードウェア技術について述べる。

* 日立製作所神奈川工場 ** 日立製作所中央研究所

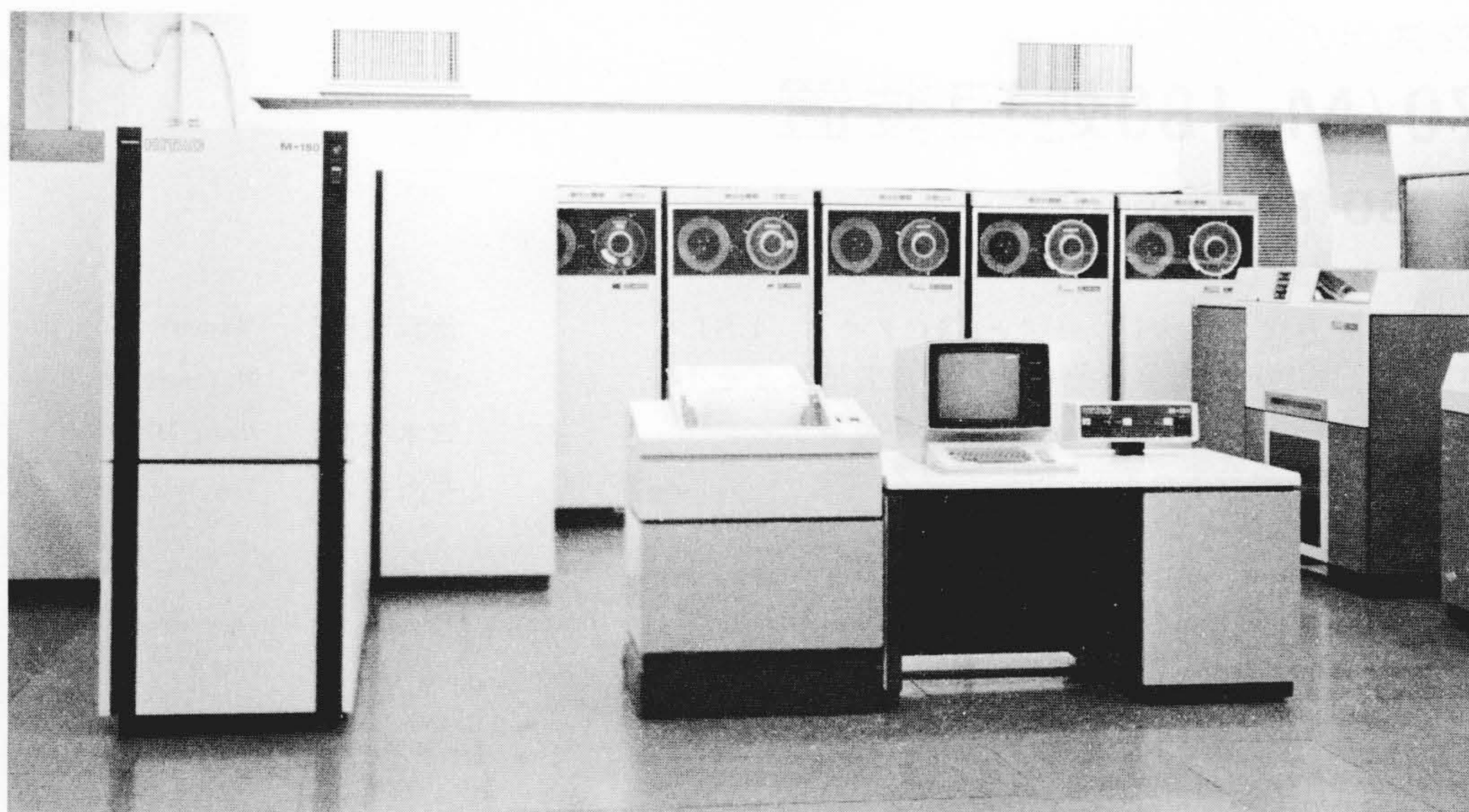


図1 HITAC M-180 中央処理装置1台につき、最大8MBの主記憶装置、最大16台のチャンネル装置でシステムを構成できる。

3 方式設計

3.1 概要

HITAC M-170/M-180(図1)は、Mシリーズの核となる機種であり、性能、機能の向上をはじめ、特に次の点に留意した。

- (1) オンライン、デマンド処理向きの機能
- (2) システムの運用、拡張の容易さ
- (3) システムの信頼性、保守性
- (4) 現行システムからの移行

上記の観点から、例えば論理仕様の拡張、システム構成の柔軟性の向上、高信頼性部品の採用、RAS(Reliability Availability Serviceability)機能の充実、プログラムデバッグ用機能の拡張など重点的に行なった。

また、周辺装置の高性能化とともに、チャンネルの数とスループットを向上させて、大容量のデータ処理に適合できるよう考慮した。

3.2 システム構成

データ処理の多様化に伴い、経済性の高いシステム、大容量ファイルの処理や、多数の通信回線を接続するシステムあるいは特殊な周辺装置、端末を接続するシステムなどへの要求が一段と高まっており、特に次の点に留意した。

- (1) チャンネルのスループット
- (2) チャンネルの数
- (3) 通信回線の接続数
- (4) ファイルの接続方式
- (5) その他各種入・出力装置の接続

図2に、HITAC M-180のシステム構成例を示す。中央処理装置1台につき、最大8MB(HITAC M-170は4MB)の主記憶装置、最大16台(HITAC M-170は8台)のチャンネル装置でシステムを構成できる。

チャンネルには、磁気ディスク、ドラム装置などのランダムアクセスファイルとの間で、高速多重データ転送動作を行なうブロックマルチプレクサチャンネルと、主に磁気テープ装置を接続して、高速データ転送動作を行なうセクタチャンネルと、周辺入・出力装置、通信制御装置などと接続し、多重データ転送動作を行なうバイトマルチプレクサチャンネルとがある。

接続する入・出力装置の速度と、システム規模に応じて必要な装置の接続台数とから、コストとのバランスを考慮して、これらのチャンネルの処理速度と接続台数を決めた。

通信回線接続数では、1台のHITAC M-180は、最大896回線を接続できる。

多数の処理装置間でファイルのシェアをしないシステムで経済的な構成がとれるように、オプション機構として、独立形のディスク制御装置なしにディスクを直結できる統合ディスク制御装置を開発した。

また、グラフィックディスプレイ、X-Yプロッタなどの各種入・出力装置、あるいはシステム固有の特殊な入・出力装置を接続する目的で、汎用入・出力制御装置を開発した。

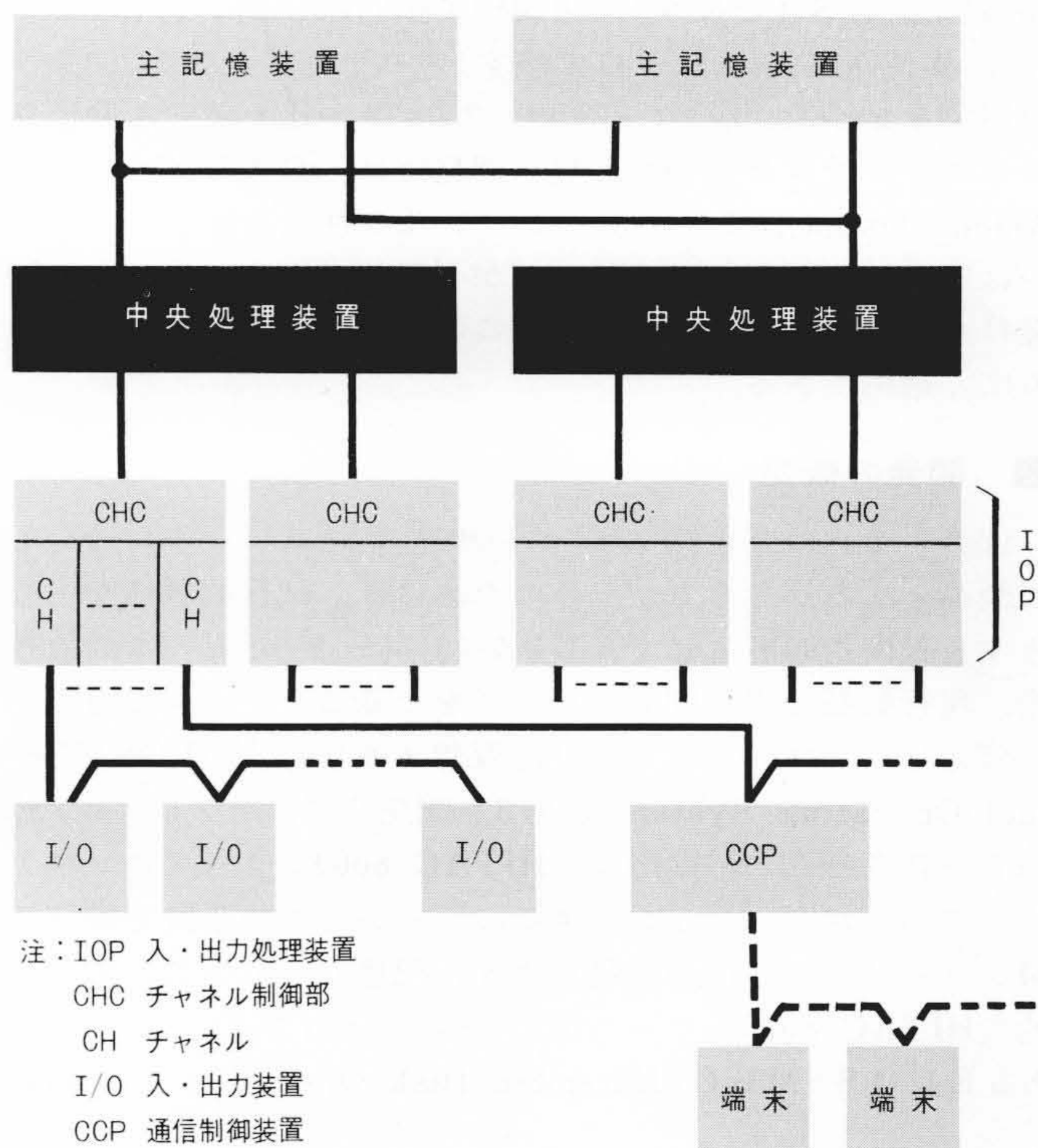


図2 HITAC M-180のシステム構成 マルチプロセッサ時のシステムの階層構成例を示す。

3.3 論理仕様

図3に、論理仕様決定の際、特に考慮した事柄を示す。

データ形式及び一般命令の形式は、HITAC 8000シリーズとの互換性を重視して同一の形式とした。割込み方式は、P SW(Program Status Word)入換え方式とし、マルチ プログラム ベースでの処理を容易にした。

命令語の種類は、HITAC 8000シリーズの標準144種(HITAC 8700, HITAC 8800は171種)から拡張して195種とした。主なものは、最大16MBまでのデータ移送命令、比較命令及びビット処理命令、技術計算高速化のための固定小数点数と浮動小数点数の変換命令などである。

ケーブル接続の効率を向上するため入・出力装置の接続方式を直列方式とし、データ転送時に信号の応答をとる方式により、低速の入・出力装置では60~100mまで接続距離を伸ばすことができる。また、仮想記憶上でのデータ転送の効率を上げるため、入・出力動作で間接アドレス指定ができるようにした。

オンライン処理、TSS(Time Sharing System)処理では、精度の高い絶対時間と処理時間の測定を必要とするので、タイマ機能を強化して、タイマ機構3個とタイマ比較割込み機構1個を設けた。タイマの分解能は、最小1 μ sである。

また、プログラム デバッグ効率の向上を目的として、プログラム事象記録機構を設けた。

3.4 仮想記憶方式

オンライン、デマンド処理を指向し、プログラムの開発及び拡張をしやすく、しかも運用面でのジョブ スケジュールなどを容易にするには、仮想記憶方式が有効である。

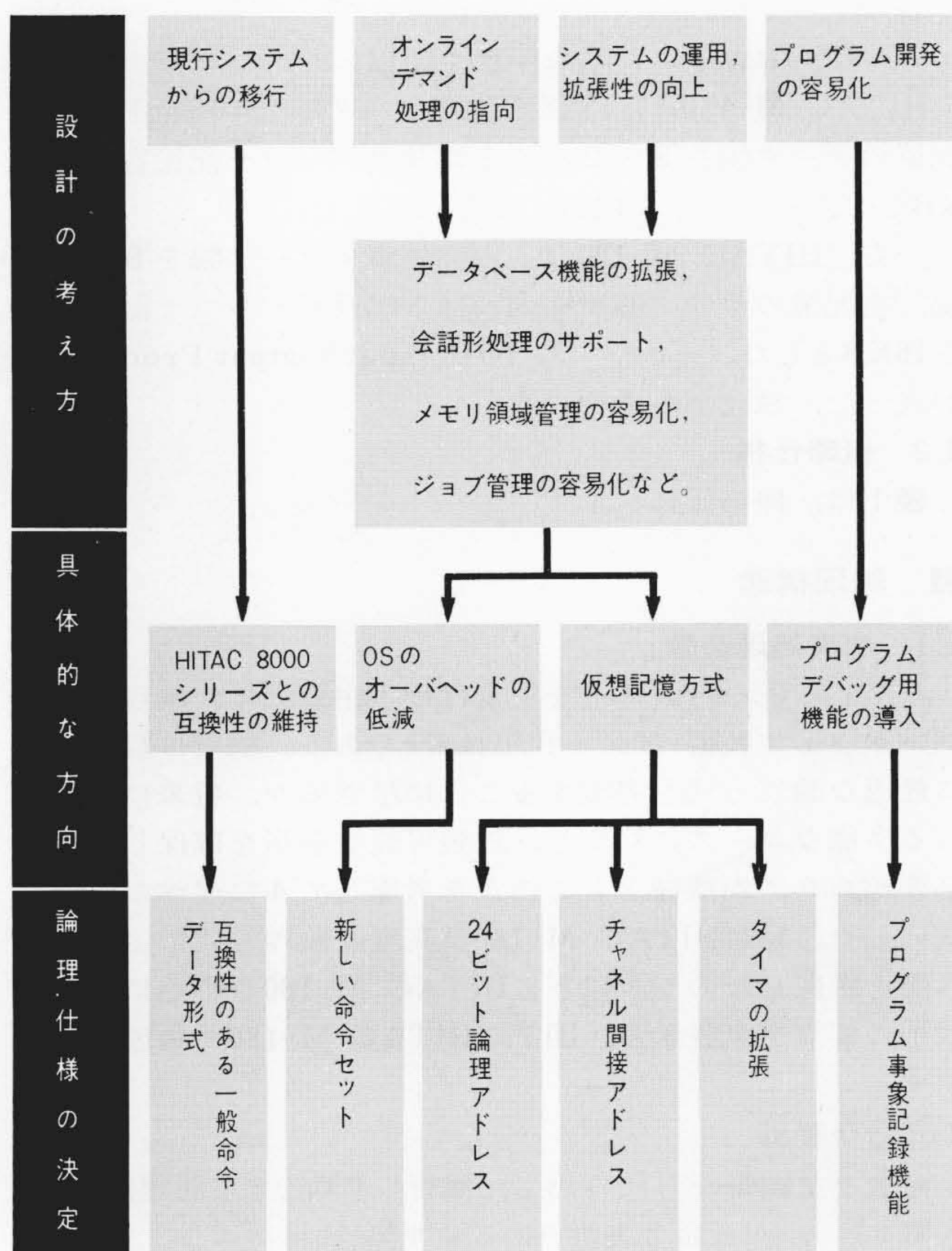


図3 Mシリーズの論理仕様の概念 設計の考え方とそれに基づく論理仕様を示す。

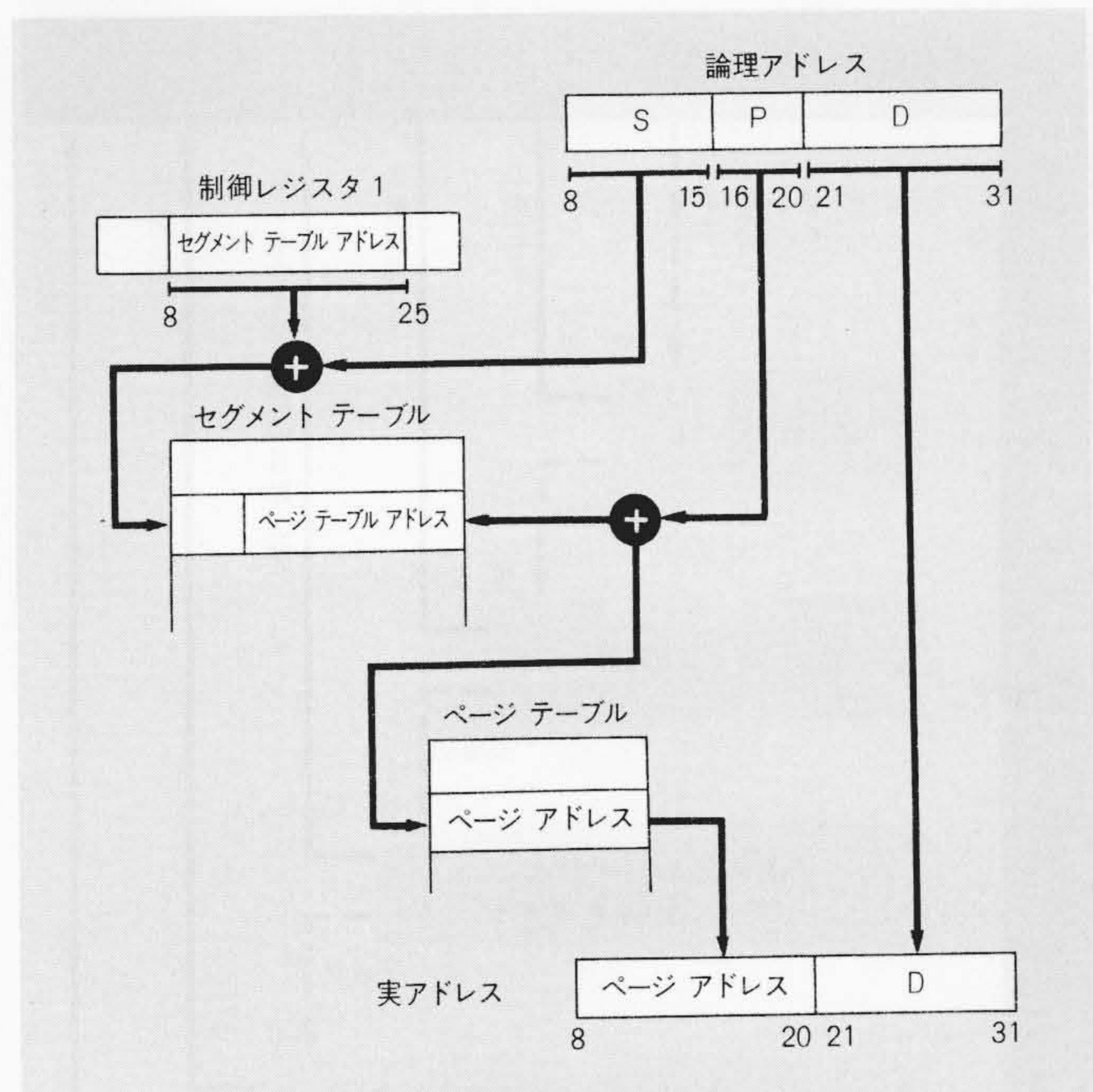


図4 論理アドレス形式とアドレス変換 論理アドレスには、4KBページのものがあるが、ここでは2KBページの場合を示す。

仮想記憶方式では、論理アドレスを実アドレスに変換する変換オーバーヘッドをできるだけ少なくする必要がある。高速のバイポーラメモリの開発により得られた高速のアドレス変換バッファと、セット アソシアティブ制御方式を用いて、Mシリーズではこの変換オーバーヘッドを著しく低減した。HITAC M-170/M-180は、ともに128のアドレス変換対をもつ。

図4に論理アドレスの形式と、アドレス変換方式とを示す。

論理アドレスの形式は、24ビット長で、実アドレスと同じであり、既存の実アドレスで作成されたプログラムを仮想記憶上で実行しやすいようになっている。

3.5 RAS機能

信頼性、保守性を向上するには、単に部品の信頼性を高めるだけでなく、システムとしての信頼性向上のくふうが大切である。例えば、システムの誤動作回復機能と、障害発生後の修復機能などである。

Mシリーズでは、ソフトウェアのサポートを含めて階層的な回復処理システムにより信頼性の向上を図ったが、図5に、その誤動作回復機能の階層構成を示す。

誤動作が発生すると、処理装置及びチャネルでは、命令再試行、又は入・出力動作のコマンド再試行を行なう。主記憶上には、1ビット誤りを自動訂正し、2ビット誤りを検出するエラー訂正コードを設けた。

再試行失敗後のマシン チェック割込みに続く、ソフトウェアの回復動作を行ないやすくするため、回復の補助情報として、マシン チェックの種類と影響範囲を示す識別コードを拡張した。

障害修復機能としては、コンソール ファイルから制御記憶へロードするマイクロ診断プログラムをもち、障害位置の指摘ができる。このほかに、予防保守などのために、オンライン テスト プログラム、ログアウト情報編集プリント プログラムなどのプログラム サポートがある。

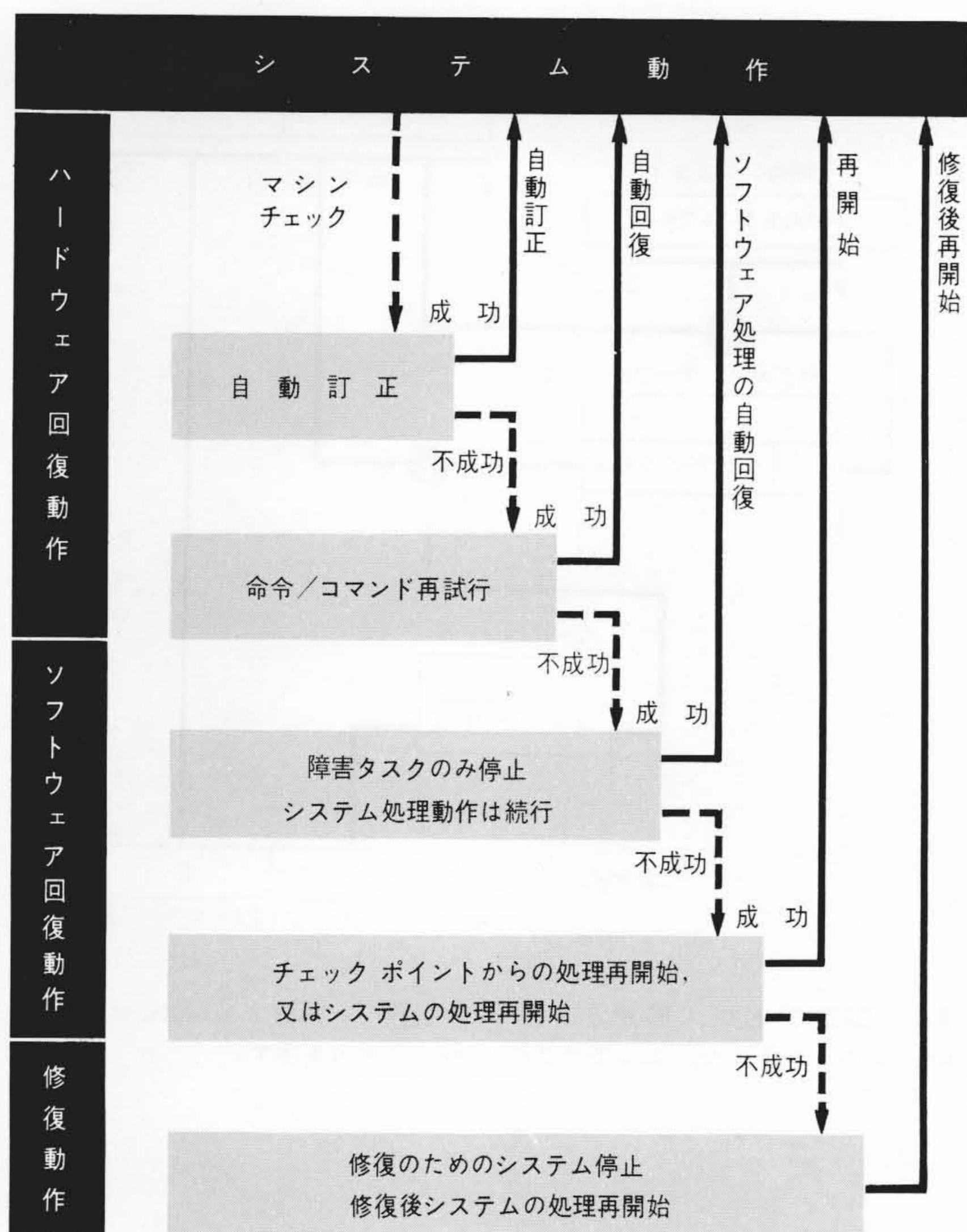


図5 RASの階層構成 障害発生時の回復動作の階層は、大きく分類すると図示のように5段階からなる。

3.6 HITAC 8000シリーズとの互換性

HITAC 8000シリーズからの移行を容易にするため、データ形式と一般命令の形式をHITAC 8000シリーズと同じにした。

特に、HITAC 8000シリーズのオペレーティングシステム(OSと略す)[DOS(Disk Operating System), EDOS]からの移行用に、DOS/EDOSエミュレータをオプションとして内蔵できる。

これは、エミュレータハードウェア機構と、エミュレータ制御プログラムとからなり、図6に示すようにDOS/EDOS及びユーザープログラムを、マルチプログラムの一つのジョブとして、MシリーズのOSのもとで実行できる。

エミュレータハードウェア機構は、ローカル実行命令と、チャンネル制御語補正命令とをもち、命令及びオペランドのアドレス補正、処理装置のモード切替え、チャンネル制御語内のデータアドレスの補正を行なう。エミュレータ制御プログラムでは、DOS、EDOSへの割込み、特権命令、その他2命令のシミュレーションを行なう。

4 基本仕様

4.1 基本構造

中央処理装置の内部構造で、重要な影響をもつものの一つに内部処理のデータ幅がある。これは、ハードウェアの規模を決定する要素であるとともに、性能への影響も大きい。

内部処理のデータ幅と制御方式とを仮定して、命令実行時間を予測し、それをもとにシステム性能を算出し、目標のシステム規模に対して、最適の設計かどうかという検討サイクルを通して、HITAC M-170/M-180の内部処理データ幅をは

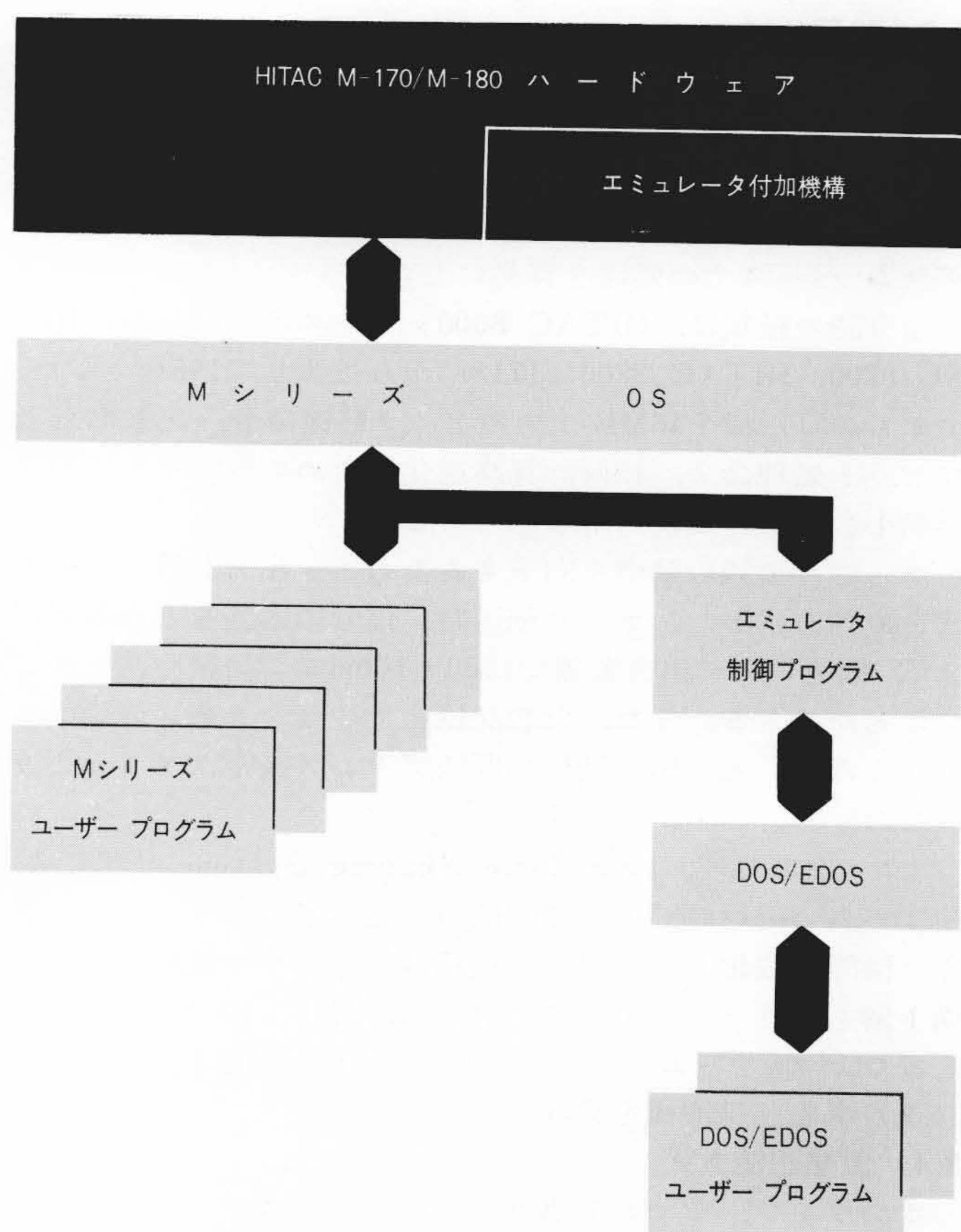


図6 DOS, EDOSエミュレータ DOS, EDOSとそのユーザープログラムは、MシリーズOSのもとで、ユーザープログラムレベルで処理する。

じめ、ハードウェアの基本仕様を決定した。

HITAC M-170は、内部処理のデータ幅を4バイト幅、主記憶のデータ幅を8×2バイト幅及びバッファ記憶容量を8KBとし、チャンネルを内蔵する方式とした。

一方、HITAC M-180は、内部処理のデータ幅を8バイト幅、主記憶のデータ幅を8×4バイト幅及びバッファ記憶容量を16KBとした。チャンネルは、IOP(Input/Output Processor)形式とし、独立制御を行なう。

4.2 概略仕様

表1に、概略仕様を示す。

5 論理構造

5.1 中央処理装置

パフォーマンス/コストを決定付ける主要因は、論理方式とハードウェア技術(部品と利用技術)である。前者は目標性能に最適な論理方式を考案することに尽きるが、将来に予想される多様なニーズに対処し、拡張可能な余裕を確保しておく必要があり、両機種ともこの点を考慮して4に述べた論理方式にした。特にHITAC M-180は高度な論理方式により目標性能を確保したので、以下にHITAC M-180を中心に論理方式上の要点を概説する。図7にHITAC M-180の論理構成を示す。

(1) 命令制御

命令を主記憶から読み出し、実行の準備をする論理部(命令制御ユニット)と命令実行をする論理部(演算ユニット)を完全に独立させ、これらのユニットを同時に動作させて実効的な命令処理時間を短縮した。図8に示すように、5命令を多重

表1 HITAC M-170/M-180の概略仕様 複雑・多様化するユーザーニーズに対し、諸機能を駆使してアプリケーションの開発、拡張を容易にした。

No.	項 目		HITAC M-180	HITAC M-170
1	命 令	形 式	6 種 (RR, RX, RS, SI, SS, S)	
		長 さ	2, 4, 6 (バイト)	
		数	195	
2	デ ー タ	形 式	固定小数点, 浮動小数点, 10進数論理データ, 可変長論理データ	
		長 さ	半語(2バイト), 語(4バイト), 倍語長, 4倍語長 最大256バイト可変長, 最大16メガバイト可変長	
3	モ ー ド		基本モード/拡張モード	
4	割 込 み 方 式		6レベル, PSW切換え方式	
5	記 憶 保 護		主記憶キーとプロセッサ キーの一致チェック方式 キーは4ビット/2KB, 読出し保護あり。	
6	タ イ マ	タイム オフ デイ クロックとその比較割込み機能	CPUタイマ, インタバル タイマ	
7	仮想記憶	論 理 ア ド レ ス セグメント サイズ ページ サイズ	24ビット 64KB 2又は4KB	
		アドレス変換バッファ (変換対数)	64×2	
8	主 記 憶	最 大 容 量 (MB) (マルチ プロセッサ)	8 (16)	4 (8)
		増 設 単 位 (MB)	1	0.5
		イ ン タ リ ー ブ バ イ ト × ウ ェ イ	8 × 4	8 × 2
9	バッファ 記 憶	容 量 (KB) 制 御 方 式 インタリーブ ウェイ	16 セット アソシアティブ 2	8 同 左 1
		方 式	I OP形式	インテグレート
10	チャネル	種 類	ブロック マルチ ブレクサ チャネル バイト マルチ ブレクサ チャネル セレクタ チャネル	
		最 大 チ ャ ネ ル 数	16	8
11	付 加 機 構		ダイレクト コントロール DOS/EDOSエミュレータ マルチ プロセッサ機構 ハードウェア モニタ 統合ディスク制御装置	同 左 拡張浮動小数点

動作させ、代表的命令を1サイクルで実行可能とした。

連続的に命令を解説して実行に必要なオペランドを演算ユニットに供給する能力と、分岐命令などによって命令の流れに乱れが生じた場合の処理能力をいかに向上させるかが最大の課題であるが、オペランドと命令の同時読出し、分岐の成否予測、分岐先命令の先取りなどが特に方式上留意した点である。HITAC M-170は命令の多重動作を行なうことなく、命令の先取りだけでシステム バランスのとれた十分な性能を得ている。

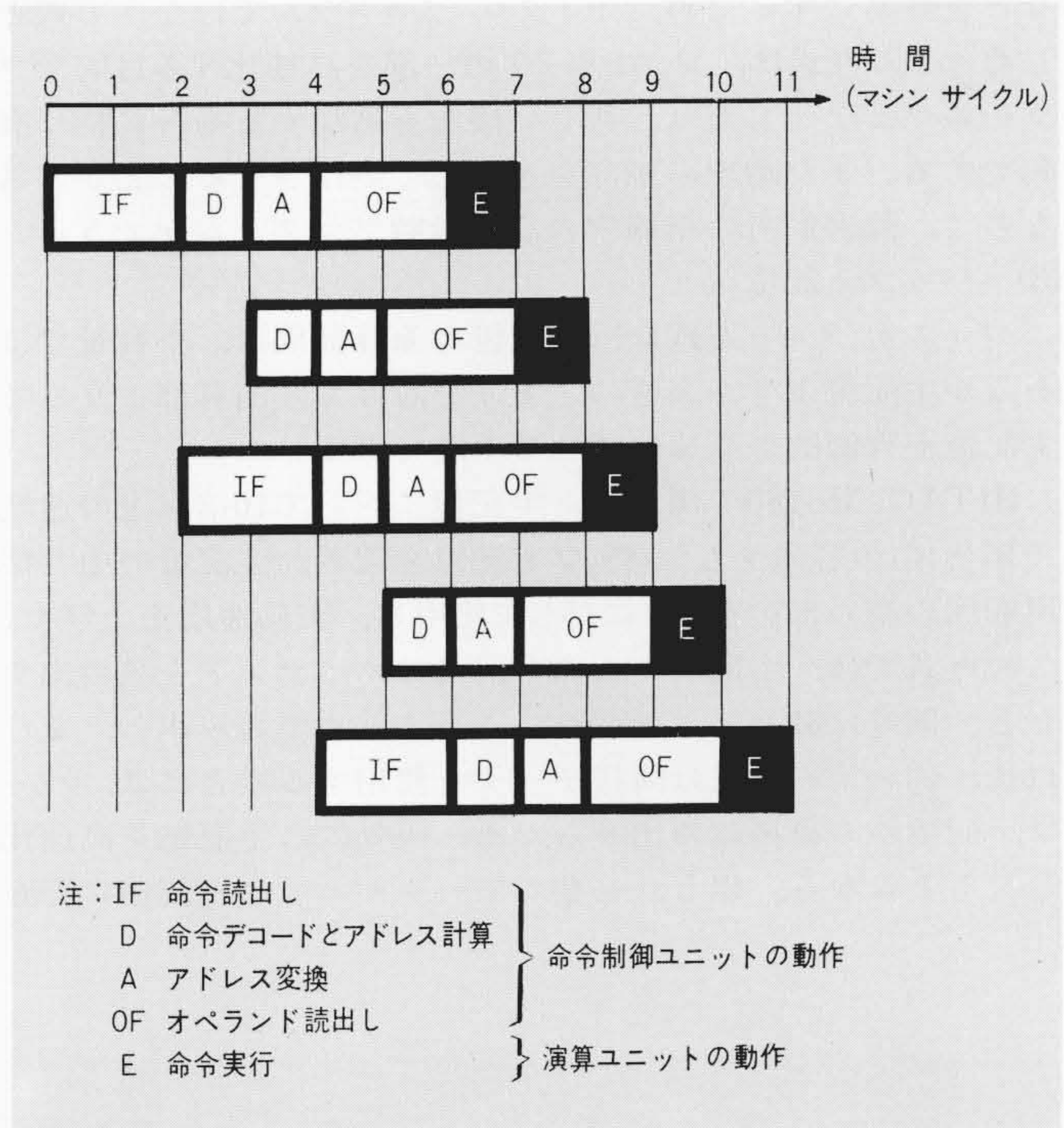


図8 HITAC M-180の先行(パイプライン)制御 5命令を多重処理、2進加算と代表的命令を1サイクルで処理可能とした。

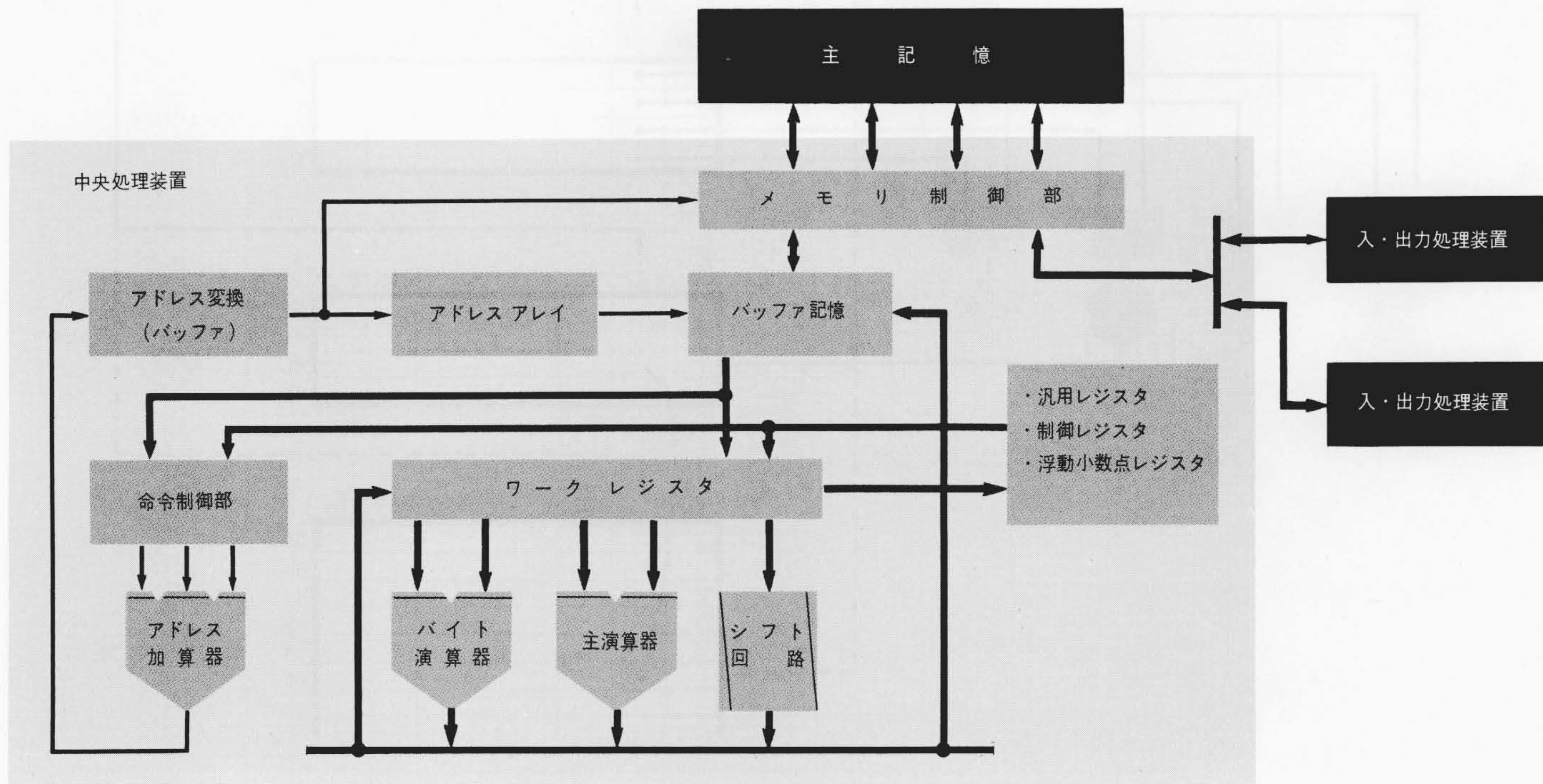


図7 HITAC M-180処理装置の構成 データの流れを中心に、論理構成を示す。

(2) 演算制御

オペランド、演算結果を格納する各種レジスタ、演算器などで構成されるが、基本的にはデータ デプスを大きくして同時に処理できるデータ量を増やすことにより高速化してある。特にHITAC M-180では64ビット長の主演算器のほかに24ビット長の3入力アドレス加算器、64ビット長のシフト回路、10進演算器などを設け、これらを同時動作させ性能を向上させた。また主記憶内のデータ移動用命令のように一般に使用頻度の高い特定の命令は、専用の論理回路を設けて高速化した。演算の制御は、制御論理を簡単にして、しかも機能拡張などを容易にするため、マイクロ プログラムで行なう方式とした。この方式は、ソフトウェアの一部を高速化する目的でファームウェア化したり、新しい機能を追加する場合に特に有利である。また論理の細部を選択して動作させることが容易なので、障害個所の指摘率の高い診断プログラムができる。

(3) バッファ記憶

バッファ メモリ方式は、主記憶と演算部間に、小容量ではあるが主記憶よりも高速のメモリを設けて、演算部よりみて主記憶が等価的に高速化される手段である。

HITAC M-180の例では、主記憶に対して10倍以上の速度で $\frac{1}{64} \sim \frac{1}{512}$ の容量をもつバッファ記憶を置き、主記憶の中で使用頻度の高い部分をこれに移して使用し、実効速度を上げた。この方式では、主記憶から命令、又はオペランドを読み出すとき、同時に32バイトのブロックをまとめて読み出し、それ以後、同一データ又は隣接データを使用する場合には、バッファ記憶から直接読み出せるため、実効的に主記憶を高速化したことになる。但し、必要なデータがバッファ記憶に存在

する確率を高くするよう、将来有効に使われるデータを選択して記憶させることが重要である。このため、実際のプログラムをトレースしたデータを使用して、シミュレーションを行なうなど種々検討して、図9のような方式とした。

HITAC M-180では、先行制御の能力を最大限に高めるため、バッファ記憶を2ウェイ インタリーブにして、命令とオペランドを同時に読み出せるようにした。

(4) アドレス変換

仮想記憶方式では、プログラムが指定する論理アドレスを命令実行過程で毎回実アドレスに変換しなければならないので、これを高速に行なう必要がある。このため、一度変換した論理アドレス—実アドレスの対応データを記憶するアドレス変換バッファを設けたが、これもバッファ記憶と同様に、必要なアドレス対が高い確率でバッファ内に存在するような制御方式を求めており、バッファ用として高速のバイポーラメモリを開発した。

5.2 チャンネル

将来予想されるデータ処理量の増大、高速入・出力装置の開発などに備えて、データ転送能力に余裕をもたせておくことが大切であり、このため、各チャンネルに十分なバッファ レジスタを設けて、主記憶とのデータ転送の最大許容待ち時間を大きくするとともに、各チャンネル、あるいは中央処理装置からの主記憶使用要求が同時に生じたとき、むだな待ち時間が生じないように要求受付論理方式を決めた。この方式決定にはシミュレーションが特に有効であった。チャンネルの一般的な問題点は、まず上記に関連する最大許容待ち時間が小さいために生ずるオーバランである。特にデータ チェイン、コマ

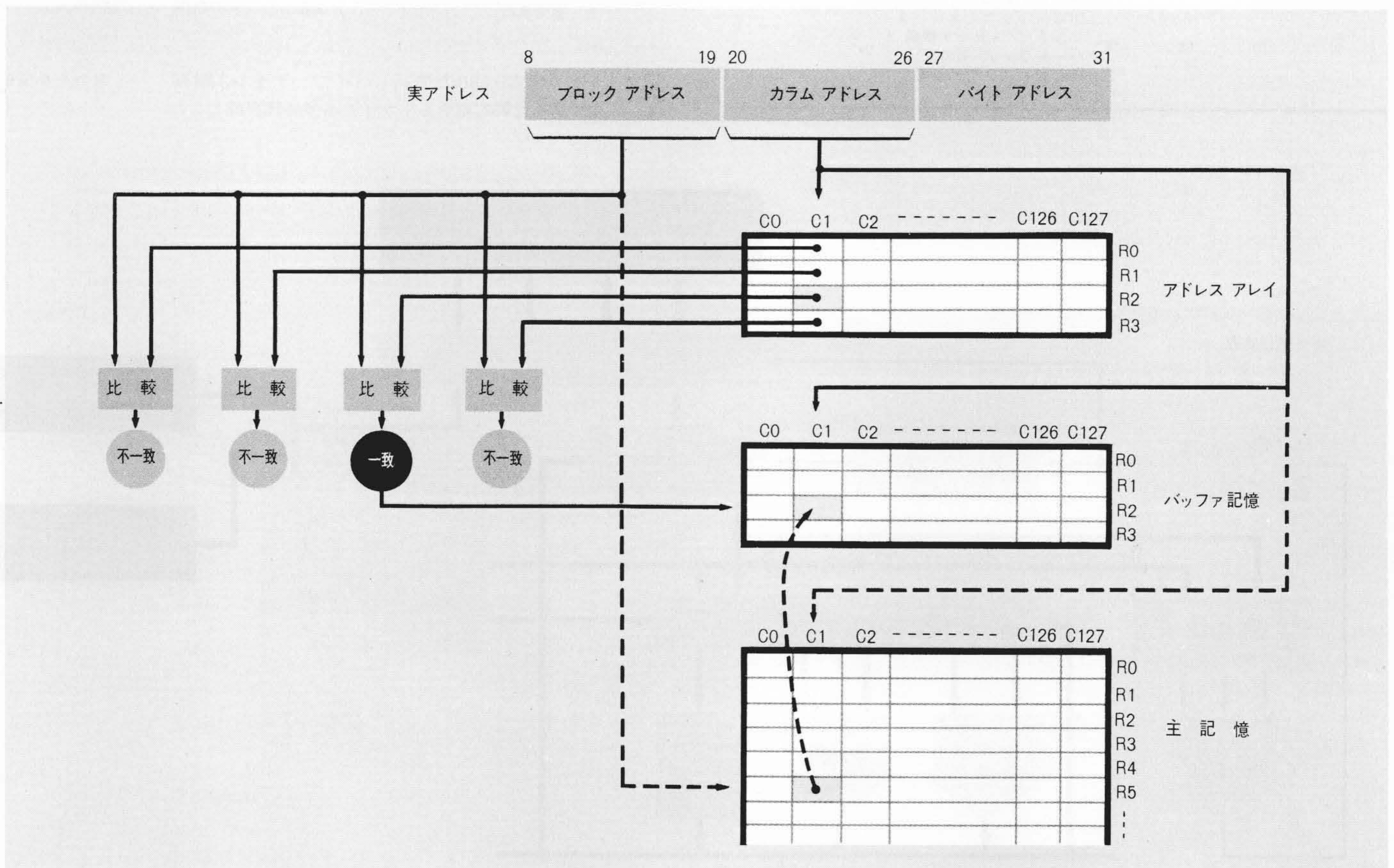


図9 セット アソシアティブ方式のマッピング 主記憶、バッファ記憶及びアドレス アレイの対応づけとバッファ記憶参照方法を示す。

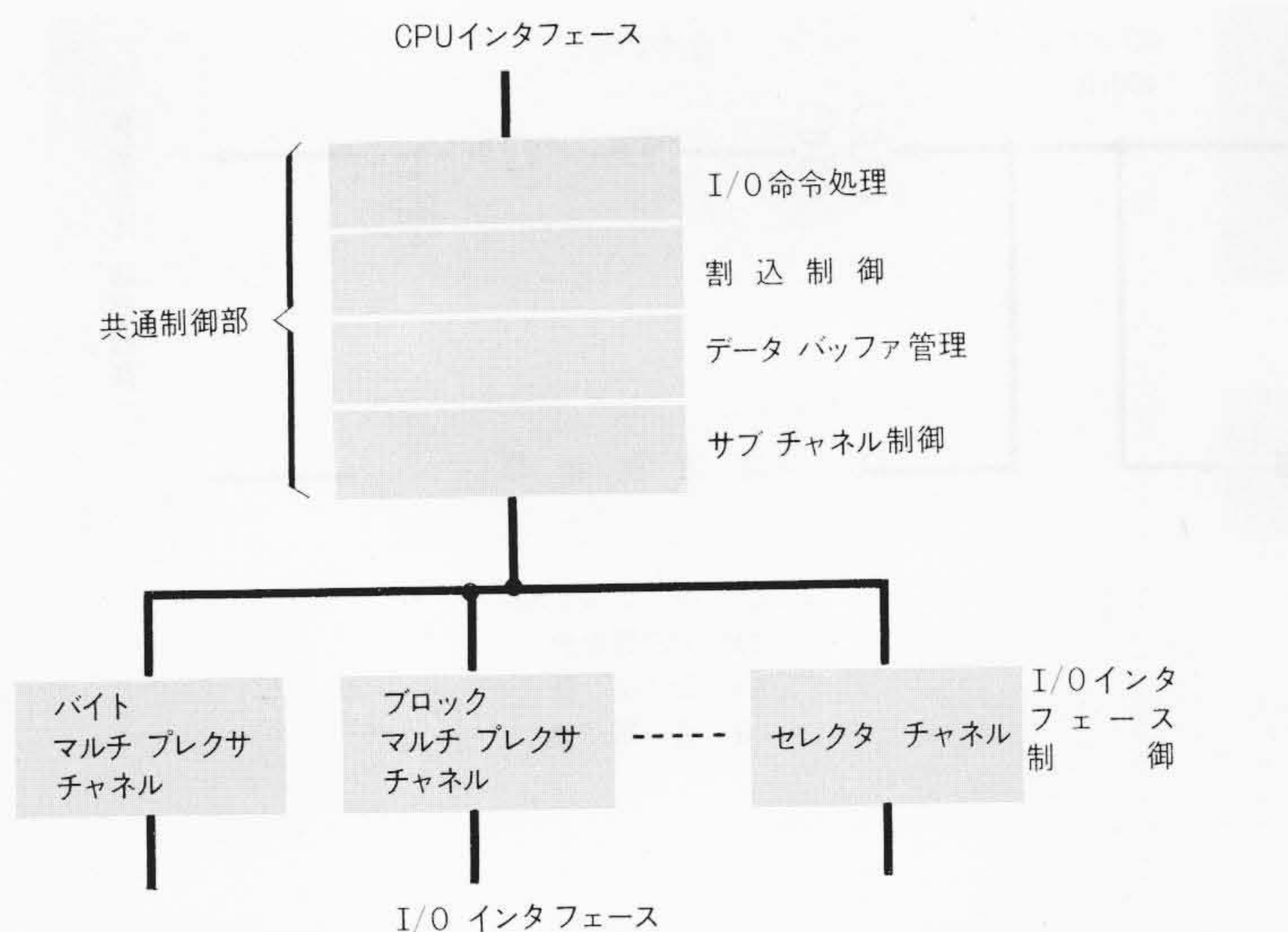


図10 チャンネルの共通方式 従来チャンネルごとにもっていた共通な機能を、集中制御する共通制御部を設けた。

ンド チェインの場合に問題が起きやすいので、十分な検討を行ない慎重に方式を決めた。

次にシステムを構成する場合、チャンネル数、ケーブル長などに余裕をもたせて、できるだけシステム構成の自由度を確保することが大切であり、例えば、制御部の高速化を図り、ケーブル長の遅れに対する配分を多くして、インタフェースケーブル長をできるだけ長くとれるようにした。

HITAC M-170/M-180用チャンネルの論理方式上の特長は、共通制御方式にしたことである。従来はチャンネルごとに動作に必要な割込制御、データ バッファ管理などの機能をもっていたが、図10に示すように入・出力インタフェース制御部以外は一括して共通に制御する方式にした。この方式は I C メモリを有効に活用できるため、パフォーマンス/コスト上有利である。

6 主記憶装置

6.1 概 要

システムの大形化に伴って、主記憶装置(Main Storage 以下、MS と略す)の大容量化(HITAC M-180では最大 8 M B)、高速化への要求がますます強まっている。また信頼性向上と、低電力化、小形化が必要となる。Mシリーズは、これらの要求に合致したメモリとして、I C メモリを使用している。

6.2 仕 様

表 2 に装置の主な仕様を示す。MS は図11のメモリ カードの記憶部とこれを制御する周辺回路部とで構成され、大形プリント板のバックボード 1 枚を構成単位としたモジュール構造になっている。このため、フィールドでの増設が極めて容易である。また寸法、消費電力などはコア メモリ対比でそれぞれ $\frac{1}{4} \sim \frac{1}{6}$ 、 $\frac{1}{5} \sim \frac{1}{10}$ となり、I C メモリとした効果が極めて大きい。

6.3 高信頼性

MS の信頼性はほぼメモリ I C の品質に左右されるといっても過言ではない。従って、メモリ I C をはじめとする半導体部品の品質管理の強化はもちろんであるが、高温動作試験や、メモリ カード組立て後のヒートランなど信頼性向上に有効な手段を生産ラインで積極的に行なうこととした。また、

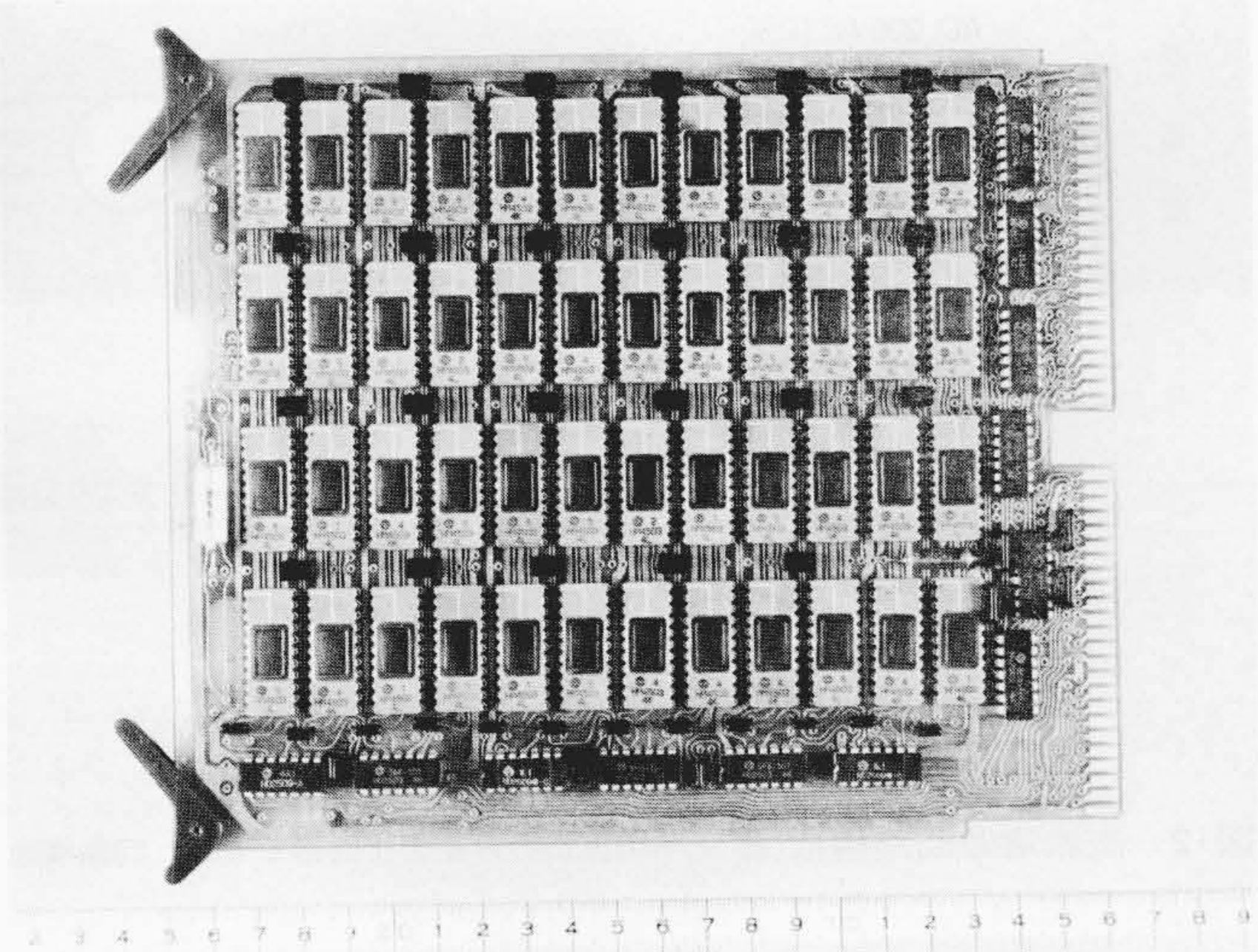


図11 メモリ カード MOSメモリICを48個搭載したメモリ カードを示す。

表 2 MSの主な仕様 大容量化、高速化、低電力化、小形化及び信頼性向上の諸要求に合致したメモリとして、I Cメモリを使用している。

項 目	単位	HITAC M-180	HITAC M-170
記 憶 容 量	MB	1 ~ 8	0.5 ~ 4
増 設 単 位	MB	1	0.5
デ ー タ 幅	B	32	16
インタリーブ	ウェイ	4	2
エラーチェック	—	1 ビット エラー 訂正	
		2 ビット エラー 検出	
記憶保護単位	KB	2	

I C メモリの場合、エラーの大半は一時的な 1 ビット エラーに起因することが多い。このため、1 ビット エラーの自動訂正と 2 ビット エラーの検出回路(E C C (Error Checking and Correction)などを設けたが、これらは装置の信頼性向上に有効である。

7 直流電源装置

コンピュータ用電源としては、従来より、トランジスタを用いたシリーズ レギュレータ方式、スイッチング レギュレータ方式、CVT/C²VT(Constant Voltage Transformer / Controlled CVT)方式などがあり、それぞれ特長を生かして使い分けられている。Mシリーズでは、信頼度向上、省資源化及び小形化コスト低減を目的として、MG方式の電源を開発した。このMGは、安定化回路を全く必要としない程度に出力変動が少ないうえに、低騒音と小形〔防音箱寸法：幅1,250×奥行500×高さ785(mm)、騒音60ホン以下〕化されていることが特長である。

電源装置は図12に示すように、MGと降圧、整流及び平滑の機能をもった複数の直流変換部で構成される。分散配置した直流変換部への給電は200 V、400Hzであるため、集中電源の場合に必要な大電流用給電バスは不要となり、給電系は小形で安定度も高い。

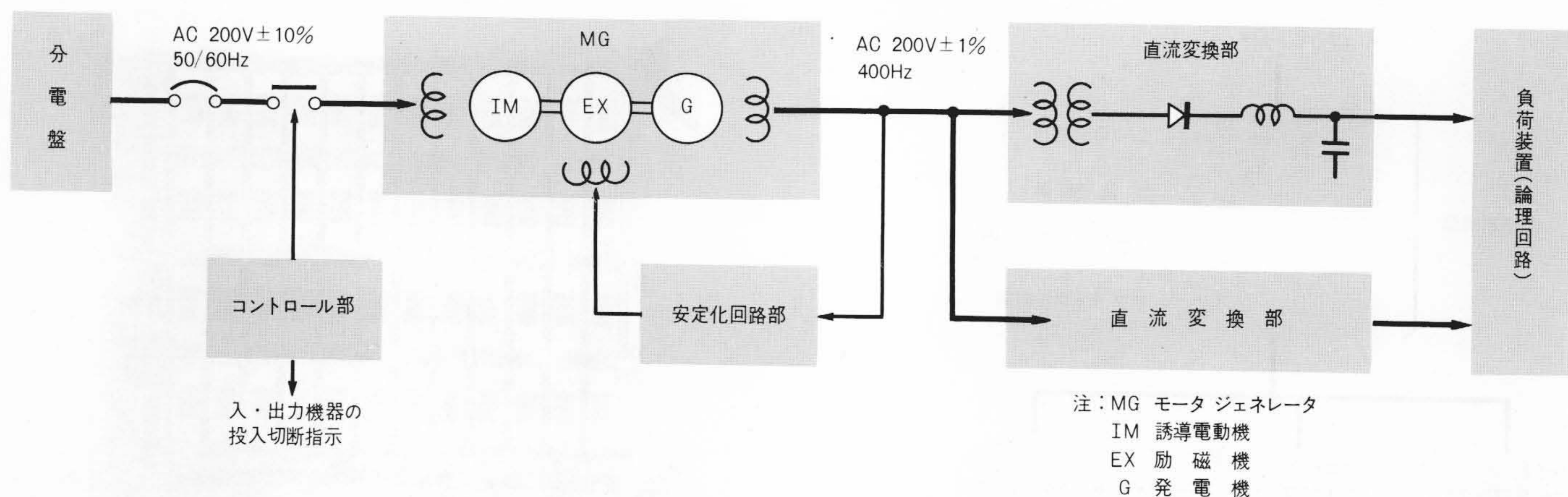


図12 直流電源回路構成図 MG部にのみ安定化回路をもった回路構成にした。

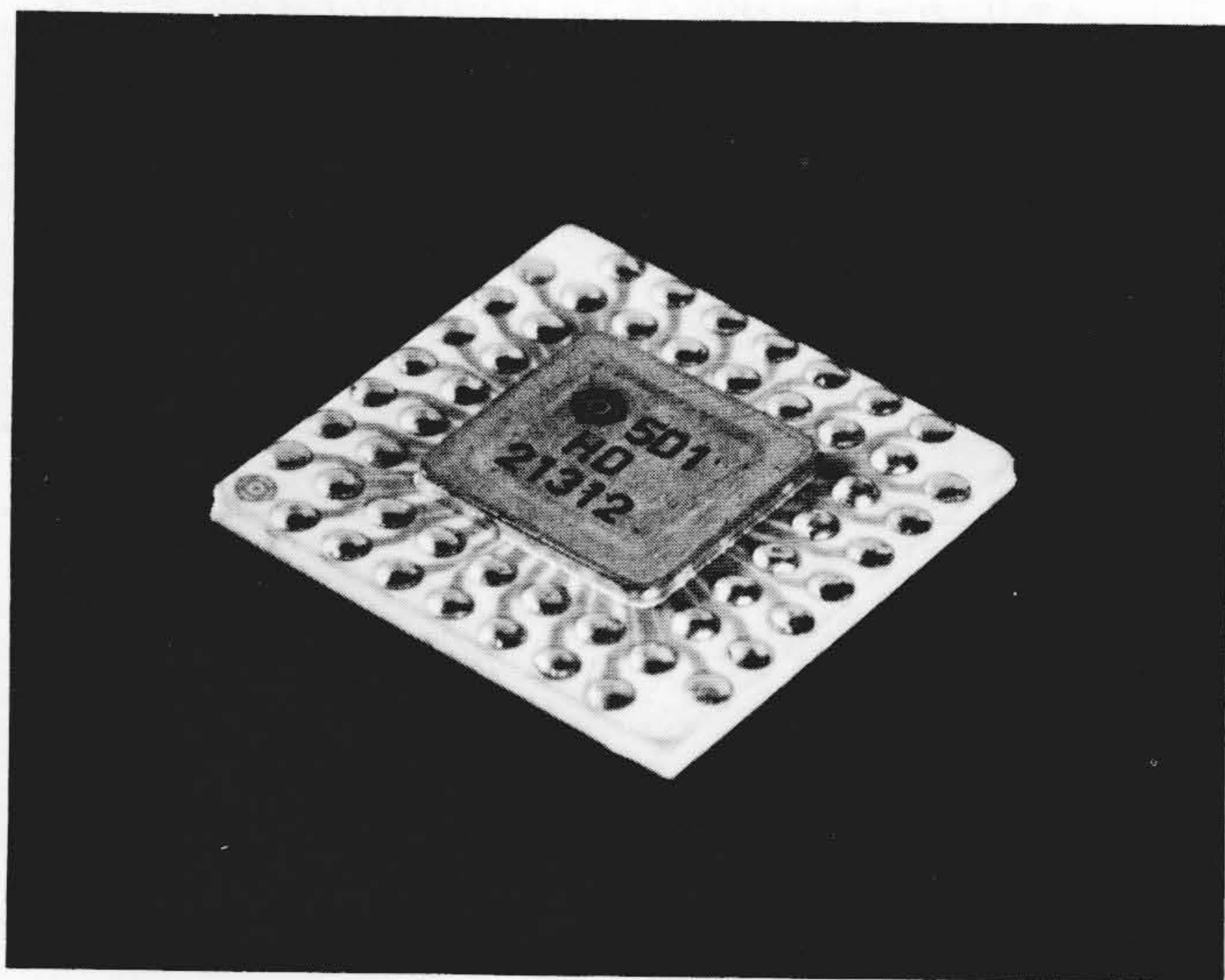


図13 高速LSI 最大200ゲートの集積度をもった高速LSIを示す。

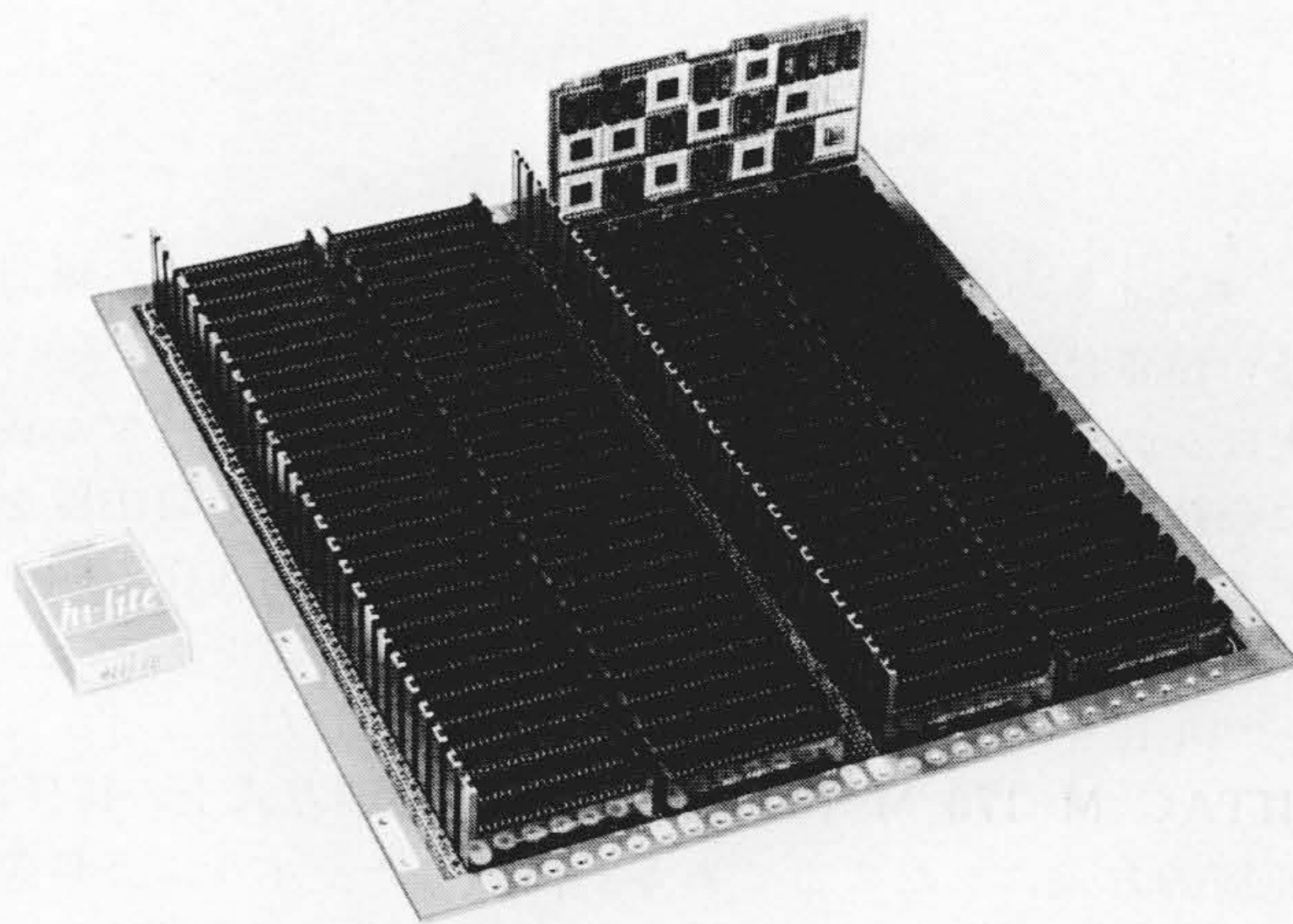


図14 多層プリント板 最大8層のバックボードとプリントカードを示す。

MG電源の特長は次に述べるとおりである。

- (1) 200ms以下の瞬時停電に耐え、入力電圧変動、外来雑音に強い。
- (2) 使用部品数が他の方式の電源より1けた以上少なく、トランジスタなどの電力制御用半導体を用いないため、信頼性は極めて高い。
- (3) 電源制御用半導体による電力消費がないため、電源効率50%の低電圧大電流回路(2V、5V 1,200~1,600A)としては優れた性能を確保できる。

8 半導体及び実装技術

高速・高密度・多層化を追求する一方、製品の開発という観点で特に次の点に留意した。

- (1) コスト、供給の安定性などを考慮して、できるだけ工業標準品を使用する。
- (2) 冷却方式を空冷とするなど、できるだけ設備条件をゆるくする。
- (3) 製造、検査の自動化に適合した実装とする。

8.1 半導体

論理素子としてECL(Emitter Coupled Logic)-10KファミリのSSI、MSI及び図13に示すLSI(100~200ゲート)を開

発した。既に述べたように、LSIはMSI、SSIとの混用を前提として、リードの形状、間隔をこれらに合わせるとともに、低電力化を図って発熱をできるだけ抑える設計とした。

8.2 実装技術

新しいCADを開発して、論理シミュレーション、ICの配置、配線、診断などをより高度に処理できるようにした。

図14に示す最大8層のバックボード(420mm×460mm)は2~4層のプリントカード(100mm×180mm)54枚を搭載することができる。

9 結 言

以上述べたように、HITAC M-170/M-180の開発は、ソフトウェア、処理装置、周辺機器など、コンピュータシステムの全域にわたる大規模なものである。開発着手より約3年を経過して、ここにほぼ所期の目標を達成したが、今後、信頼性データの蓄積とフィードバックにより、より以上システムの信頼性を高めるとともに、例えば半導体の高速化、高密度化など技術の革新をとらえ、引き続きシステムの改善と発展にいつそうの努力を重ねていく考えである。

本開発に当たり、終始適切な御指導と御協力をいただいた関係各位に対し、深く謝意を表わす次第である。