

HIDIC 80シリーズのシステム構成

System Architecture of HIDIC 80 Series

近年、制御用計算機は半導体の進歩によるハードウェアの性能向上につれて、高度かつ精密な制御と大量の情報処理を、従来以上の応答性をもって処理することが要求されつつある。更に、個々の制御と物流、生産管理を統合したシステムのトータル化が進みつつある。このような背景のもとに、日立制御用計算機HIDIC 80シリーズは、スーパープロセッサコンピュータHIDIC 80-E、中形のHIDIC 80及びワンボードコンピュータHIDIC 08-Lを核として、マルチコンピュータシステム、分散処理ネットワークなど、システム構成能力の強化を図った。

この論文は、HIDIC 80シリーズの開発のねらいとシステムアーキテクチャ、及びシステムを支えるコンポーネント機器について述べる。

井手寿之* *Ide Jushi*
保田 勲* *Yasuda Isao*
伏見仁志* *Fushimi Hitoshi*
加藤 猛* *Katô Takeshi*
坂東忠秋** *Bandô Tadaaki*

1 緒 言

近年、制御用計算機システムのパフォーマンス/コストの改善、特に目覚ましい半導体技術の進歩と大形計算機からのテクノロジートランスファによる性能向上が進むにつれて、制御用計算機システムに任せる仕事の範囲が拡大するとともに、仕事の質も高度化してきた。これに伴い、計算機に要求される能力も、従来の高速応答性だけでなく、

- (1) 制御アルゴリズムとモデルの精密化による制御の高度化を実現する高速演算処理能力
 - (2) 工程管理、物流管理、系統運用などでの大容量情報処理能力
- を、リアルタイム性を落とさずに実現することが要求されてきた。

更に、従来個別に設置された機械制御と物流、生産管理システムの見直しが進み、

- (3) 制御と物流、生産管理を結合したシステム総合化能力が、生産システムの大規模な合理化を進める上で不可欠となってきた。

一方、制御用計算機システムの役割が大きくなるにつれ、その故障の影響は甚大なものとなり、

- (4) 制御用計算機の高信頼化のためのRAS (Reliability, Availability, Serviceability) 機能の充実が、よりいっそう重要となってきた。

制御用計算機システムへの需要が高まるにつれ、システムの計画、プログラム作成、運転保守、システムの増設・拡張などに要する人員の確保が、近年ますます難しく、かつ問題化しつつあり、

- (5) システムの構築、維持、拡張の容易性が、特にシステムの大規模化が進む現状では重要な課題である。

このような市場環境への対応をねらって日立制御用計算機HIDIC 80シリーズを完成した。

2 HIDIC 80シリーズ開発のねらい

HIDIC 80シリーズの開発に当たっては、制御用計算機システムへのニーズの変化に対応して、次の項目を重点とした。

- (1) パフォーマンス/コストの追求
機能、処理量に見合った経済的なシステムを提供できるよ

うに、中央処理装置(CPU)はHIDIC 80-E、HIDIC 80及びHIDIC 08-Lと大形スーパープロセッサコンピュータからカスタムLSI化プロセッサをベースとしたローエンド機種まで、切れ目なく3機種をそろえとともに、更に入出力装置レパトリの充実を図る。

- (2) 演算能力の増強

制御応答性を落とさずに高度な制御アルゴリズムを実行できるようにCPUの演算能力を強化する。

- (3) 大量情報処理能力の強化

制御システムの高度化、精密化が進むにつれ、扱う情報量は年ごとに増加しつつあり、大量情報の管理と処理技術が不可欠となってきた。そこで次の点を強化する。

- (a) 大量情報の記憶ファイルとそのアクセスの高速化
- (b) 大量情報の転送が可能なよう入出力バスの高速化
- (c) データベースサポートシステムの強化

- (4) システムのトータル化技術の強化

HIDIC 80シリーズは制御と情報処理を結合し、システムのトータル化を図るため、

- (a) ホスト大形制御用計算機による情報処理と端末の小形機による制御とを結合する分散処理システムの構築
- (b) 構外広域に分散された制御ポイントとホストコンピュータ間及び上位事務用計算機との結合を行なう通信制御機構の充実
- (c) 通信プロトコルの階層化とサポートシステムの充実により、ユーザープログラムの負担を軽減し、かつ容易にシステム間結合を図れること。

- (5) マルチコンピュータ構成による高信頼化とシステム拡張の容易性

最大8台の計算機を結合し、全体として1台の計算機に見えるようにして、故障に対する危険分散を図り、処理量の増大に対する拡張性を確保するとともに、個々の計算機の高速応答性を生かせることを特長としたマルチコンピュータ構成を可能とする。

- (6) システム高信頼化

システム高信頼化を図るため、素子、モジュール、装置及びシステムの各階層で高信頼化手法を適用する。

* 日立製作所大みか工場 ** 日立製作所日立研究所

- (a) 素子のエージング, スクリーニングの強化
 - (b) 故障検出能力の強化と故障時情報収集能力の向上, 及び故障の他への波及防止
 - (c) 故障時の装置, システムレベルでの再試行
 - (d) 故障部分の切離し, 負荷移動を行なうシステム再構成機能
 - (e) マルチコンピュータシステム, 分散処理システムによる危険分散
- (7) システム構築, 維持及び増設の容易化と効率化
- システム構築に際し, 最も問題となるのがプログラムの生産性である。そこでソフトウェアの生産性向上のため,
- (a) 高級言語PCL (Process Control Language), SPL (Software Proudution Language) によるプログラミング
 - (b) デバッグのためのTOOL類の充実
 - (c) プログラム開発の負担を減らすサブシステム, 標準化プログラムの拡充を行なう。
- また, 保守の省力化を図るために,
- (a) システム全体を同一の設計思想で統一することによる教育, 保守の省力化
 - (b) プログラムの保守性向上
 - (c) ハードウェア及び標準ソフトウェアの徹底的なモジュール化により, モジュールの組合せで能力の拡張ができること。

3 システムアーキテクチャ

HIDIC 80シリーズはモジュールの組合せにより, シングルコンピュータからマルチコンピュータへ, 更に分散処理ネットワークへと自由に拡張できるシステムアーキテクチャとした¹⁾。

3.1 マルチコンピュータシステム

マルチコンピュータシステムを容易に構成でき, かつ複数のコンピュータに負荷を分散することによる応答性を確保し, 障害発生時の局所化による危険分散を図るため, 以下の点に留意した。図1にHIDIC 80マルチシステム例を示す。

- (1) プロセッサ間の干渉を軽減するために, 各プロセッサに固有メモリを内蔵させ, 独立性を確保した。
- (2) 複数の処理装置から, 命令語で高速アクセスできるグローバルメモリ(GM)にプラントイメージ, 制御パラメータなど, システム全体に共通の情報を格納し, かつ処理装置間連絡エリアやシステム再構成情報を格納することにより, 処理装置間の連絡の高速化を図り, また, 1台の処理装置が故障しても容易に他の処理装置がその仕事を引き継げるシステム再構成を可能とした。ただし, グローバルメモリの故障はシステムダウンとなるため, 二重化構成を基本とした。

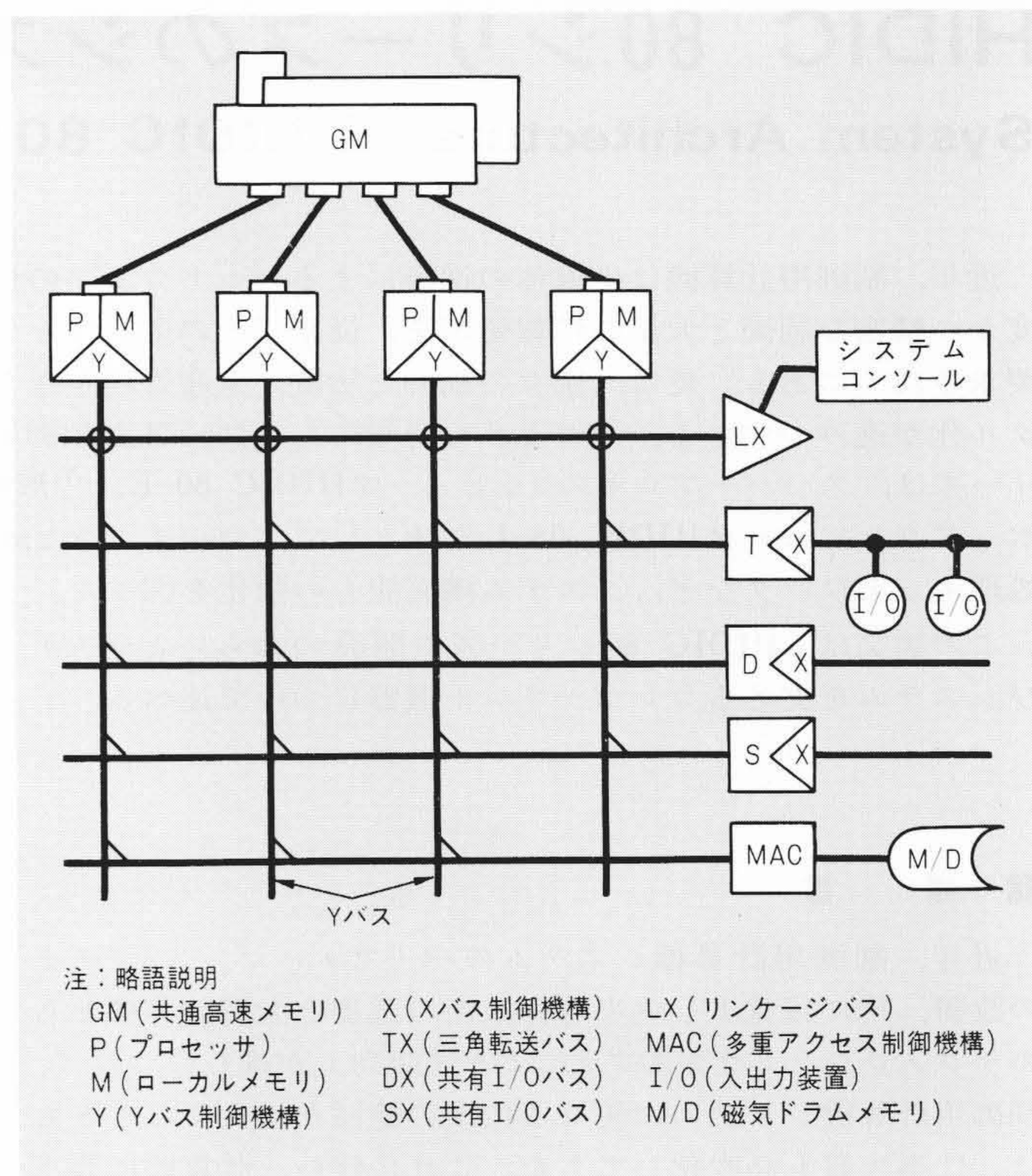


図2 HIDIC 80システム構成 処理装置モジュール4台, バスモジュール, 入出力装置などから成るHIDIC 80マルチシステムの一構成例を示す。

- (3) 入出力バスの階層化とモジュール化を行ない, モジュールごとの独立平行動作を許すことにより, 共用バスの渋滞を回避するとともに, バスモジュール間の故障波及防止による故障の局所化を可能とした。共用バスには, パフォーマンス/コスト上, 多重化が得策でない共用入出力装置を結合する。
- (4) システムファイルは, プロセッサ間で高速に共有できるよう多重アクセス機構を準備し, ファイルの故障による情報の喪失を防ぐため, ファイルの多重化をサポートした。
- (5) 計算機間の相互監視, 連絡割込のため, 相互連絡用バス(LX-BUS)を設け, システムコンソールを接続し, オペータによる状態監視と構成制御を可能とした。

図2にマルチシステムの構成例を示す。処理装置は, 中央処理装置(P), ローカルメモリ(M)及びバス制御部(Y)から構成され, 二重化構成のGMを介して相互に結合した。各処

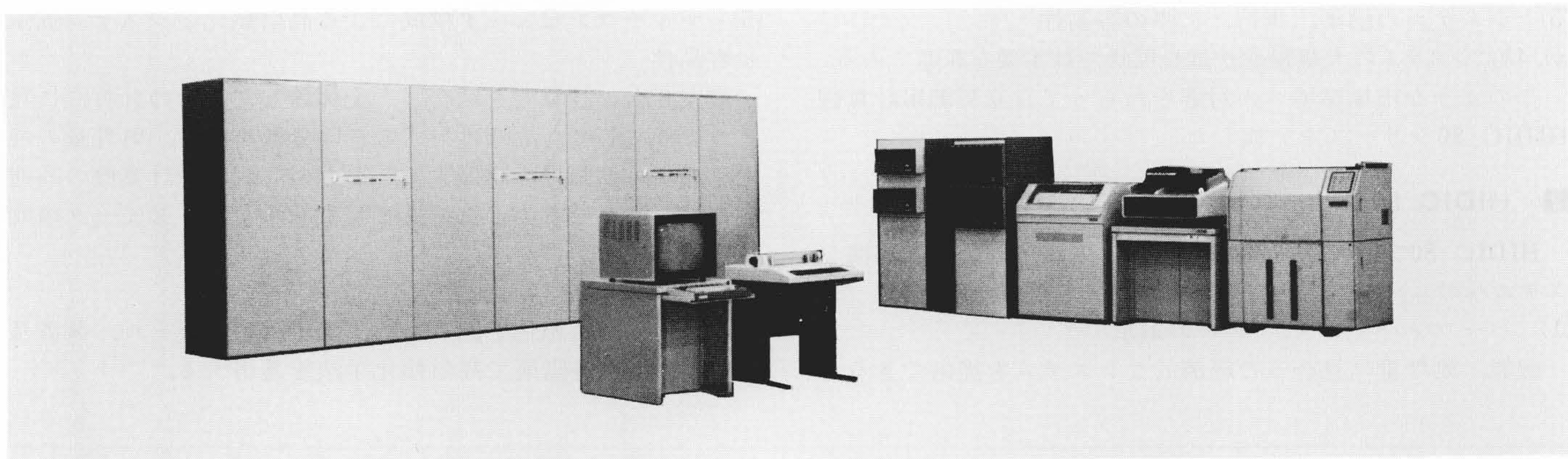


図1 HIDIC 80マルチシステム 処理装置3台構成と代表的入出力装置を示す。

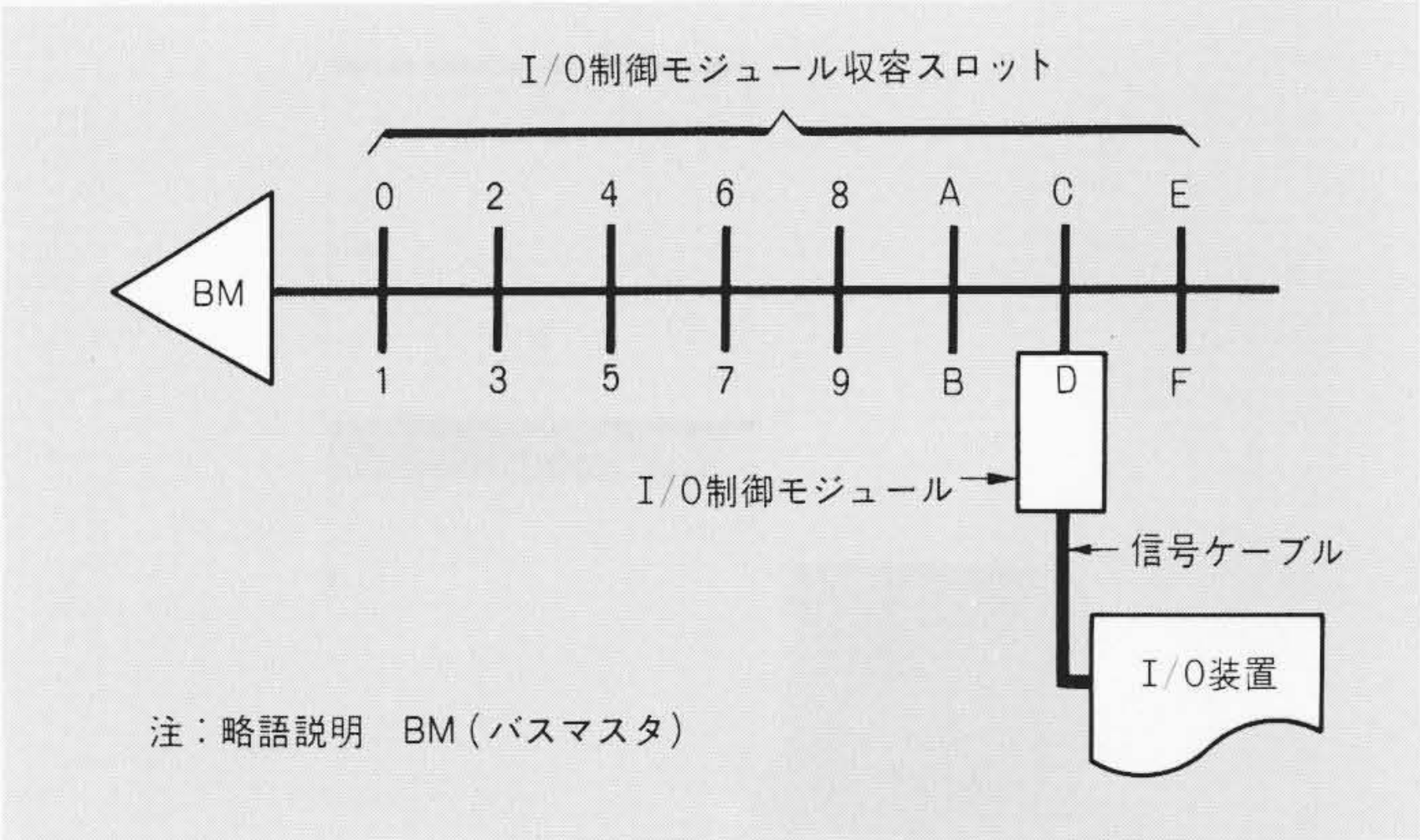


図3 バスモジュールの基本構造 最大16台の入出力制御モジュールを格納するバスモジュールの構造を示す。

表1 バスモジュールの種類 バス制御機構の機能の相違により、6種のバスモジュールを開発した。

区分	種類	略号	機能
一重系	Yバス	Y	処理装置と一体となった基本インタフェースバス
	Zバス	Z	Yバス及びXバスのI/Oスロット拡張用バス
多重系システム	Xバス	SX	スイッチ機能による複数処理装置とI/Oとの結合バス
		DX	共用 中・低速I/O制御用バス
		TX	共用 高速ファイル装置制御用バス
		LX	処理装置間通信制御用バス

理装置間の相互連絡は、処理装置間連絡バス(LX)を経由して実行され、共有入出力装置はクロスバスイッチ形論理構造の共有バスモジュール(SX, DX, TX)に接続制御される。

バスモジュールは、図3に示すようにバスを管理するバスマスタを中心に最大16台の入出力制御モジュールを接続でき、用途により表1に示す6種のモジュールを準備した。

3.2 分散処理システム

計算機制御システムは、その発展過程の中で絶えず分散指向と集中指向を繰り返しながら発展してきたが、現在、大容量メモリや高性能マイクロコンピュータなどの出現を可能としたLSI技術の進歩や、高速かつ広域な情報伝送を可能にした伝送技術の進歩により、中央計算機(ホストコンピュータ)に対する負荷集中の回避、システムの拡張性、保守性の向上などをねらいとした新しい分散指向、すなわち広域分散ネットワークシステムの時代を迎えている^{2),3)}。

このような動向の下で、重要となるのが分散システムの結合技術であり、プロセス単位には制御を分散しながら、管理は中央へ一元化を図ることにより、システムトータル化を実現する技術である。

HIDIC 80シリーズでは、上記分散処理システムのニーズにこずるため、表2、3に示すように高速情報伝送システム、データフリーウェイ(Data Free Way：以下、DFWと略す。)を核とする構内広域ネットワークシステムと電話回線に接続可能なマイクロプロセッサ内蔵汎用通信制御装置(Communication Linkage Controller：以下、CLCと略す。)を適用した更に広域なネットワークシステムとにより、下記の特長をもつ広域分散処理システムを実現した。

(1) 分散配置された制御端末とホストコンピュータ間の結合

表2 データフリーウェイ(DFW)の主な仕様 DFWを使用したループタイプのネットワーク構成と、低速用と高速用のDFWの主な仕様を示す。

項目	H-7430C DFW	H-7480C DFW
システム構成	1:N 	M:N
伝送速度	2Mビット/s	
実効情報転送速度	10k語/s	100k語/s
伝送フレーム	固定長	可変長
伝送制御	優先制御付ポーリング/セレクション	優先制御付コンテンツン
誤り制御	反転2連送	CRC(データ部)反転2連送(制御部)
ケーブル	同軸ケーブル	
ステーションの数	31ステーション/ループ	255ステーション/ループ
ステーション間距離	最大 1km	
信頼性	伝送路及びステーションの二重化可能	

注：略語説明 CRC(Cyclic Redundancy Check)

表3 通信回線用CLCの主な仕様 通信回線を使用したネットワーク構成と、低速用通信制御装置CLC-S、高速用通信制御装置CLC-H及び汎用手順HDLC用通信制御装置CLC-Tの主な仕様を示す。

項目	CLC-S H-7456C/H-7422C (μ-P内蔵)	CLC-H H-7457C/H-7423C (μ-P内蔵)	CLC-T H-7426C (μ-P内蔵)
通信方式	半二重		全二重
同期方式	調歩同期	SYN同期	フラグ同期
通信速度	200~1,200bps	2,400~48,000bps	2,400bps 4,800bps
伝送手順	7種	BSC方式	HDLC方式
転送方式	PCMA DMA	PCMA DMA	DMA

注：略語説明 BSC (Binary Synchronous Control)
HDLC(High level Data Link Control)
PCMA(Processor Controlled Memory Access)
DMA (Direct Memory Access)
μ-P (Micro Program)

には、構内制御の場合、伝送速度2M bpsのDFWを適用し構外を含む更に分散した広域システムに対しては、通信速度200bps~48k bpsのCLCを適用する。

(2) ホストコンピュータには情報処理能力の優れた高性能日立制御用計算機HIDIC 80/80-Eを適用し、分散配置する制御端末としては制御応答性に優れた小形機HIDIC 08-Lを適用することにより、パフォーマンス/コスト上バランスのとれたシステムを実現する。

(3) 端末プログラムの開発、端末へのプログラムローディング及び端末計算機の監視、保守情報はホストコンピュータで一元管理することにより、端末側の無人化・省人化を図り運用コスト、保守コストを低減する。

(4) ホストコンピュータ及び端末計算機の負荷容量の増大を避けるため、通信制御装置ハードウェア心臓部にマイクロプロセッサを装備し、通信制御管理プログラムのハードウェア化を図るとともに伝送制御手順として伝送効率と信頼性の優

れたHDL C (High level Data Link Control) 方式をも適用可能とする。

(5) DFWはシステムの核となるため、DFW接続システムの切離し機構、情報の誤り制御、ハードウェア転送リトライ機構、伝送ループの多重化など伝送情報の高品質性の確保及びシステムの高信頼化、高稼働率化を実現する。

(6) 更に、光ファイバの広帯域性、低損失性、本質的な絶縁性、非誘導性などの特質を生かした光通信技術の適用により、分散処理システムでの伝送速度の飛躍的な向上、長距離化、耐ノイズ性の向上をも実現可能とする。

4 中央処理装置

HIDIC 80シリーズは、HIDIC 80-E、HIDIC 80及びHIDIC 08-L (08, 08-E)の3機種から成る。なお、HIDIC 08, HIDIC 08-EはHIDIC 08-Lと互換性をもち、かつ同一規模、性能のため、この論文ではHIDIC 08-Lで代表することにした。シリーズ内では、

- (1) アプリケーションプログラムの使用命令に互換性
- (2) 入出力インタフェースに互換性

を厳守することにより、ソフトウェア財産の共用、入出力装置群の共用を図れることとした。

これにより、スタンドアロンシステムとして、HIDIC 08-L→HIDIC 80→HIDIC 80-Eと、ユーザープログラムの変更なく、機種変更により処理能力増強が可能であるとともに、各機種のマルチコンピュータ化により、高信頼化と応答性を落とさない能力拡張を可能とし、これらを結合した分散処理ネットワークによりシステムのトータル化を実現した。

HIDIC 80シリーズの概略仕様を表4に記すとともに、以下に各機種の特長について述べる。

4.1 HIDIC 80-E

シリーズの最上位に位置し、大規模システムの中核計算機

表4 処理装置の概略仕様 大、中、小とファミリー化を完成した3機種の仕様を示す。

項 目		仕 様				
		HIDIC 80-E	HIDIC 80		HIDIC 08-L	
命令機能	命 令 数	137+12(オプション)	50+6(オプション)		53	
	アドレス修飾	ベースレジスタ(3本)とインデックスレジスタ(3本)による二重修飾				
演算時間 (レジスタメモリ)	加 減 算	ICメモリ	ICメモリ	コアメモリ	ICメモリ	コアメモリ
		0.48	1.0	1.3	2.3	2.8
	乗 算	1.36	3.0	3.3	11.1	11.7
	フローティング加算	1.84~4.24	3.4~5.6	3.7~5.9	21.1~31.9	21.8~32.6
	フローティング乗算	2.50~4.24	4.0~4.6	4.3~4.9	43~61.6	43.7~62.3
主 記 憶	読出し幅(ビット)	32	16		16	
	サイクルタイム(μs)	0.48	0.50	0.65	0.65	1.4
	容 量 (k語)	512	64		64	
割 込	レ ベ ル	4			3	
	要因判定	ベクタリング機能				
入 出 力 制 御	転送速度 (最大)	DMA	約 4 M語/s		約 1.3M語/s	
		PCMA	約 40k語/s		約 20k語/s	
	接 続 I/O 数	最大 255			最大 96	
環境条件	温 度	0 ~ 50℃				
	湿 度	10 ~ 90%				

注：略語説明 DMA(Direct Memory Access) PCMA(Processor Controlled Memory Access)



図4 HIDIC 80-E 処理装置 I 筐体に主メモリ512k語と入出力バスを実装できる。

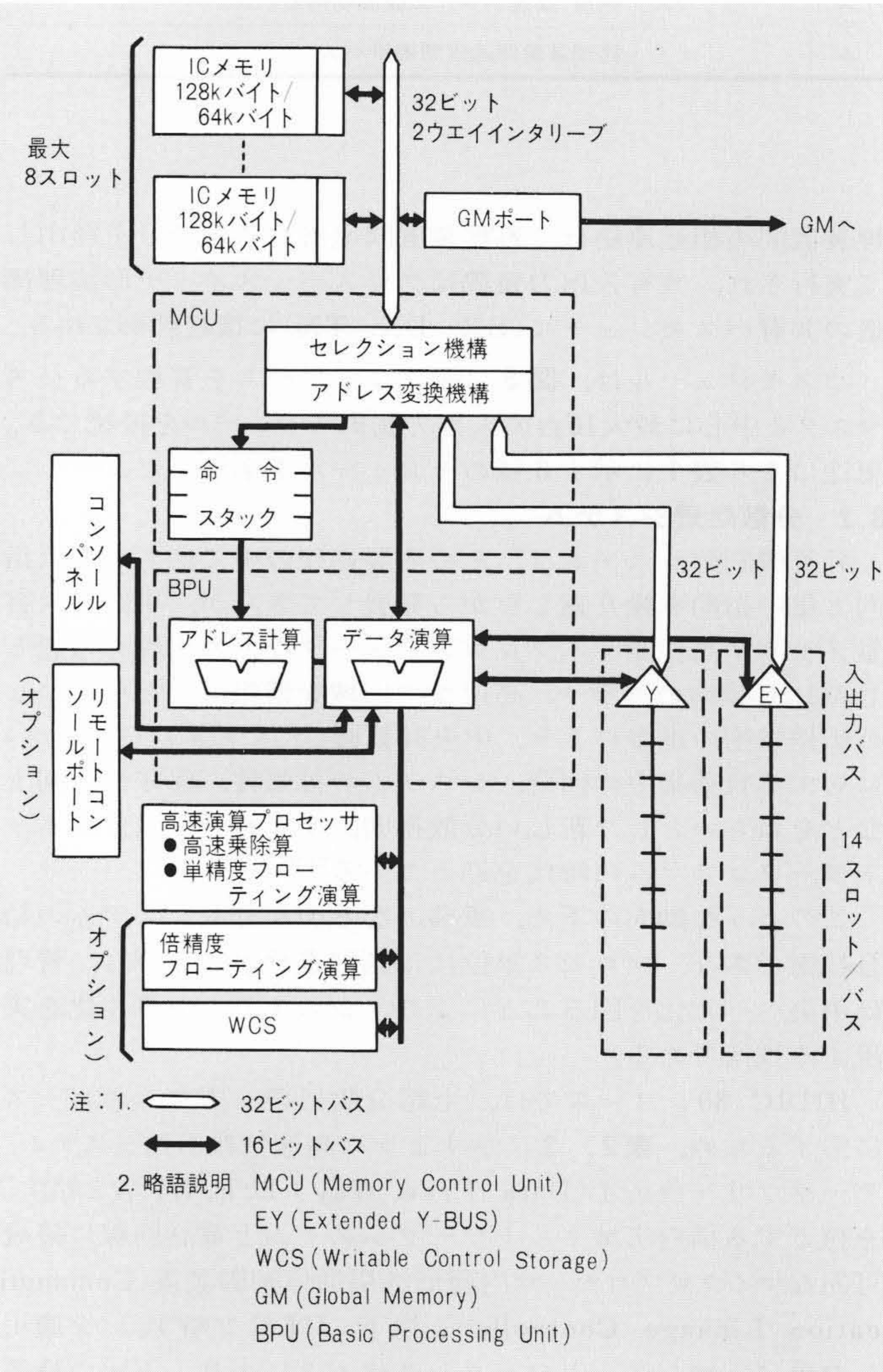


図5 HIDIC 80-E 処理装置の構造 バスの一部を32ビット化して、高速化した。

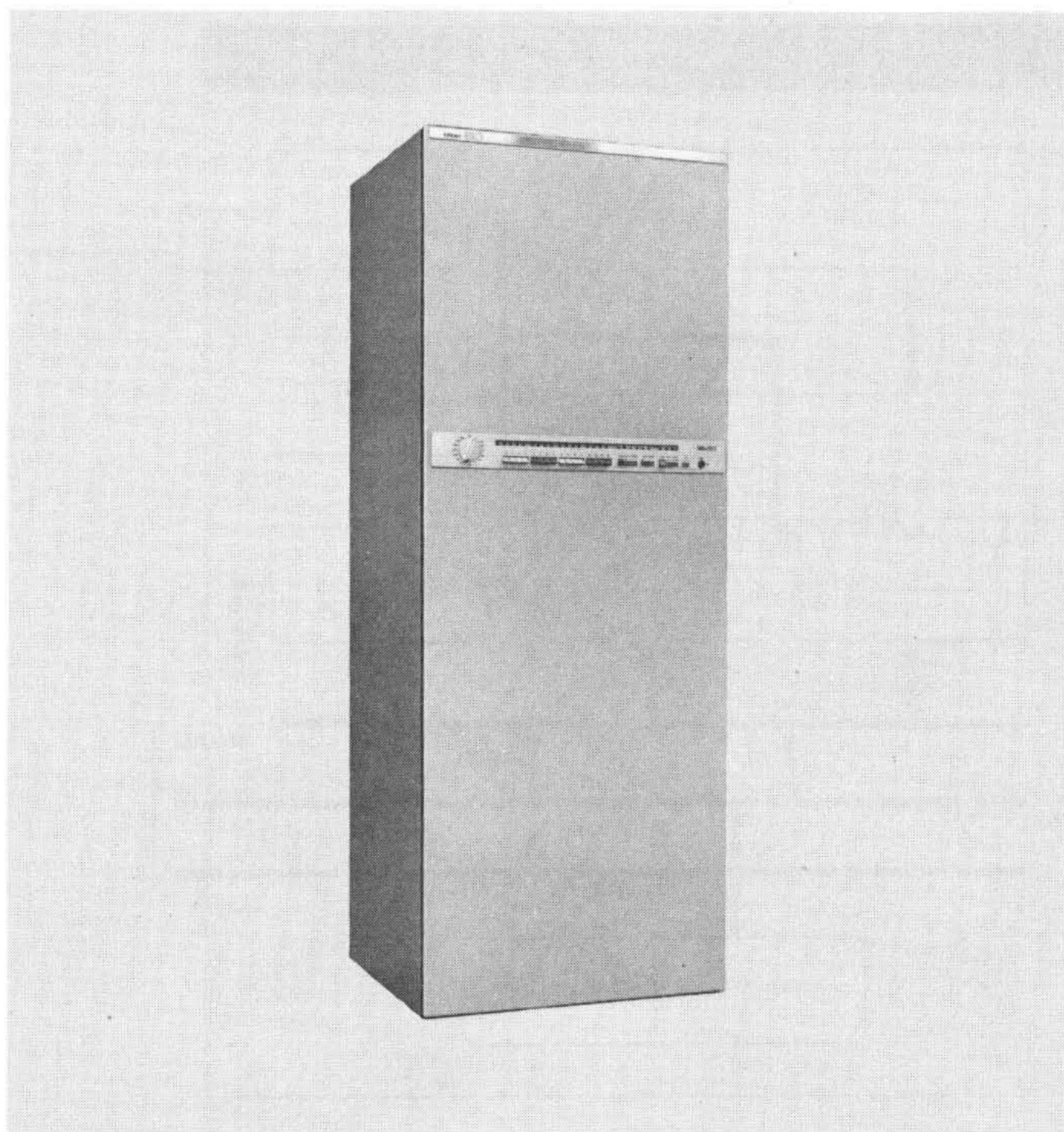


図6 HIDIC 80処理装置 主素子にS-T²Lを使用して高速化した。

として高速演算と大容量データ処理を可能とした。図4にHIDIC 80-Eの写真、図5にその構成図を示す。

(1) 大容量主メモリ

16ビットの計算機でありながら高速アドレス変換機構により、主メモリ512k語を実装できる。

(2) 高速主メモリバス

演算、入出力の高速化の鍵を握るのが主メモリバスの転送速度である。HIDIC 80-Eはアクセス幅4バイト、かつ2ウェイインタリーブの採用により16メガバイト/秒のスループットを実現した。

(3) パイプライン処理による高速命令実行

同時に3個の命令実行を可能とするパイプライン処理により、このクラスでは最高速の命令実行を可能とした。

(4) 高速浮動小数点演算機構

高速な単、倍精度浮動小数点演算を実行するフローティングプロセッサにより、高速演算を可能とした。

(5) 高速入出力機構

大容量主メモリと高速演算性能に見合った高速入出力転送を実現するため、2本の同時処理できる入出力バスを設けた。この結果、最大4M語/秒のDMA(Direct Memory Access)転送を可能とした。

4.2 HIDIC 80

中規模システムの主計算機としても、また、複合化により拡大する業務に合わせて能力を拡張できるので、大規模システムの中核としても使用できる。図6にHIDIC 80の写真を、図7に処理装置の構成を示す。

(1) 高速演算処理能力

高速なS-T²L素子を主体に、加算時間R-X(レジスターメモリ)1.0μsとこのクラスでは抜群の命令実行能力を付加した。更に、専用ハードウェアによりフローティング演算の高速化を図った。

(2) 主メモリ容量64k語とデータメモリ448k語

主メモリには高信頼度コアメモリとパフォーマンス/コストの高いICメモリのいずれかを選択可能とした。主メモリ容量は64k語であるが、オペランドアドレス計算の工夫により、命令語で直接参照できるデータメモリを最大448k語まで付加可能とした。

(3) 入出力転送と割込処理の高速化

大容量ファイルを制御するのに十分なDMA転送能力(1.3M語/秒)をもたせ、高速応答を可能とするよう割込先をハードウェアが自動的に決定するベクタリング機構を組み込んだ。

4.3 HIDIC 08-L

HIDIC 08-Lは、日立N-MOS16ビットマイクロプロセッサを核とした小形制御用計算機であり、小規模スタンドアロンシステムから広域分散制御システムの端末、μDDC(超小形直接制御)、機器制御のキーコンポーネントとして広範囲なニーズにこたえるため開発した。図8にLSIチップの写真を、図9にワンボードコンピュータの写真を、また図10にワンボードコンピュータの構成を示す。図10で二つのLSIチップ(IFCU:入出力制御回路, RALU:演算制御回路)でパイプライン処理を行ない高速処理を実現している。

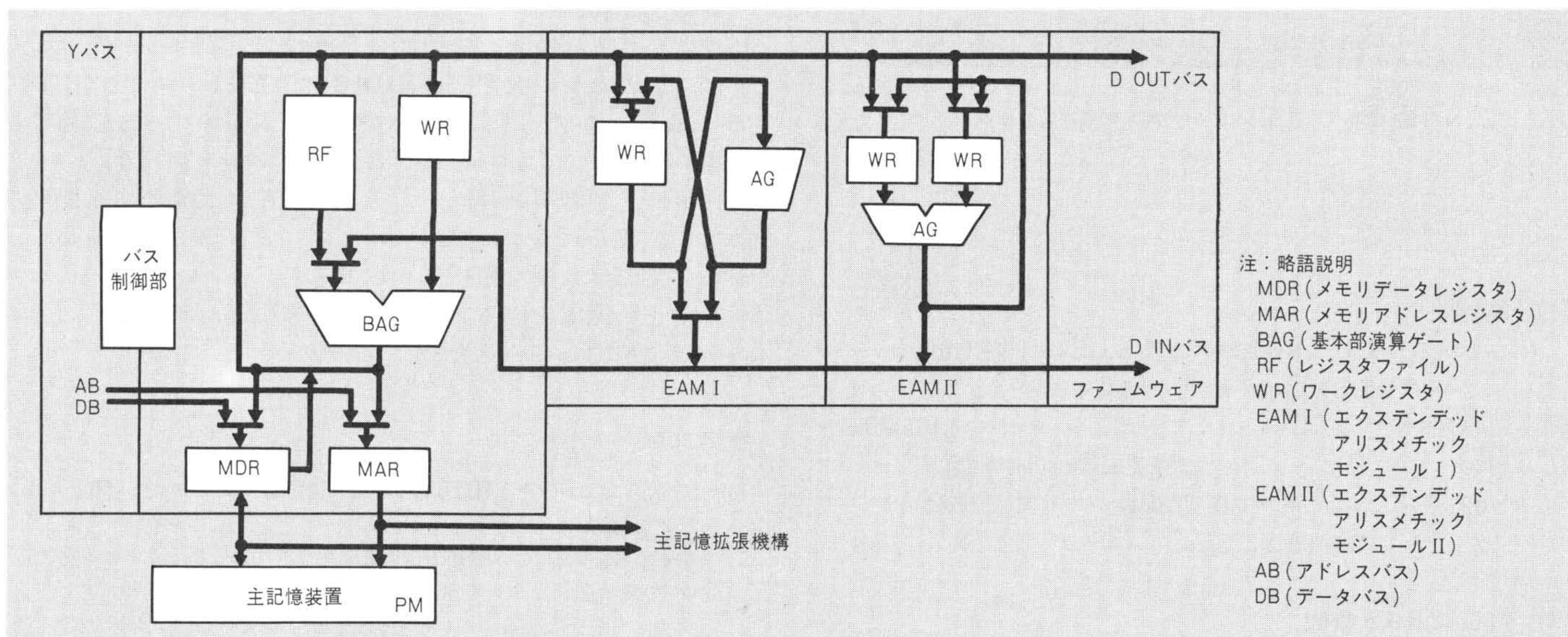


図7 HIDIC 80処理装置の構成 データの流れを中心に、処理装置のブロック構成図を示す。

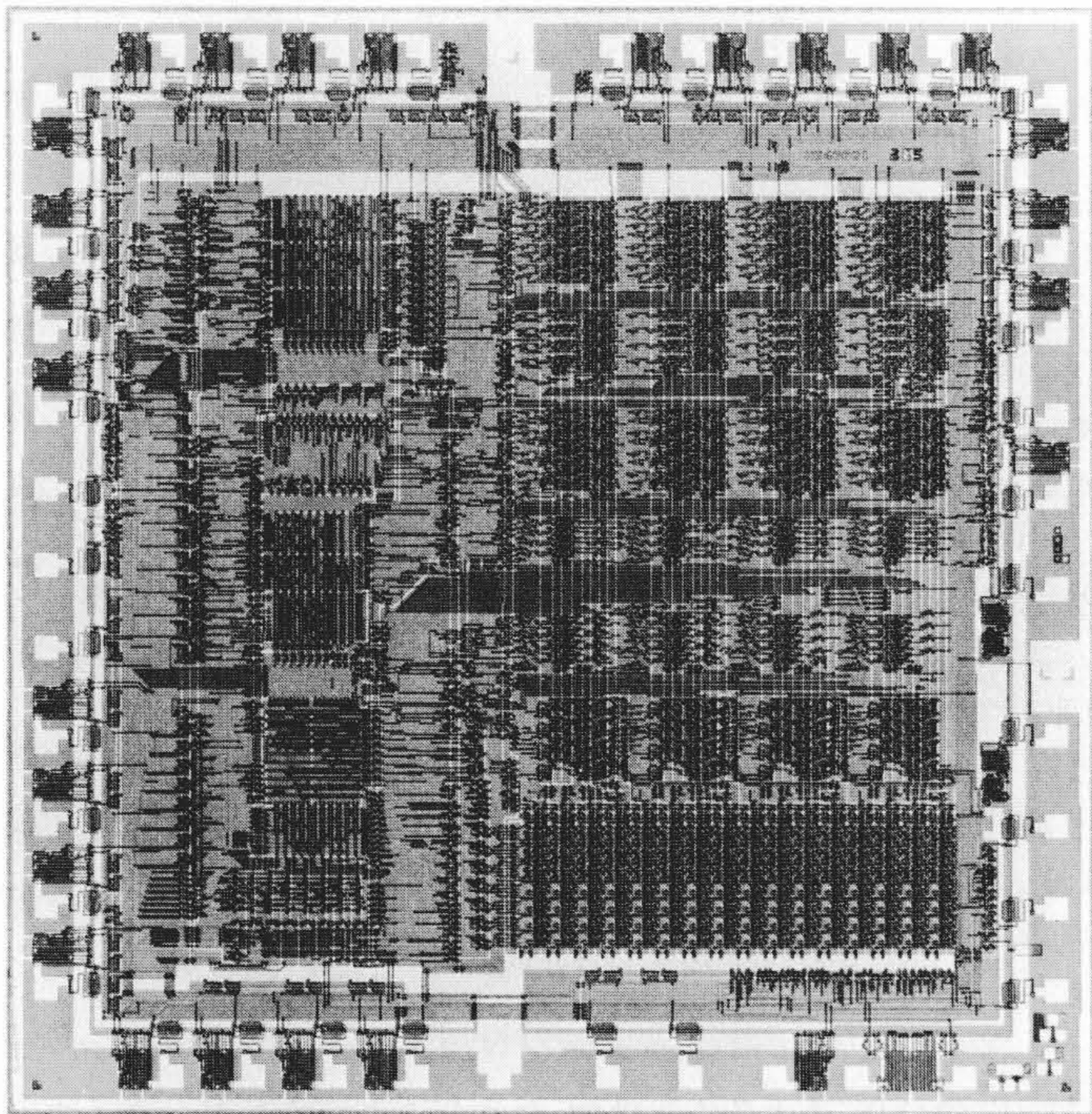
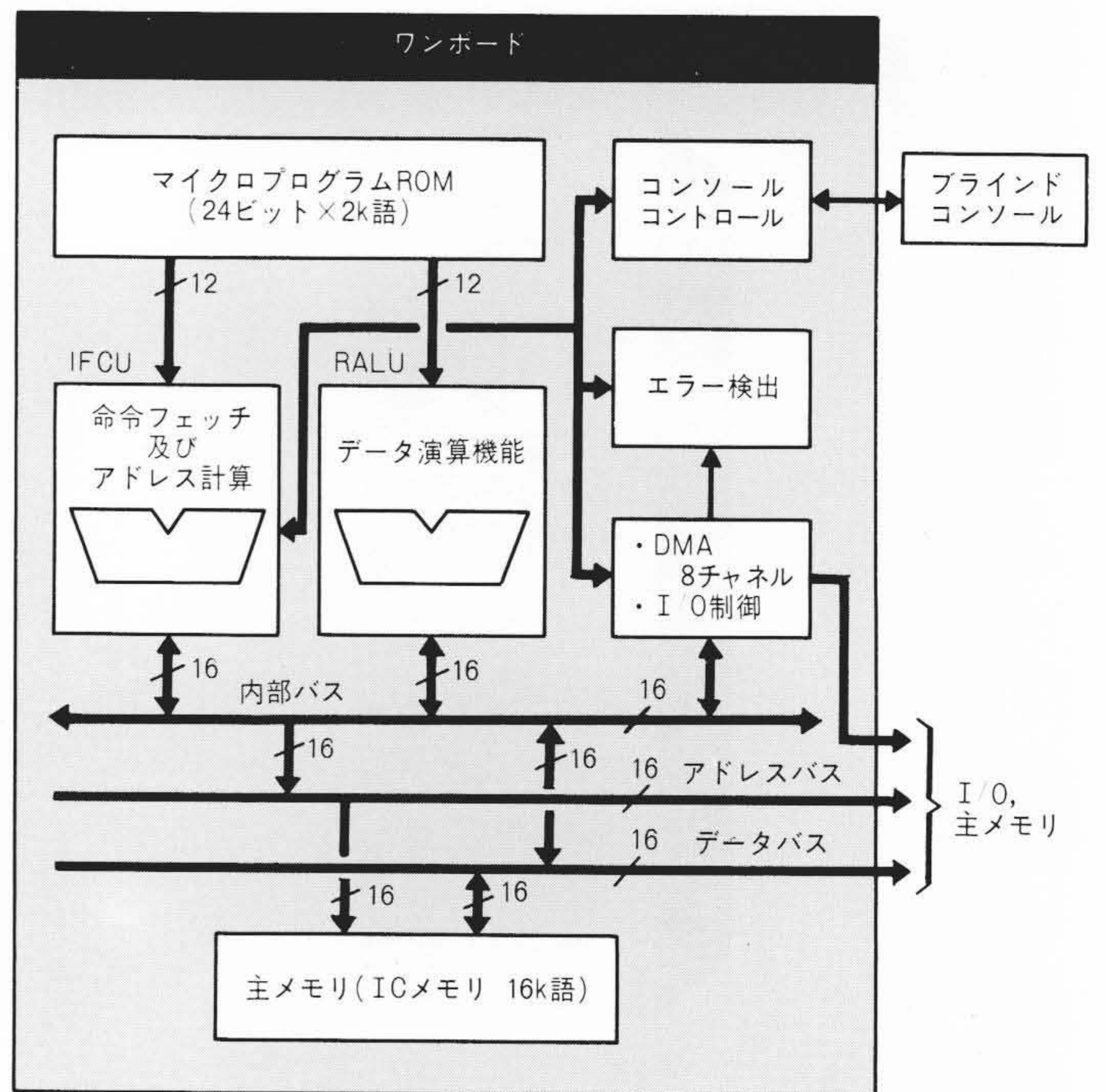


図8 IFCU(入出力制御回路) 図中、左に命令デコーダと制御回路、右に加算器と各種レジスタ群を配置している。



注：略語説明

IFCU (Instruction Fetch Control Unit: 入出力制御回路)

RALU (Registers & Arithmetic Logic Unit: 演算制御回路)

図10 HIDIC 08-Lワンボードコンピュータの構成 IFCU, RALU 2個のカスタムLSIを中心として構成している。

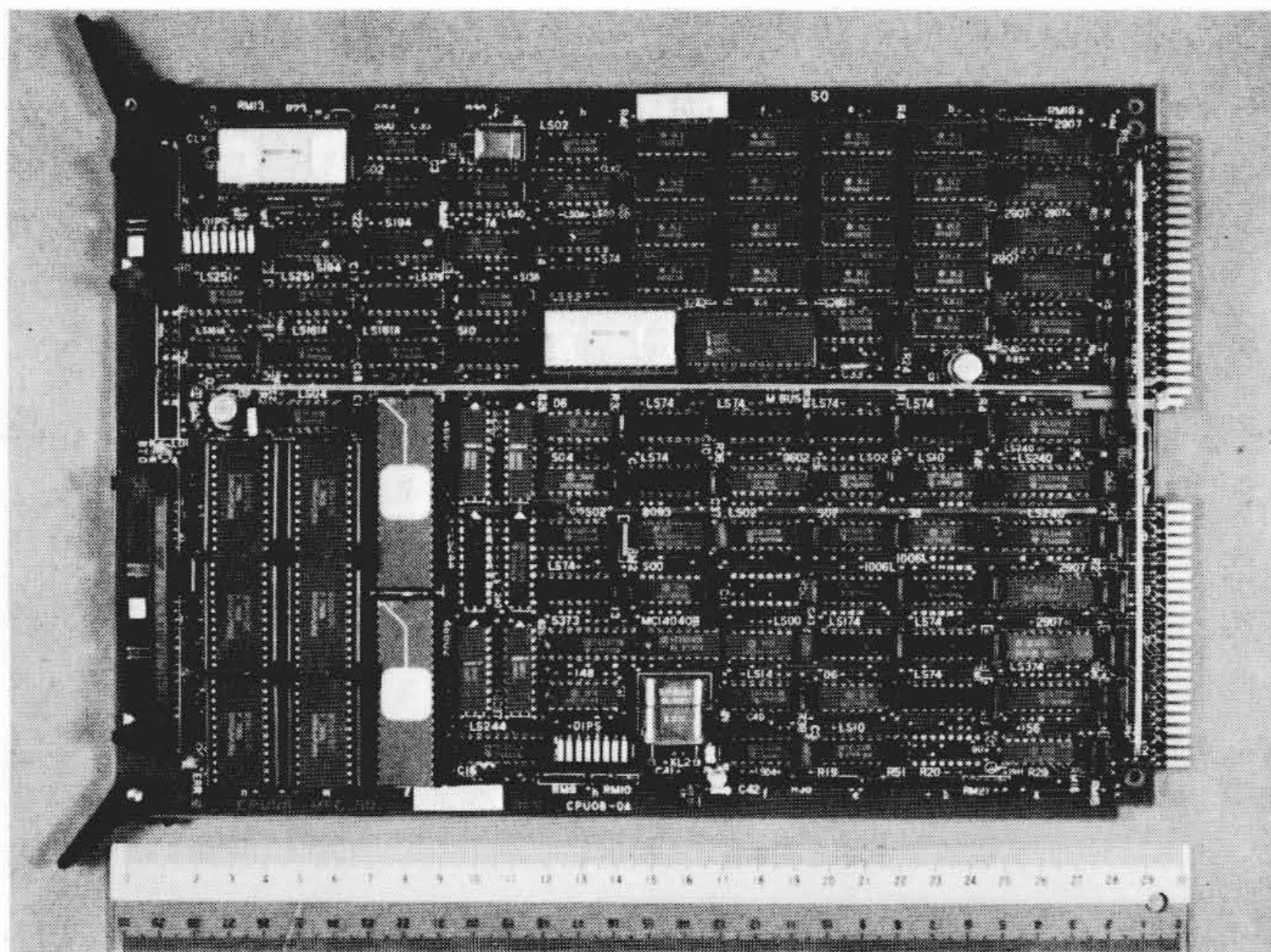


図9 HIDIC 08-Lワンボードコンピュータ ワンボード(209mm×305mm)に、16k語ICメモリとDMA 8チャンネルを実装している。

(1) 高性能ワンボードコンピュータ

中心となるIFCUとRALUの2種のLSIは、各3,000ゲート/チップの高集積LSIで超小形化を実現している。基本となるボード(CPU01)は、小形システム用にオンボード16k語ICメモリ付を、中形システム用には浮動小数点演算機能付ボード(CPU02)を用意し、最大64k語の主メモリまで接続可能としている。また加算時間は $2.3\mu s$ 、システムミックス $3.2\mu s$ と高い処理性をもつ。

(2) 高度なRAS機能

BPU(Basic Processing Unit)診断、メモリ診断(オプシ

ョン)、インバリッド命令リトライ、各種タイムアウトチェック機構などを装備して、システムの信頼度の向上を図った。

(3) 豊富な入出力インタフェース

外部メモリ用として800k語/sの高速DMAを、一般入出力制御用には12k語/sのマイクロプログラム制御による高速入出力チャンネルを、マイクロコンピュータ用超小形システム用として50k語/sのメモリインタフェース機構を備え、多様なシステム構成に応ずることができる。

5 結 言

制御用計算機HIDIC 80シリーズは、日立制御用計算機の15年にわたる経験と、その間の数多くのユーザーの指導のもとに、このたび、大形機にHIDIC 80-Eを、小形機にHIDIC 08-Lを加えてファミリー化を完成し、大規模化、分散化する市場のニーズに十分対応できる体制ができあがった。

今後共、制御用計算機システムの役割はますます重要になるものと思われるが、市場のニーズに常に応じられるよう、最新の半導体技術を積極的に取り入れ、レパートリーのよりいっそうの充実を図るとともに、効率的、経済的なシステムの実現に努力していきたい。

参考文献

- 1) 桑原, ほか4名: HIDIC 80処理装置, 日立評論, 58, 497~502 (昭51-6)
- 2) 平井, ほか5名: 制御用計算機における分散処理ネットワーク技術の動向, 日立評論, 60, 477~482 (昭53-7)
- 3) 平井, 平子, 寺田: 制御用分散処理システム, 情報処理, 20, 346~349 (昭54-4)