

D10形自動交換機用高速中央処理系装置

High Speed Central Processor for D 10 Electronic Switching System

今後の電気通信サービスの高度化、多様化への対応及び異常ふくそう時の過負荷耐力増大などに対する通信網の信頼性向上のため、D10形自動交換機の中央処理系装置として、既存ソフトウェアの継承などの条件のもとで性能の向上を目的とした高速中央処理系装置を開発した。この検討では、高速論理素子と新開発の200ゲートLSIの採用、先行制御の強化などにより現D10形自動交換機用中央処理系装置の3.4倍の性能を実現するとともに、論理素子の高集積化、マイクロプログラム制御方式の採用、新実装技術の導入によりIC数で約 $\frac{1}{2}$ 、パッケージ数で約 $\frac{1}{3}$ に低減した。また、並行して磁気バブル記憶装置を開発し、ファイル系も一新した。

なお昭和53年9月に1号機を日本電信電話公社新横須賀局に納入した。

荒井雄二* Arai Yūji
 近藤 晋* Kondō Susumu
 庄田暁夫* Shōda Akio

1 緒 言

D10形自動交換機¹⁾は、我が国の蓄積プログラム制御方式の大容量標準形交換機として昭和46年から本格的に導入され、現在約300ユニットが安定なサービスを提供している。一方、このような実績を踏まえ、電子交換機のコストパフォーマンスをよりいっそう向上させるための開発が昭和48年から開始された。高速中央処理系装置もその一環をなすものであり、以下の各点を目標として開発を行なった²⁾。

(1) 処理能力の向上

大規模市外交換機に対する対処、ソフトウェアの高水準言語化、将来の機能拡張などの要求を満たすため、現D10形自動交換機用中央処理系装置の2倍以上の処理能力をもっていること。

(2) 経済性の改善

高集積論理素子、IC(集積回路)メモリ、磁気バブル素子など部品技術の進歩の有効利用と実装技術の改良により、現在のD10形自動交換機用中央処理系装置と同等以上の経済性をもっていること。

(3) 既存システムとの互換性

現D10形自動交換機のソフトウェア資産を継承するため、命令仕様を合わせ、かつ通話路系及び入出力系装置とのインタフェースを保存すること。

(4) 保守性と信頼性

現D10形自動交換機用中央処理系装置と同等以上とすること。
 この論文では、これらの目標を達成するために開発された技術と、現在のD10形自動交換機用中央処理系装置との比較を中心に述べる。

2 D10形自動交換機用高速中央処理系装置の概要

この高速中央処理系装置は、図1に示すように中央制御装置とデータチャンネル装置から成る中央処理装置と主記憶装置から構成され、中央制御装置には通話路制御装置が、データチャンネル装置には磁気バブル記憶装置、磁気テープ装置、タイプライタなどの入出力装置が接続される。図2に実際の交換局での設置状態を、表1に現D10形自動交換機用中央処理系装置との比較を示す。

3 中央処理装置の構成

3.1 中央制御装置

この装置は主記憶装置に格納されたプログラムを取り出し、逐次実行することにより通話路装置や入出力装置を制御し、通話接続を行なわせる装置である。その特長は次に述べておりである。

(1) 高速論理素子と高集積化素子の採用

論理素子として従来のD10形自動交換機用中央処理装置で使用されていたCSL(Controlled Saturation Logic)に比べ

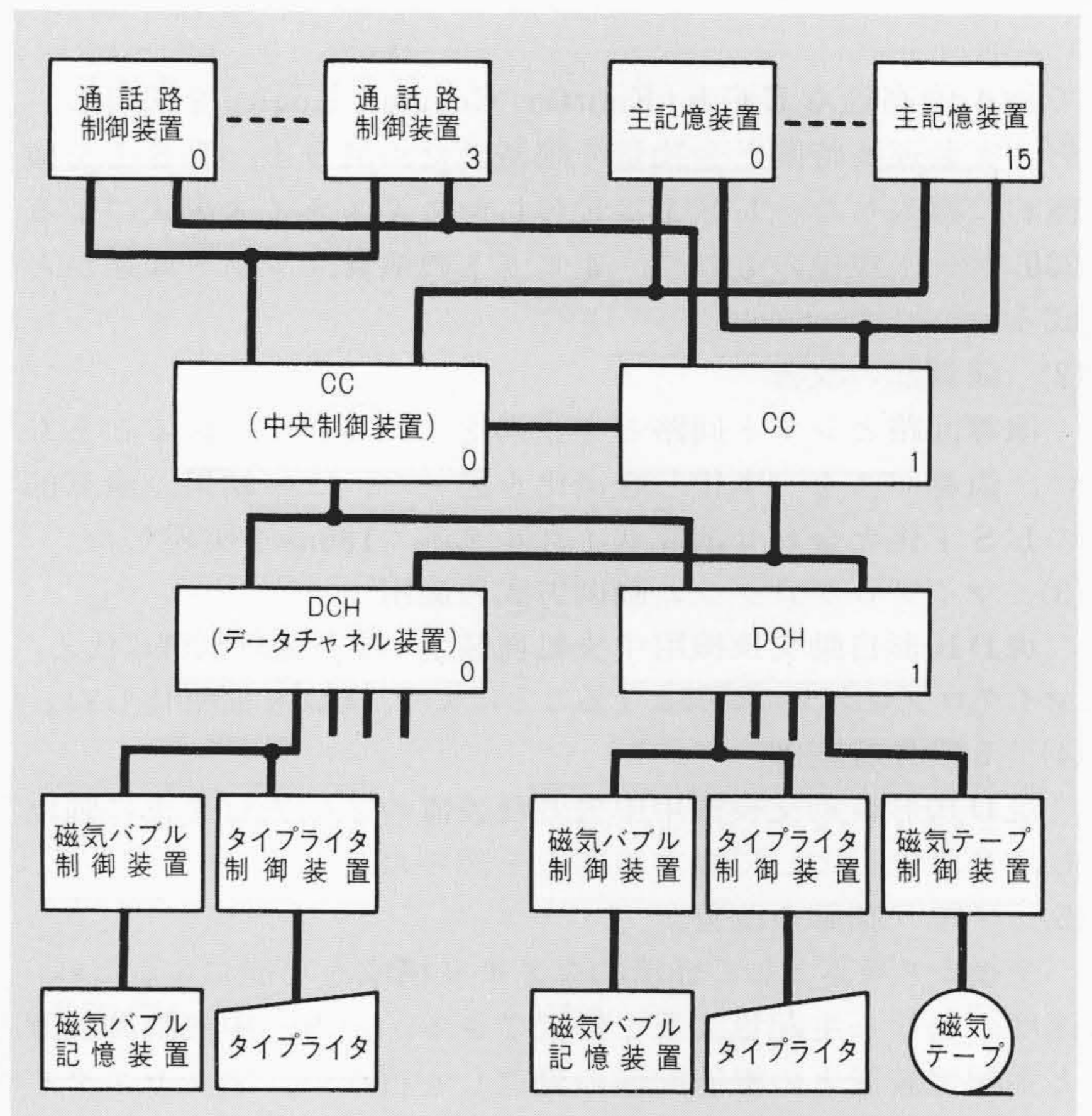


図1 D10形自動交換機用高速中央処理系装置及び入出力系装置の構成
 中央制御装置は、主記憶装置、通話路制御装置及びデータチャンネル装置とデータを交換しながら命令を実行し、交換処理を行なう。データチャンネル装置は、磁気バブル記憶装置などの入出力装置～主記憶装置間のデータ転送を行なう。

* 日立製作所戸塚工場

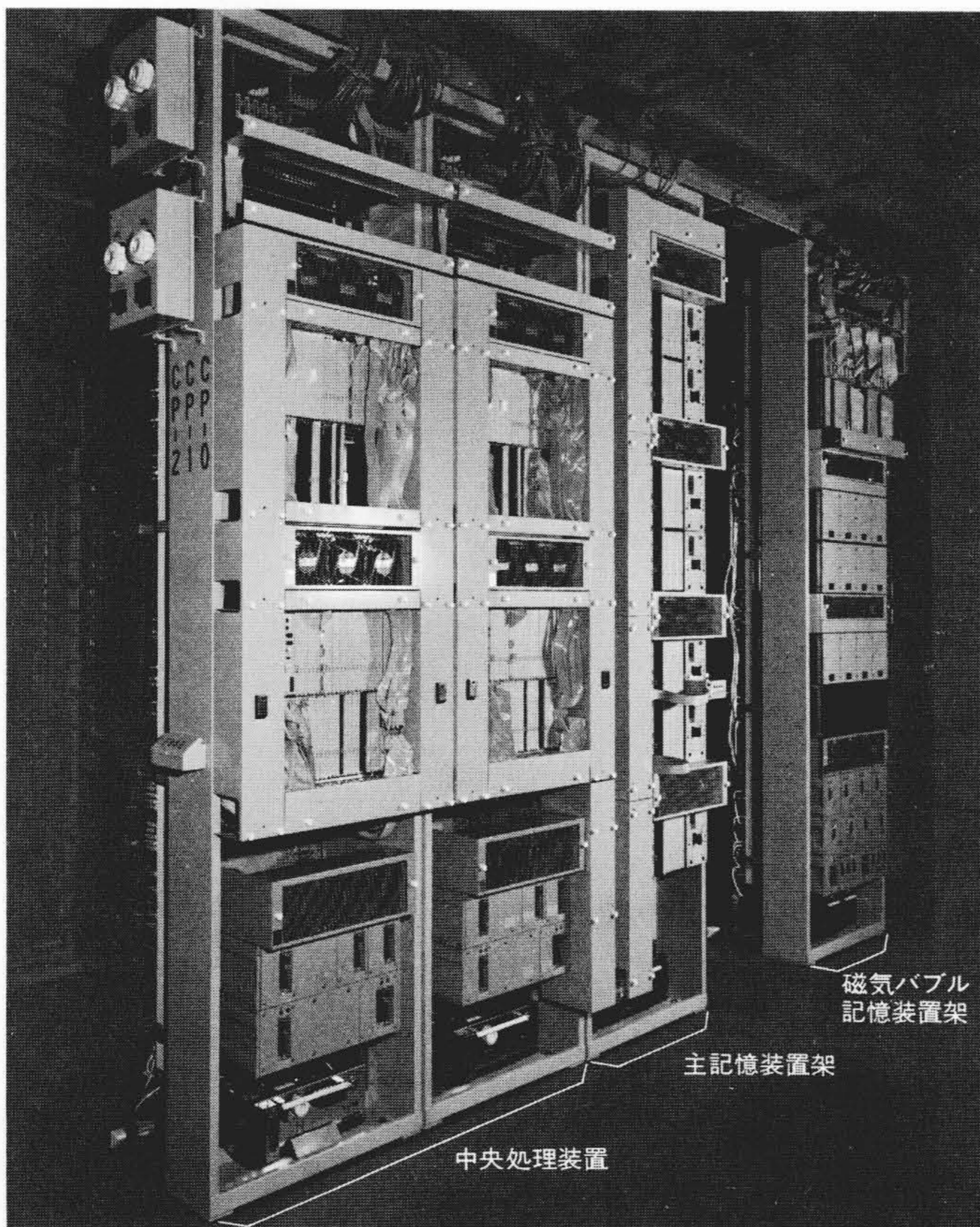


図2 D10形自動交換機用高速中央処理系装置(日本電信電話公社新横須賀局納め) 左から二重化構成の中央処理装置, 主記憶装置架(7装置実装)及び磁気バブル記憶装置架(磁気バブルユニット6台×二重化実装)を示す。

て約4倍高速なECL(Emitter Coupled Logic)を採用し, 更に実装遅延時間と金物量の削減のためMSI, LSIを積極的に導入した。LSIはECLマスタスライス形式による200ゲート規模のもので, 4ビットの演算, シフト回路から成る。

(2) 演算部の改善

演算回路とシフト回路とを並列化して高速化を図るとともに, 演算バスを一本化し経済化を図った。この結果, 演算部のLSI化と合わせ演算サイクルタイム180nsを実現した。

(3) マイクロプログラム制御方式の適用

現D10形自動交換機用中央処理装置の布線論理制御に代え, マイクロプログラム制御とすることにより, 構成を簡略化した。

(4) 3段先行制御

現D10形自動交換機用中央処理装置の2段先行を更に強化し, 3段先行として能力の向上を図った。

(5) メモリ制御の改善

交換システムとして経済的なメモリ構成を可能にするため, 速度の異なる主記憶装置を併置できる。一方, 中央制御装置と主記憶装置との機能配備の見直しを行ない, アクセスタイムと金物量の削減を図った。

以上の新技术を採り入れたこの装置の構成を図3に示す。

3.2 データチャンネル装置

データチャンネル装置は, 電子交換機に必要な入出力装置と主記憶装置との間で自立的なデータ転送を行なわせる装置である。この装置のデータ転送能力と入出力装置の接続数は, 各種の応用も含め現D10形自動交換機のそれと同等で対処可能なため, 経済化を主眼として次に述べるような新技术を導

表1 高速中央処理系装置の諸元 中央制御装置の能力は3.4倍に, 主記憶装置の容量は2倍に向上し, また, ファイル記憶として新たに磁気バブルが採用されている。

装置	項目	高速中央処理系装置	現D10形自動交換機用中央処理系装置
中央制御装置	命令数	148(12)*	119
	演算サイクルタイム	180ns	600ns
	平均命令実行時間	0.6μs	2.04μs
	制御方式	マイクロプログラム	布線論理
	論理素子	ECL	CSL
データチャンネル装置	スループット	4.4Mバイト/秒	2.2Mバイト/秒
	バースト転送能力	1.1Mバイト/秒	0.67Mバイト/秒
	マルチプレクス転送能力	48kバイト/秒	40kバイト/秒
	制御方式	マイクロプログラム	布線論理
	論理素子	ECL	CSL
主記憶装置	記憶素子	4kビットN-MOS	4kビットN-MOS
	最大記憶容量	512k語×33ビット	256k語×33ビット
	サイクルタイム	0.36~1.44μs	1.20μs
ファイル記憶装置	記憶素子	磁気バブル	磁気ドラム
	最大記憶容量	2,048k語×33ビット	1,664k語×33ビット
	転送レート	200kバイト/秒	216kバイト/秒

注: 略語説明など

* オプション命令

ECL(Emitter Coupled Logic)

CSL(Controlled Saturation Logic)

入した。

(1) マイクロプログラム制御

複数のサブチャンネルの制御をチャンネル多重装置から時分割的に行なうとともに, 制御部の空き時間を利用し, メモリアクセス制御と入出力インタフェース制御とを並行して行ない, 総合的な経済化を図った。

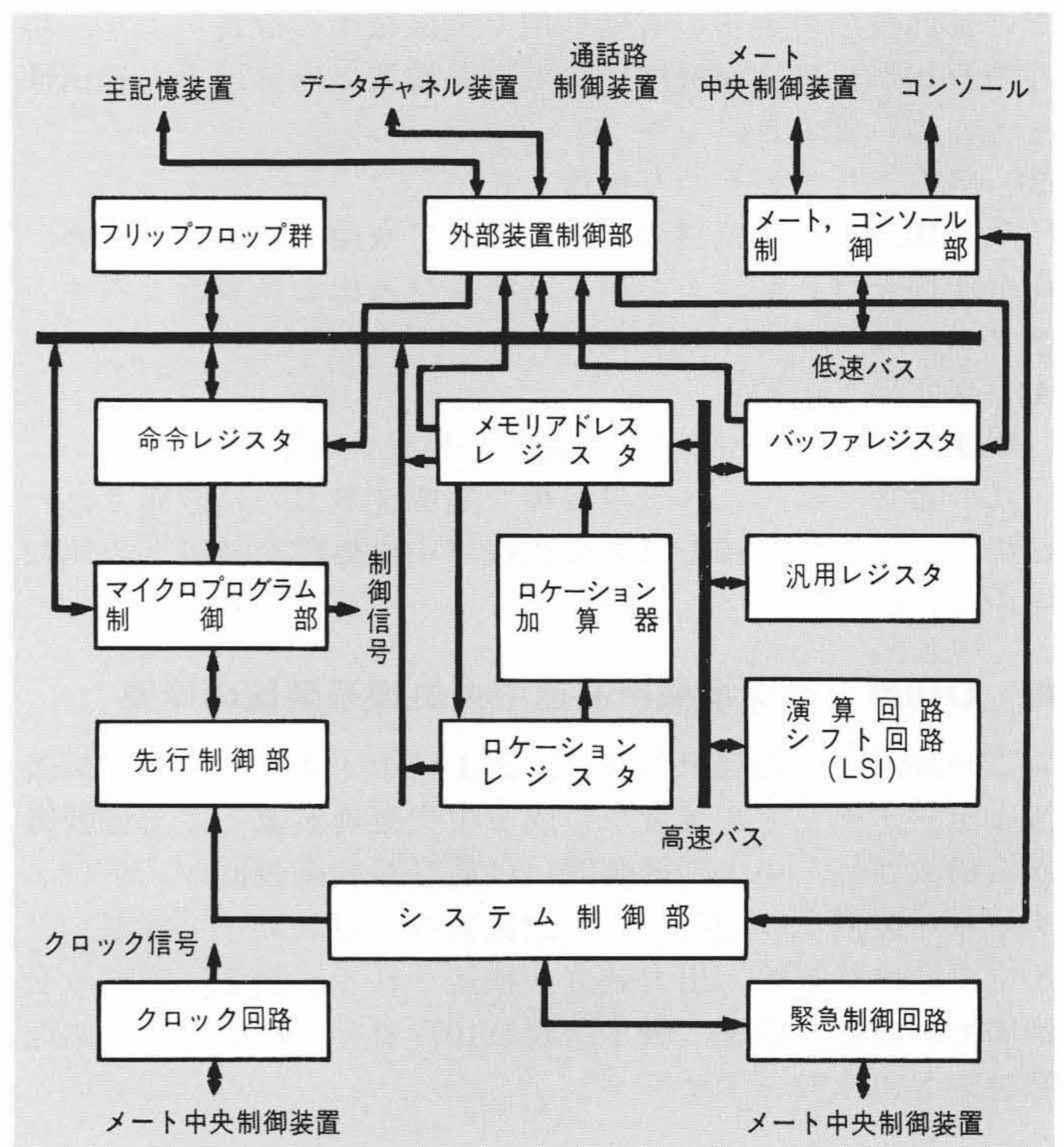


図3 中央制御装置のブロック図 演算, シフト回路にLSIを適用して高速化を行ない, マイクロプログラム化により構成の簡明化を図っている。

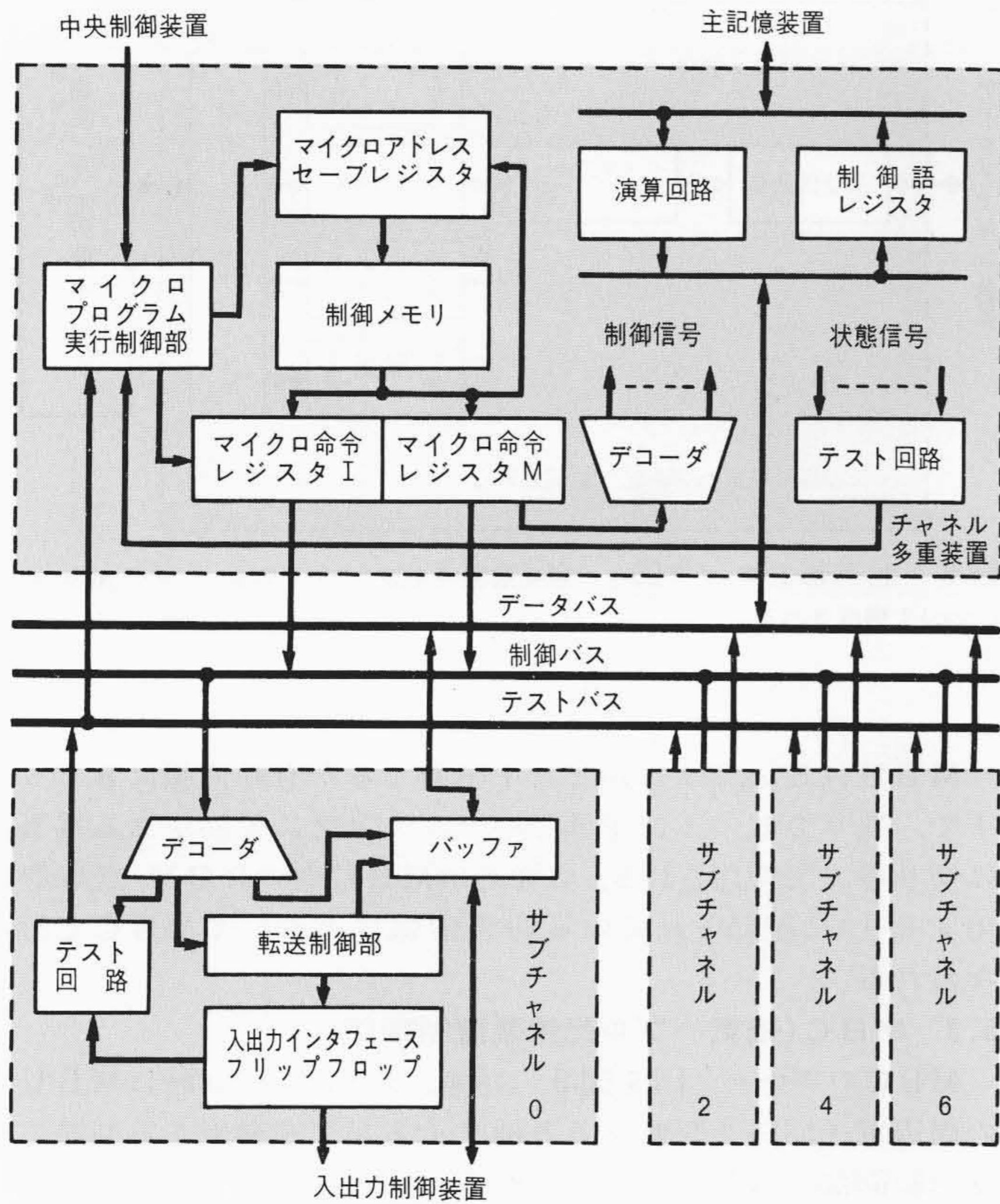


図4 データチャンネル装置のブロック図 チャンネル多重装置1, サブチャンネル4から成り, 1サブチャンネルには最大8入出力制御装置が接続可能である。

(2) 拡張性に対する対処

マイクロプログラム制御の採用と、チャンネル多重装置とサブチャンネル間をバス化したことにより、新しい入出力インターフェースに対しても容易に対処が可能となった。

データチャンネル装置のブロック図を図4に示す。

以上述べたような工夫により、中央処理系装置として、現D10形自動交換機と比べて処理能力で3.4倍向上し、またIC数で約1/2、パッケージ数で約1/3に低減することができた。

4 主記憶装置

この装置は、既にICメモリ化されている現D10形自動交換機用主記憶装置を更に高速化したもので、装置当たり32k語×33ビット(32ビット+1パリティビット)の記憶容量をもち、最大16装置の設置が可能である。この装置の主要仕様を

表2 主記憶装置の主な仕様 アクセス時間は、中央制御装置からみた時間である。

項目	高速中央処理系装置用主記憶装置		現D10形自動交換機用主記憶装置
	高速メモリ	中速メモリ	
装置容量	32k語×33ビット		
最大装置数	16台		8台
アクセス時間(ns)	330	690	830
サイクル時間(ns)	360	720	1,200
メモリ素子	HM4710	HM4507 HM4716	HM4507
論理素子	ECL		TTL

注：略語説明 TTL(Transistor-Transistor Logic)

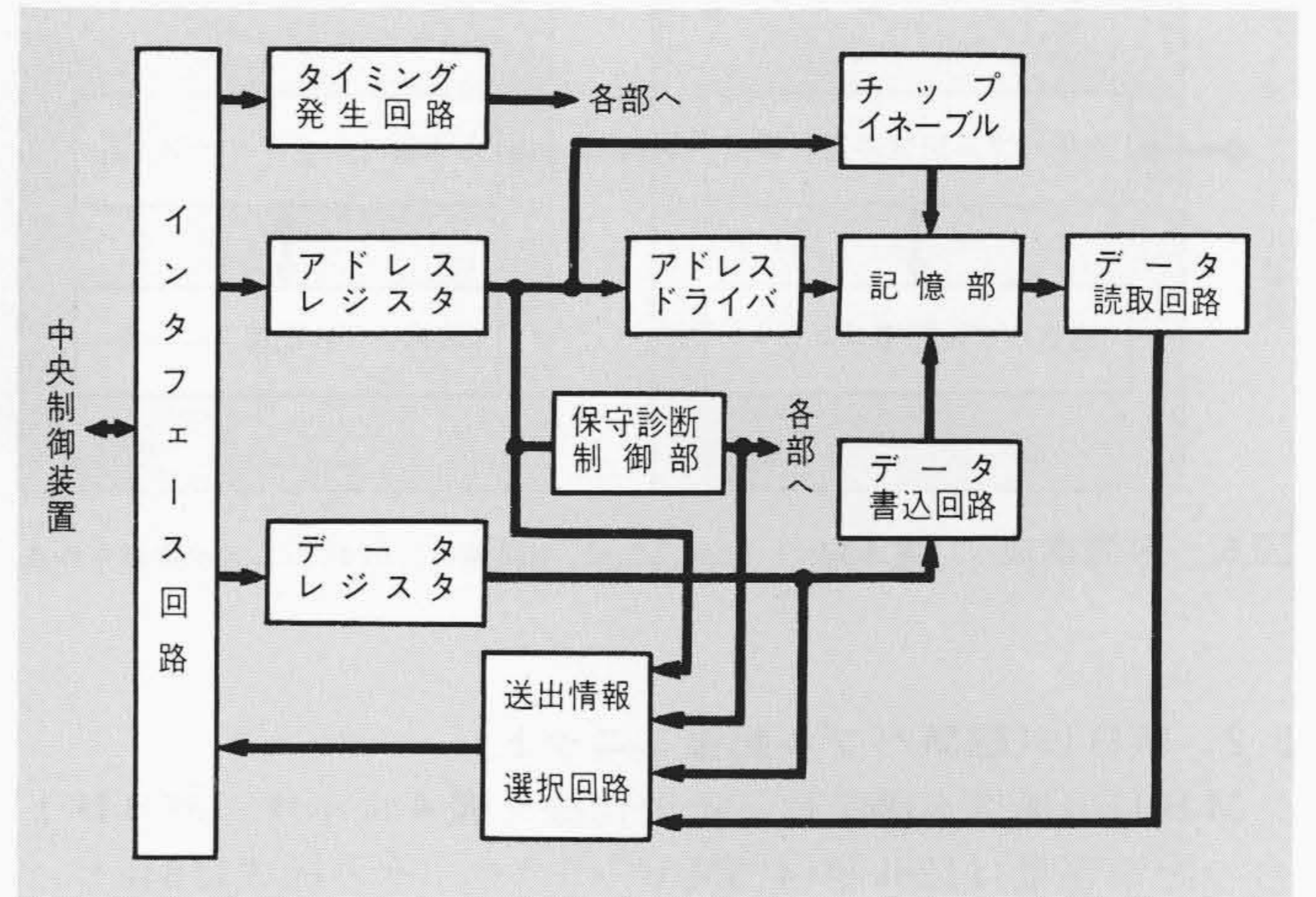


図5 主記憶装置ブロック図 タイミング回路には、高速メモリ用と中速メモリ用の両方が用意されており、自動的に切り替えられる。

表2に、ブロック図を図5に示す。主な特長は次に述べるとおりである。

- (1) 高速メモリと中速メモリの併用及び高集積化への対処
表2に示すような高速、中速の2種類の主記憶装置を、システムの要求により併用可能とした。また、16kビットMOSメモリも使用できる設計となっている。
- (2) ECL素子と専用LSIの採用による高速化及び小形化
LSIはマスタスライス形式で約120ゲートである。

5 磁気バブル記憶装置

5.1 概要

磁気バブル記憶は、(1)情報不揮発性、(2)高速性、(3)経済性、(4)高信頼性、(5)無保守などの特長をもつ新しい固体ファイル記憶で、既に可搬D20形自動交換機のファイル記憶に使用されている³⁾。この実績をもとに、D10形自動交換機用高速中央処理系装置のファイル記憶にも従来の磁気ドラムに代わって採用した⁴⁾。この装置の主要仕様を表3に示す。

この装置は図6に示すように、MBC(磁気バブル記憶装置制御部)とMBU(磁気バブル記憶ユニット)から構成され、D10形自動交換機の標準入出力装置インターフェースでデータチャンネル装置に接続される。なおMBU 8台(4.3Mビット(128k語)×8=34.4Mビット(1,024k語))が二重化構成で基本架に実装され、1,024k語以上2,048k語までは増設架に実装される。

表3 磁気バブル記憶装置の主な仕様 1語は32ビット+1パリティビットで、磁気バブルは増設単位を小さくすることができ、初期設備、増設共に経済的に設置できる。

項目	仕様	
	磁気バブル記憶装置	現D10形自動交換機用磁気ドラム
基本容量(語)	512k	832k
増設単位容量(語)	256k	832k
最大容量(語)	2,048k	1,664k
平均アクセス時間(ms)	読出し	10
	書込み	10
情報転送レート(kバイト/秒)	200	216
エラーレート(回/ビット)	10 ⁻¹² 以下	10 ⁻¹¹ 以下
定期保守	不要	要(グリスアップ)

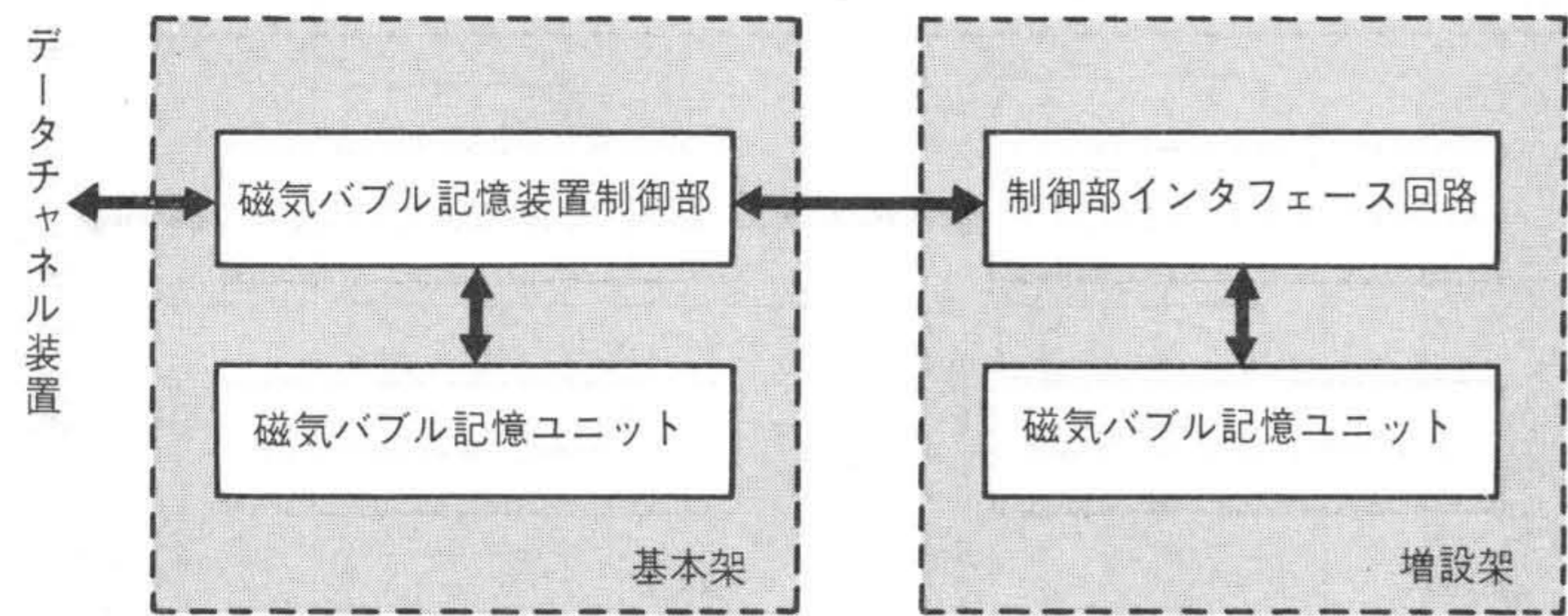


図6 装置構成 基本架に1,024k語二式,増設架に1,024k語二式が実装される。

5.2 MBU(磁気バブル記憶ユニット)

MBUの構造を図7に,その仕様を表4に示す。MBU1台の記憶容量は128k語(4.3Mビット)で,その構成は64kビットの磁気バブルチップ80個を実装した磁気バブル記憶モジュールとコイル駆動回路,チップ駆動回路,読取回路などの周辺電子回路パッケージから成り,インタフェース信号はすべて論理信号レベルで,外部との接続は電源も含めすべてフラットケーブルで行ない保守の容易さと経済化を図った。周辺電子回路では小形化,経済化のためIC化を進め,チップ駆動回路の定電圧プリドライバ,センスアンプ及び磁気バブルチップの検出器のバイアス電流供給回路の3種を新たに開発した。

表4 磁気バブル記憶ユニットの仕様 インタフェース信号はTTLレベルで,かつ電源も含めコネクタ接続で行なわれる。

項目	仕様
記憶容量(ビット)	4,325,376(128k語×33ビット)
使用チップ	64kビット/チップ
実装チップ数(個)	80
回転磁界周波数(kHz)	100
平均アクセス時間(ms)	5.2(読出し), 6.5(書込み)
平均サイクル時間(ms)	8.0
情報転送レート(kバイト/秒)	200
消費電力(μ W/ビット)	16(動作時最大)
重量(kg)	8
大きさ(mm)	高さ194×幅133×奥行299

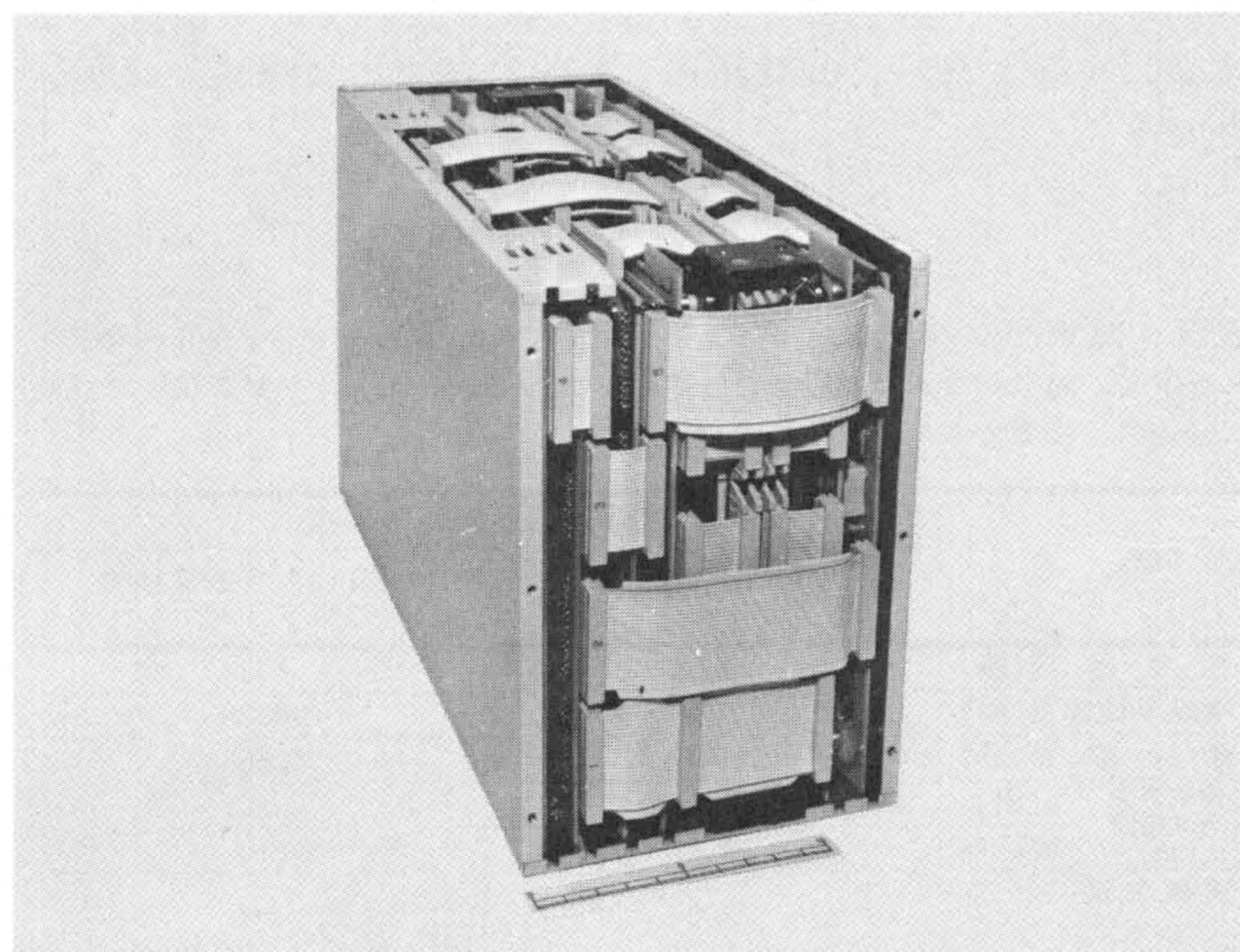


図7 MBU(磁気バブル記憶ユニット) 前カバー及び上カバーを外した状態のMBUを示すもので,4.3Mビットの記憶容量をもつ。

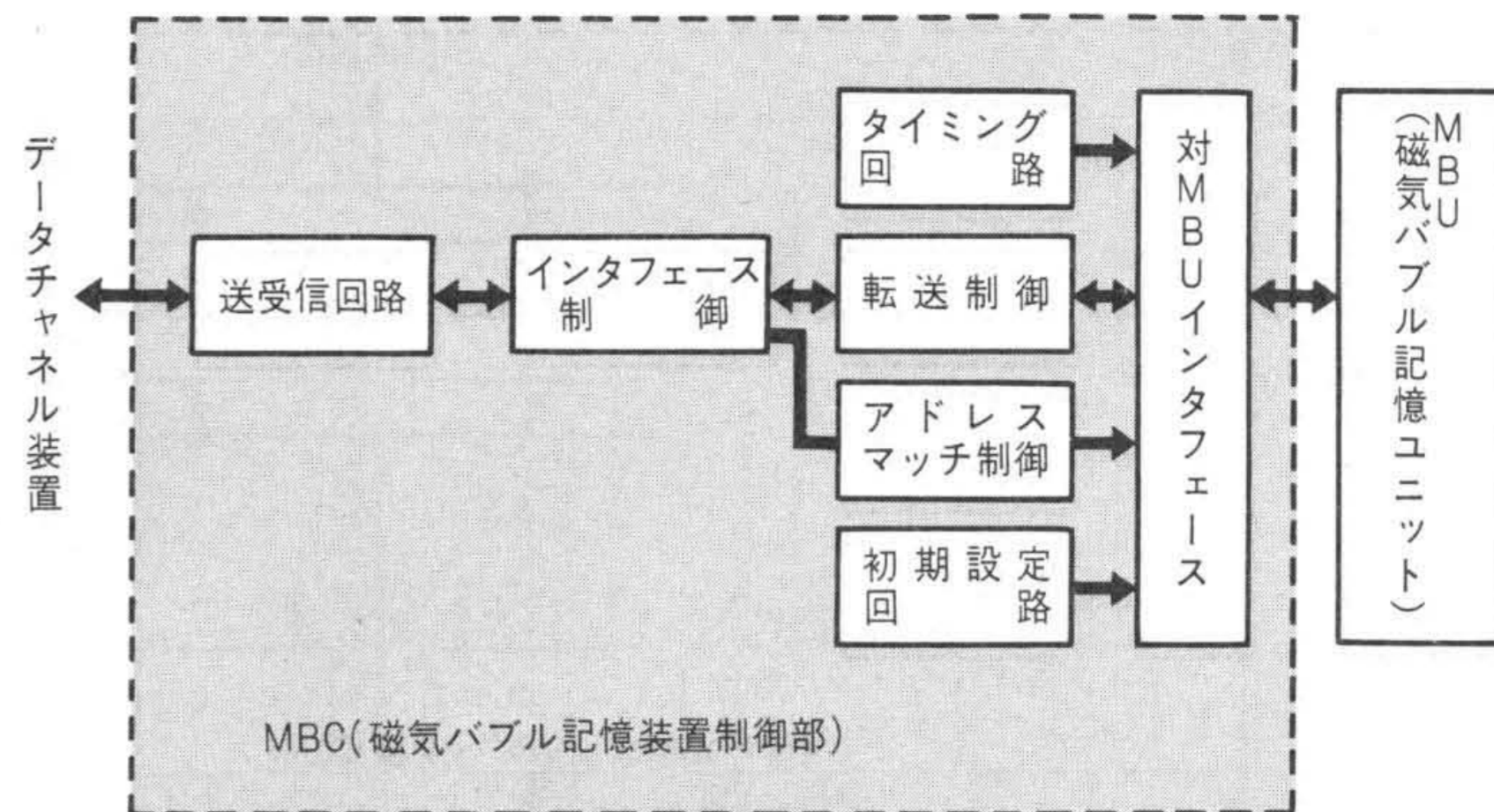


図8 制御部ブロック図 送受信回路を除きTTL(Transistor-Transistor Logic)で構成される。

MBUは5 μ sごとに10ビット出力するが有効情報は8ビットで,残り2ビットは予備でバブルチップに欠陥がある場合に切り替えて使用される。切替えはMBU内のROM(読取専用メモリ)に記録されている切替情報に基づいてMBCで行なわれる。

5.3 MBC(磁気バブル記憶装置制御部)

MBCのブロック図を図8に示す。タイミング回路はMBUの周辺電子回路を駆動する各種タイミングを発生する回路,転送制御部はMBUから読み取った10ビットのデータと切替情報により情報の配列を行なって8ビットのデータに変換するもので,書込の場合は8ビットのデータを切替情報に基づき10ビットのデータに変換する回路,アドレスマッチ制御部はデータチャネル装置から受信したMBUのアドレスとバブルの回転状態を示すカウンタとの照合を行ない,タイミング回路で発生されたMBUへの各種タイミングを制御する回路及び初期設定回路は,電源断時に任意の番地に停止しているデータを電源復旧時,自動的に初期設定番地に戻す回路で,それぞれ各MBUに共通なハードウェアとして,MBCに置くことで装置の経済化を図っている。

6 結 言

D10形自動交換機の高速中央処理系装置は,既存システムとの互換性を確保しながら処理能力の向上目標を達成した。また,金物の大幅削減により今後の量産時での経済化の見通しを得た。

この装置は昭和53年9月に日本電信電話公社新横須賀局へ納入され,現在順調に稼動している。また,昭和55年度からは新しい通話路系装置とともに本格的に導入される予定である。

終わりに,この装置の開発に当たり御指導をいただいた日本電信電話公社の関係各位並びに共同研究に当たられた日本電気株式会社,沖電気工業株式会社及び富士通株式会社の関係各位に対し感謝の意を表わす次第である。

参考文献

- 1) 荒井,ほか5名: D10形電子交換機の中央処理系および入出力系装置,日立評論, 54, 990~1000(昭47-11)
- 2) 神宮司,保坂: D10用高速中央処理系装置の概要,研究実用化報告, 26, 3235~3241(昭52-12)
- 3) 末宗,ほか4名: 12Mビット磁気バブル記憶装置,日立評論, 59, 955~960(昭52-11)
- 4) 三瀬,ほか4名: 電子交換機用大容量磁気バブル記憶装置,信学会交換研究会資料, SE78-69(昭53-8)