

コンピュータ用超LSI

Very Large Scale Integration for Computers

半導体集積回路は、新たな超LSIの世代を迎えようとしており、現状技術の評価と超LSI化への方向づけが重要な時期にある。ここでは、コンピュータ用高集積論理、メモリの各分野別に、超LSIへの移行期にある新開発品を取り上げ、その技術的特徴を超LSI化の観点から示した。また、超LSIの将来動向として、実用化上の所要技術と研究開発中の新技術について述べる。

大矢雄一郎* *Ôya Yûichirô*
 光定一道** *Mitsusada Kazumichi*
 早坂昭夫* *Hayasaka Akio*
 伊藤清男*** *Itô Kiyoo*
 滝沢克彦**** *Takizawa Katsuhiko*

1 緒言

コンピュータの性能、コスト、更には信頼性に対して、半導体が果たす役割が非常に大きくなってきているが、その要因として高集積化技術が最も重要なファクタとなっている。

近年、高集積化へのテンポはますます急となり、新しくLSIから超LSI時代への世代の交代が始まったといえる状況である。これを機にこの論文で、カスタム論理、論理混在形高速メモリ、64kビットメモリ、36kビットC-MOS (Complementary-Metal Oxide Semiconductor)メモリについて述べる。

2 カスタム論理

開発されたカスタム論理の例として、550ゲートのバイポーラモノリシック論理の外観を図1に示す。この論理の最大の特長は、遅延時間0.6nsの高速性能と、その設計、製作に当たってCAD (Computer Aided Design)プログラムによる顧客自動設計を可能とした点にある。

この論理の主な構成及び特性を表1に示す。回路方式は最高動作速度を実現するECL (Emitter Coupled Logic)とし、布線論理能力と負荷駆動の高速性からエミッタホロワ駆動回路を採用している。

これらの高性能化を達成するために開発された主な半導体

技術を、表2に示す。3 μ m微細加工と、イオン注入を用いた浅い接合形成による高性能素子特性が、高密度・高速性の中心技術である。

以上の半導体新技術により、回路の電力遅延積を約5pJに低減し、より高集積化も可能な水準にある。

カスタム論理実用化上の課題として、少量多品種化対策がある。ここでは、品種展開—設計・製作及び検査—期間短縮のために使用した、CADプログラムと電子線描画マスクについて述べる。

図2は、マスク作製及び機能テスト用磁気テープを自動設計するCADプログラム“LARCS”¹⁾の処理フローを示したものである。このプログラムでは、1%程度の未配線部分を「配線追加」の工程で人手追加修正する以外は、電源配線や終端抵抗、ボンディングパッド接続なども「モデファイ」工程ですべて自動処理される。

表1 カスタム論理の構成・特性 顧客側での論理設計を可能としたマスタスライス方式、カスタム論理の主な特徴を示す。

構成	特性
集積規模	チップ当たり550ゲート
回路方式	ECL (布線論理和、論理積可能)
パッケージ	108ピン、フラット形、熱抵抗10°C/W
電源電圧	-4.5V, -2.0V
消費電力	3.5~4.0W
伝搬遅延時間	0.6ns/段(軽負荷), 1.2ns/段(平均負荷)
品種展開方式	論理図入力CAD, マスタスライス方式

注：略語説明 ECL (Emitter Coupled Logic)
CAD (Computer Aided Design)

表2 主要半導体技術と効果 ゲート当たり5pJのECLを、550ゲートレベルで実現するための、主な半導体技術を示す。

技術	効果
微細加工技術	最小3 μ mパターンによる高密度集積
アイソレーション方式	加速酸化法による微細酸化膜分離
配線技術	アルミ合金による微細大電流容量配線
高速化技術	低圧エピタキシャルとイオン注入による浅い接合形成
低消費電力化技術	内部回路信号振幅低減による低電力化 (電力・遅延積~5pJ)

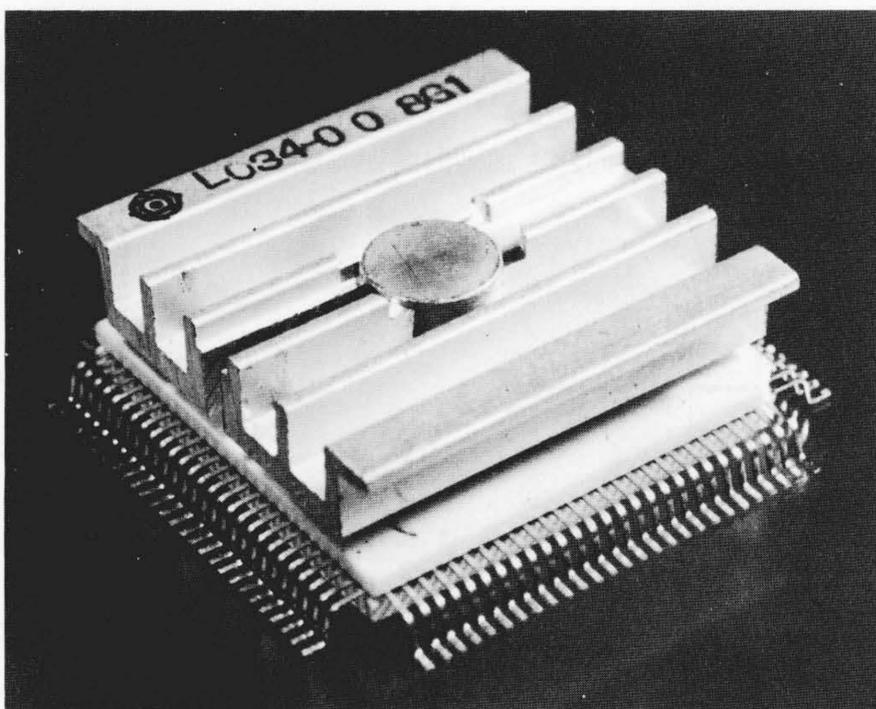


図1 カスタム論理の外観写真 ピン数108本のフラットパッケージ入り、550ゲートカスタム論理の外観を示す。1辺が約2cmである。

* 日立製作所デバイス開発センタ 工学博士 ** 日立製作所デバイス開発センタ *** 日立製作所中央研究所 工学博士
 **** 日立製作所神奈川工場

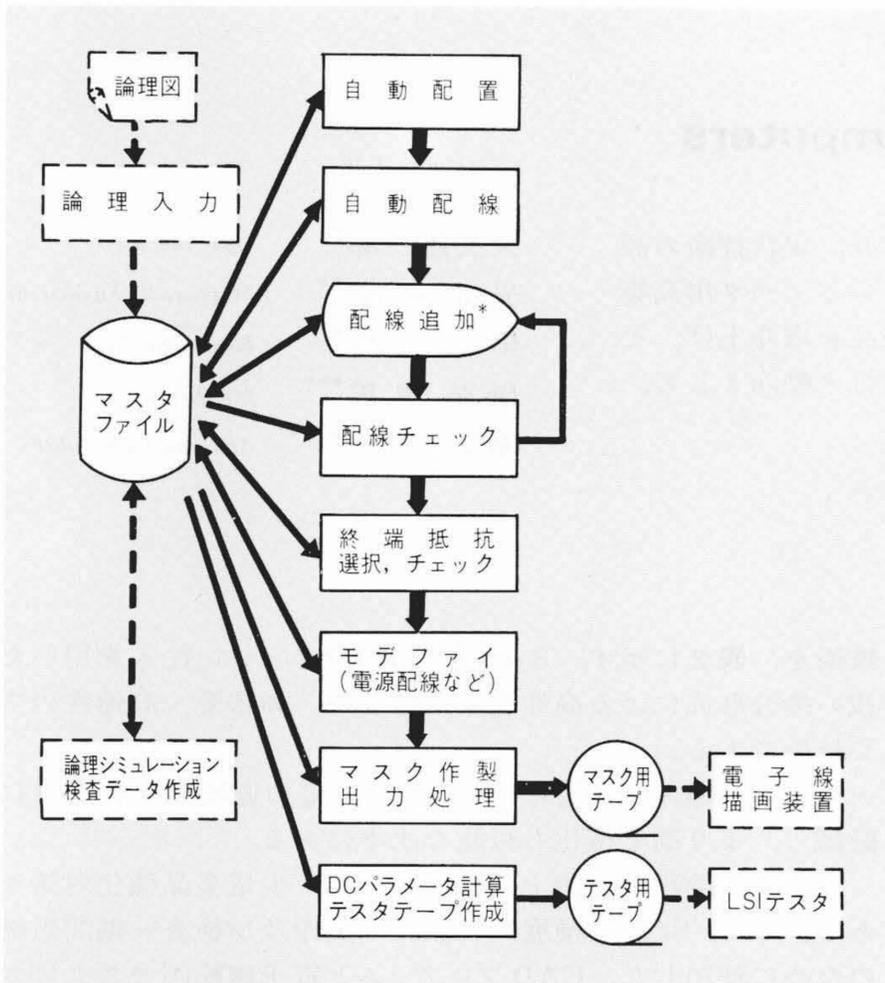


図2 自動設計プログラム“LARCS”の処理フロー 実線が“LARCS”による自動処理を示す。図中の*印配線追加は、グラフィックシステムによる人手処理、他は大形コンピュータ HITAC M-180 処理である。

出力されたマスク作製用テープは、電子線描画装置に入力され、品種展開用の配線マスクを描画する。電子線描画装置を用いることにより、マスク作製期間が従来方式に比較して約30%に短縮され、顧客からマスク用テープを受領してから、完成品の検査を完了するまでの期間を、約1週間に短期化することも可能となった。

3 論理混在形高速メモリ超LSI

3.1 システムへのインパクト

最近のコンピュータシステムでは、仮想記憶方式及びバッファメモリ方式の採用により、プログラミングを容易にするとともに、コストパフォーマンスの改善を図っている。これらの方式を実現するために、図3に示すようなメモリ制御

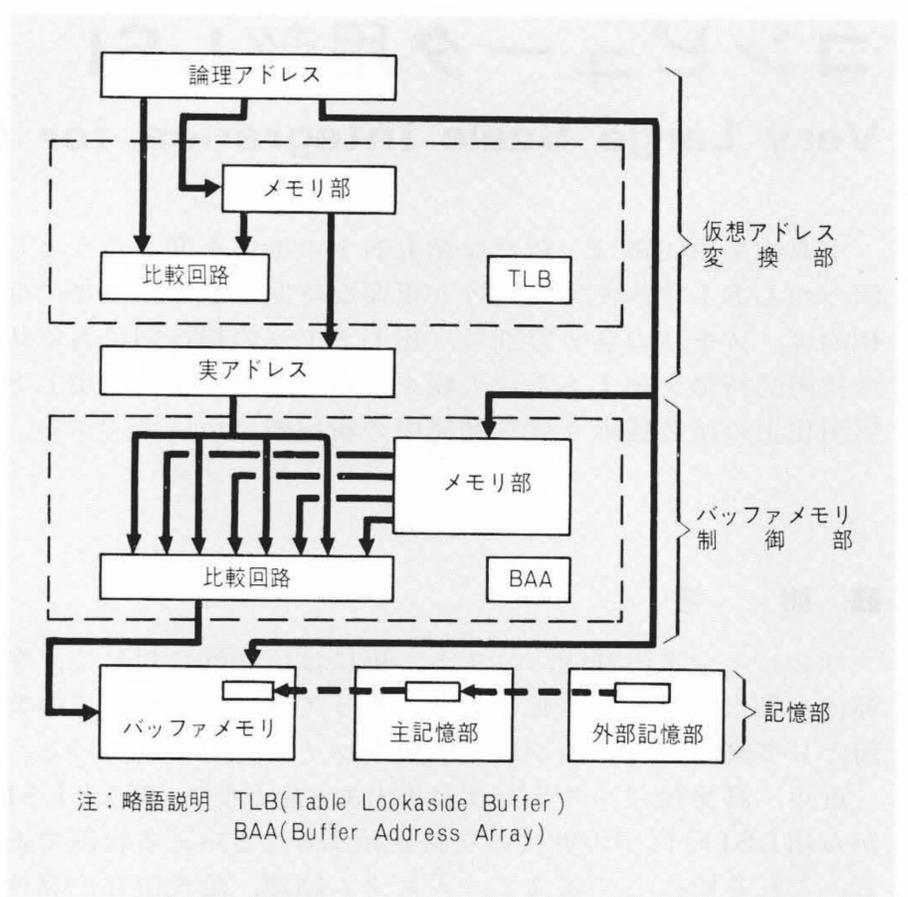


図3 仮想記憶方式におけるメモリ制御説明図 破線で囲まれたTLB及びBAAの部分に論理混在形高速メモリ超LSIが用いられる。

を実現するハードウェアとして、仮想アドレス変換テーブル TLB (Table Lookaside Buffer) 及び BAA (Buffer Address Array: バッファメモリ制御テーブル) が設けられる。これらのテーブルの高密度実装及び高速化のため、3,072ビットのメモリと470ゲート相当の論理回路を集積したIA (Index Array: 論理混在形メモリ) を開発した。

この超LSIを採用したHITAC M-200Hのテーブル部は、従来の標準256ビットメモリと論理ICを用いたHITAC M-180のそれと比較して、実装面積で約1/3、消費電力で約1/2となり、速度は約3倍に向上した。

3.2 回路構成と主要特性

数種類の回路構成について、半導体技術及びシステム実装技術との兼ね合いを含めて検討し、最も効率的な回路構成を採用した。その構成の概略は、図4に示すように64ワード×48ビットのメモリセルアレー、コンペア回路、パリティ回路及びそれらの入出力回路と制御回路から成り立っている²⁾。

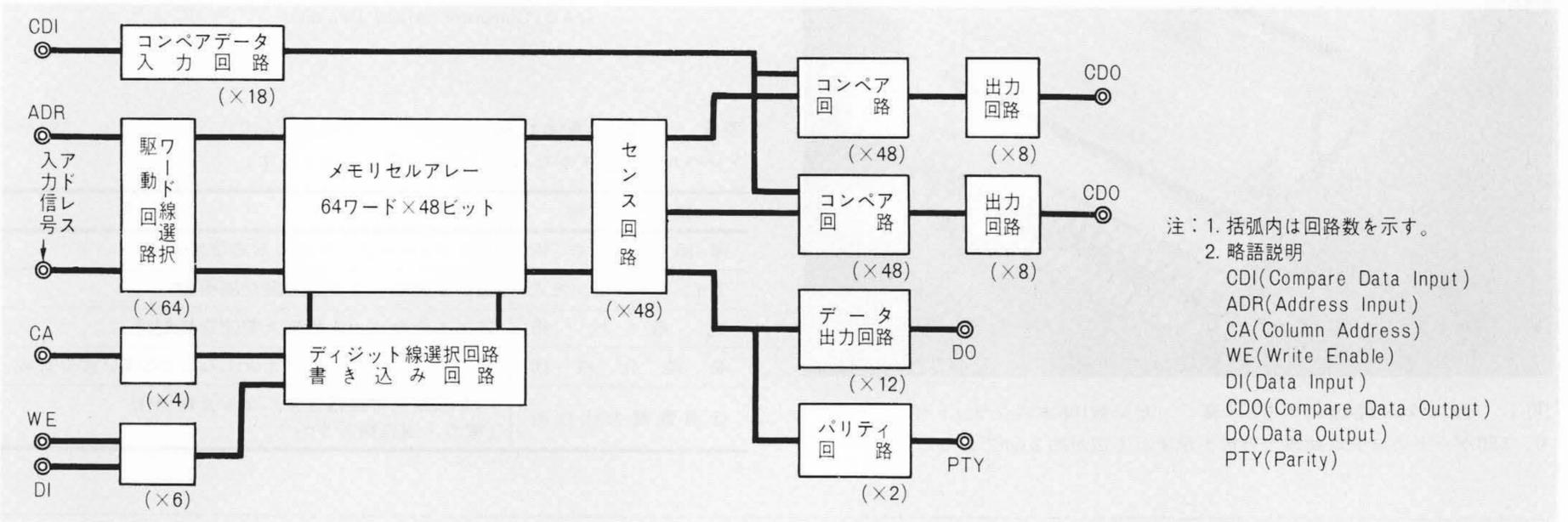


図4 論理混在形高速メモリ超LSIの回路構成 64ワード×48ビットのメモリセルアレーと、コンペア回路などで構成されている。

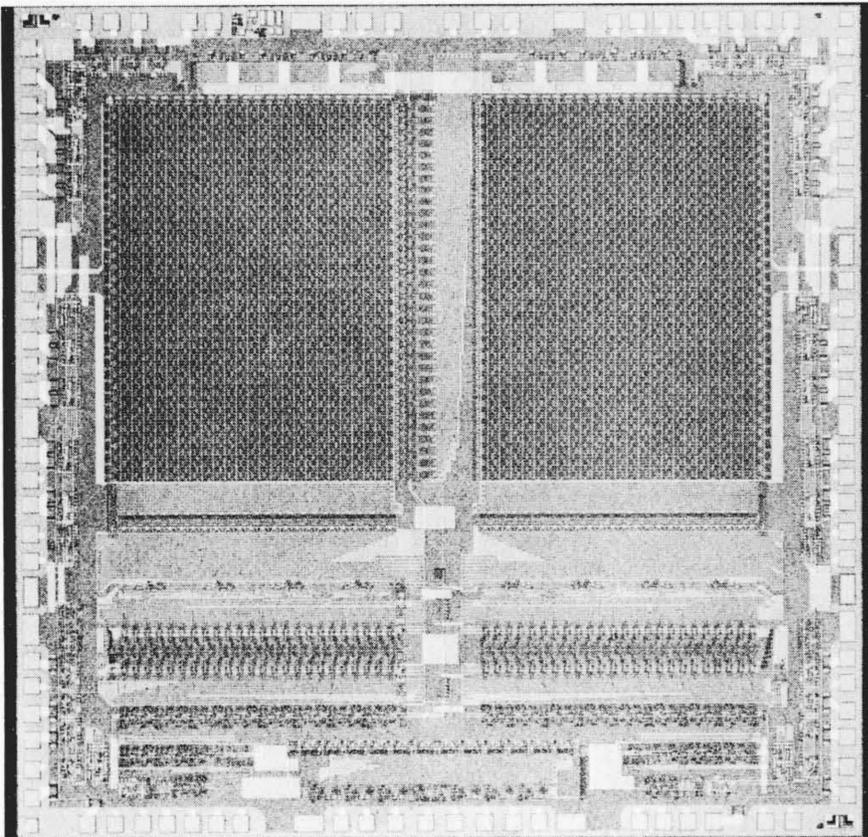


図5 論理混在形高速メモリ超LSIのチップ写真 3,072ビットのメモリと470ゲートの論理回路から成り、チップ寸法は5.9mm×5.7mmである。

主な特性はメモリアクセス時間6.7ns、コンペアアクセス時間3.1nsである。図5にこの超LSIのチップ写真を示す。チップ寸法は5.9mm×5.7mmである。

4 64kビットメモリ

最近、世界的にMOSメモリの大容量化の開発に特に拍車がかかった感があるが、以下日立製作所の64kビット(HM4864)について紹介する。

HM4864(性能は表3参照)の特長は、国際標準に合致する16ピン標準パッケージを使い、しかも5V単一電源⁴⁾であり、従来の16kビットよりも低消費電力なので使いやすいことである。また、アクセス時間も、従来の16kビットとほぼ同じ200nsなので、メモリ装置に組み込むと性能を維持したままで実装密度を4倍に上げられることである。16ピン化を実現するために、線幅が3μmの微細加工技術を使ってチップ面積を縮小している。また、5V単一電源化を実現するために、次の技術を採用している。(1) Si(ケイ素)基板に負の電圧(-3V程度)を印加できるように内蔵形基板電圧発生回路を採用している。これによって、ユーザーがメモ리카ードに実装して使う場合に問題となる、メモリLSIへのTTL(Transistor Transistor Logic)入力の負のアンダシュート(-2V程度)に対して、メモリ動作が安定になり、また製造プロセスの変動に対してもメモリ動作が安定になる。(2) 5Vと低電圧(従来12V)でも高速化できるように、電圧損失の少ないインバータを採用している。更に、配線抵抗による速度損失を少なくするために、インバータのレイアウトの工夫も行なっている。(3) 5Vと低電圧のために、メモリセルからの読み出し信号が小さい(~100mV)。したがって、いかに高S/N設計を行なうかが最大の問題となる。このために、感度を最大にするような差動形センスアンプのレイアウトの工夫、及びメモリセル内で、読み出し時の雑音を相殺できる2交点メモリセル^{*1)}

(いわゆるfolded bit line方式)を採用した。更に、周辺回路からメモリセルアレー内に結合する雑音を最小にするために、瞬時に流れるピーク電流を極力抑える回路設計を行なっている。この電流はメモ리카ード上で雑音源となるので、これを抑えることはユーザーにとっても重要である。

5 C-MOSメモリのマルチチップ実装

4kビットC-MOSスタティックメモリを、9チップ一つのパッケージ内に実装したマルチチップメモリの試作結果について述べる。

5.1 メモリチップ

(1) C-MOS 3μm技術(HI-C-MOS)を用いた4kワード

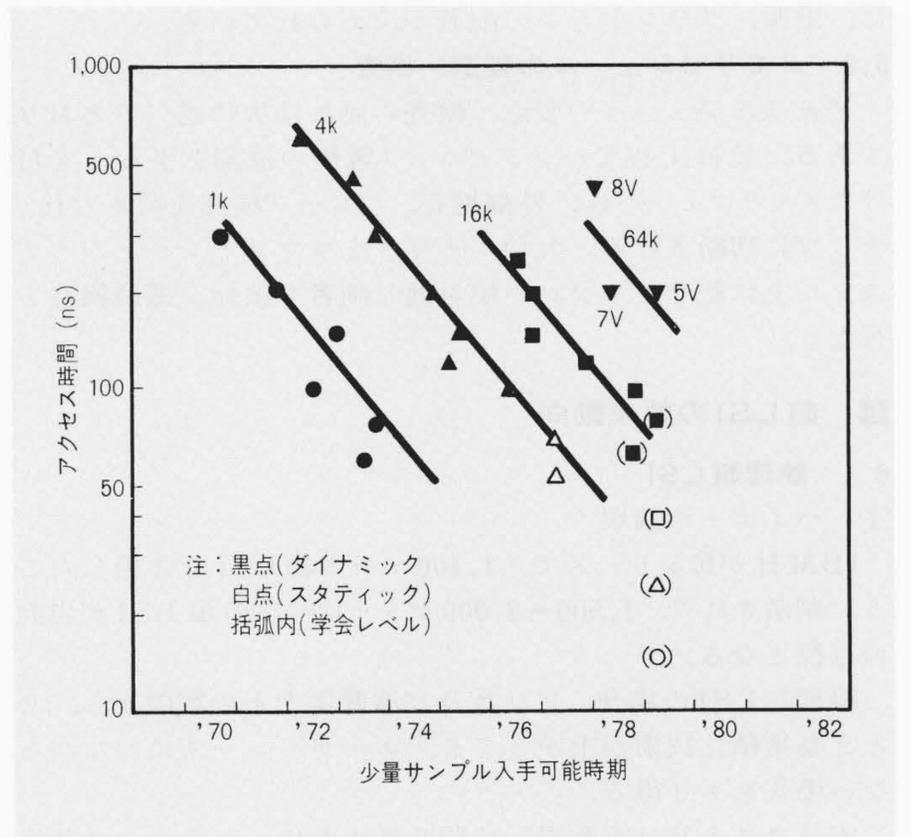


図6 MOS RAMの高速・高集積化の年次推移 MOSメモリが年々高速・大容量化され、ダイナミックメモリの開発の中心が64kビットメモリとなっている状況が見られる。

表3 64kビットと16kビットの性能比較 新たに開発された64kビットメモリが16kメモリと互換性があり、低消費電力化されていることを示す。

性能	MOSメモリ	HM4864(64k)	HM4716(16k)
アクセス時間		200ns max.	150/200ns max.
サイクル時間		375ns max.	320/375ns max.
リフレッシュサイクル		2ms/128サイクル	2ms/128サイクル
消費電力		350mW max.	460mW max.
電源電圧		5V単一	12V, ±5V
パッケージ		16ピン	16ピン
ピン配置			

注: 略語説明 V_{CC}(電源電圧), WRITE(書込み制御信号), RAS(Row Address Clock), CAS(Column Address Clock), D_{in}(Data Input), NC(非接続), V_{DD}(電源電圧), V_{BB}(基板バイアス電圧), V_{SS}(グラウンド)

*1) U.S. Patent

×1ビットのクロック非同期形完全スタティックメモリHM6147を用いている。

(2) 高速・低消費電力

アクセスタイム：55ns max./70ns max.
消費電力：動作時……75mW/チップ
非動作時……25mW/チップ

このため、9チップモジュールの動作時/非動作時電力は、たかだか675mW/225mWである。

(3) 単一5V電源，入出力T²Lコンパチブルである。

5.2 メモリモジュールの構成

上記4kワード×1ビットのチップを9個ビット方向に並べて、4kワード×9ビットのメモリモジュールを構成している(図7)。このメモリモジュールは、図8に示すように二つのDIP(Dual Inline Package)の領域にそのまま入るように、電源、グランドピンの配置が決められている。

5.3 メモリモジュールの製造・検査

メモリモジュールの製造、検査の流れは次に述べるとおりである。最終工程でハンダバンプ(電極の役割をする。)を付けたメモリウェーハは、外観検査、プローブ検査を終えた後、チップに切断される。九つのチップをサブストレートのペDESTAL上に載せてリフロー炉を通し両者を接続し最終検査を行なう。

6 超LSIの将来動向

6.1 論理超LSI

(1) バイポーラ論理

IBM社がEシリーズで、1,400ゲート超LSIを使用したことに刺激されて、1,500~2,000ゲートレベルの超LSIが当面の目標となる。

論理超LSIの場合、ピン数及び消費電力上の制限から、たとえ高集積化技術が上がっても、ユーザーニーズにつながらない場合もあり得る。

実装コスト及び実装遅延時間低減のため、セラミック基板上にLSIチップを実装するマルチチップ実装も、今後の有力な手段と考えられる。しかし、この方法は生産数量が少ないと反ってコスト高を招くおそれがある点、注意を要する。

(2) MOS論理

高集積化は、MOSメモリ分野の微細加工技術を吸収して、バイポーラに比べ数~十倍を実現できる可能性があるが、バイポーラと同様ピン処理問題の解決が鍵となる。しかし、消費電力の点では、C-MOSの利用などにより、ほとんど問題

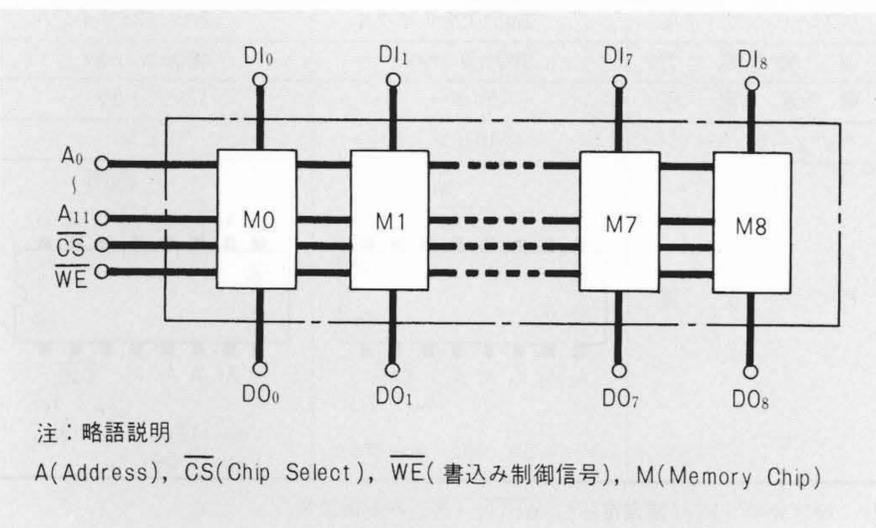


図7 9チップモジュールの構成 4kワードのチップを9個ビット方向に配置した、マルチチップメモリの構成を示す。

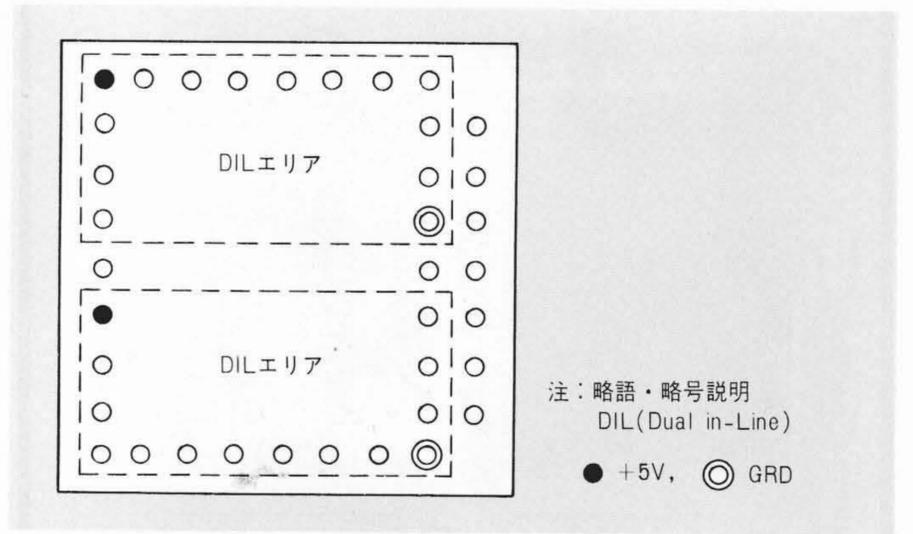


図8 9チップモジュールとDIPパッケージの互換性 モジュール1個が、DIPパッケージ2個分の領域に実装可能な寸法、ピン配置となっていることを示す。

は解決される。

6.2 メモリ超LSI

(1) バイポーラメモリ

現在、4kビットメモリがトップ製品となっているが、16kビットまで高集積化の可能性はある。消費電力の点で、MOSメモリとの競争が今後の課題である。

この論文で紹介したように、論理を同一チップ内に混在させて、システムとしての高速性、高密度性をねらうのが今後の重要な行き方である。

(2) MOSメモリ

高集積化技術の中心となるものであり、今後、256kビットへと集積度が向上されてゆく可能性があるが、同時に歩留まり向上のための欠陥ビット救済技術、及びα線によるソフトウェアエラー対策としてのECC(Error Correcting Code)内蔵方式など、従来の回路技術、微細加工技術とは異なったメモリシステムとしての技術が必要となるであろう。

7 結 言

(1) サブナノ秒クラスの550ゲート論理、及び論理を内蔵した3,072ビットの超高速バイポーラメモリ(アクセスタイム7ns)を実現し、超大形コンピュータ、HITAC M-200Hのコストパフォーマンス向上に大いに貢献した。

(2) 国際標準に合致する5V単一電源方式64kビットメモリを実現し、更に、マルチチップ方式36kビットC-MOSスタティックメモリを開発し、メモリの超LSI化への道を開いた。

以上の半導体は、超LSIとはいうものの、現在その扉を押し開いて、超LSIの領域に入ったばかりの状況にあることはいうまでもない。今後とも研究開発に、いっそう努力したい。

参考文献

- 1) 池本：マスタスライス方式LSIのレイアウトアートワークシステム(LARCS), 情報処理学会電子装置設計技術研究会資料, 第2回(1979-9)
- 2) A.Hotta et al.: Bipolar Memory LSI Chips for Computers, IEEE ISSCC Digest of Technical Papers 22, 98~99 (Feb. 1979)
- 3) R. R. De Simone et al.: FET RAMs, IEEE ISSCC Digest of Technical Papers 22, 154 (Feb. 1979)
- 4) K. Itoh et al.: A Single 5V, 65ns, 16pin, 16K bit Dynamic N-MOS RAM, ESSCIRC 78, Digest, 103 (Sep. 1978)