

GTOサイリスタのスイッチング特性

Switching Characteristics of Gate Turn-off Thyristor

インバータ装置の性能向上及び小形軽量・高効率化を達成するために、GTOサイリスタの適用検討が活発に行なわれている。素子の優れた特性を十分に引き出すためには、その特長を把握し、特性に合致した周辺回路設計法の確立が必要である。本稿は、最初にスイッチング特性を明らかにし、次に、ゲート回路及びオフ時印加電圧を吸収するスナバ回路の要件を示した。

オンゲート回路では駆動電力の小さい狭幅パルス方式を考案した。また、オフゲート電荷がオフパルス発生回路上の基本特性の一つであることを明らかにし、かつ可制御電流向上に必要なゲート回路インピーダンスの要件を示した。スナバ回路では配線インダクタンス低減の重要性を示し、更に、安全動作領域の概念を導入することで、素子本来のしゃ断性能及びスナバ回路との関連が説明できることを明らかにした。

福井 宏* Hiroshi Fukui
木村 新* Shin Kimura
天野比佐雄* Hisao Amano
池田裕彦** Yasuhiko Ikeda

1 緒言

電力制御用半導体素子としては、これまで主としてサイリスタが用いられてきた。しかし、最近装置の高効率・省電力化や小形・軽量化のニーズに対応して、制御信号によってオン・オフ動作できる自己消弧機能をもったスイッチング素子の応用が進んできている。自己消弧機能素子の中で、GTO (ゲートターンオフ)サイリスタは過電流に強く、小さい半導体チップで大きなパルス電流を制御でき、本質的に高耐圧・大電流化に適した電力用スイッチング素子としての有利な性質を備えている¹⁾。

実際にGTOサイリスタを用いたインバータの適用例としては、無停電電源装置、電動機駆動用可変周波電源装置などが発表されており²⁾、実用化の動きも顕著な進展を見せ始めている。これらGTOサイリスタ応用上で重要な点は、ゲート駆動回路とオフ動作時の印加電圧を吸収するスナバ回路である。GTOサイリスタのスイッチング特性はこれら周辺回路に依存しており、素子の能力を十分に引き出すことができる回路設計が必要である。

本稿はGTOサイリスタのスイッチング特性について述べるとともに、その特性から要望されるこれら周辺回路の要件を明らかにし、回路設計の基本的な考え方について述べる。

2 スwitchング特性

2.1 ターンオン特性

GTOサイリスタはサイリスタと同様にpnnp構造であり、二つのエミッタ層からのキャリアの注入による正帰還動作によってターンオンする。したがって、パルスゲート電流で点弧した後はオン状態を自己保持できる。すなわち、トランジスタのようにオン期間中持続して、広幅オンゲート電流を供給する必要はない。この特長を生かした図1に示す狭幅オンパルス発生回路を用いると、オン駆動電力を大幅に低減できる。この回路では、GTOサイリスタが導通すると同時に、ダイオードD₁も導通し、トランジスタTrのベース電流は零となる。その結果、ゲート電流の供給はターンオン直後に停止される。また、GTOサイリスタに順電圧が印加されない限りはゲート

電流が供給されず、インバータの遅れ力率動作の場合にも、パルス電流で点弧できる構成となっている³⁾。

図2にターンオンタイム t_{on} を示す。ゲート電流 i_{GP} が小さいとターンオンタイムが長くなり、局部的な電流集中によって素子を破壊することがある。通常、ターンオン時のアノード電流の尖頭値 i_{AP} が大きい高耐圧・大容量GTOサイリスタでは、ゲートにオーバドライブ電流を供給して、 di/dt 耐量を確保している。GTOサイリスタの内部はゲートとカソードとが入り組んだ微細パターンになっており、ゲート対向長さは通常のサイリスタに比較して長く、基本的には di/dt 耐量の大きな構造である。比較的アノード電流値の小さい耐圧600V級

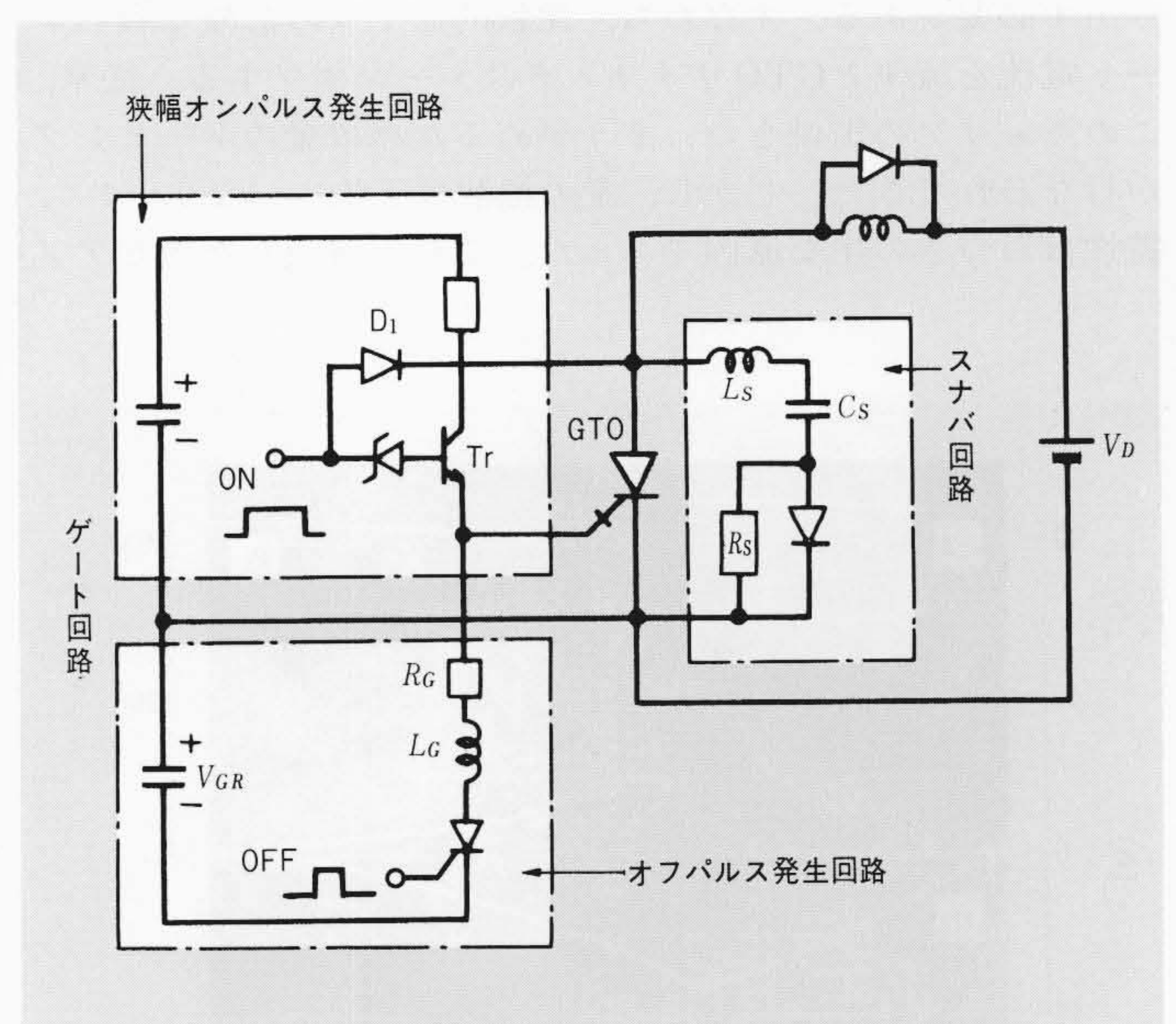


図1 GTOサイリスタとその周辺回路 GTOサイリスタを駆動するときの基本構成は、オン、オフパルスを発生するゲート回路とオフ時電圧を吸収するスナバ回路から成る。

* 日立製作所日立研究所 ** 日立製作所日立工場

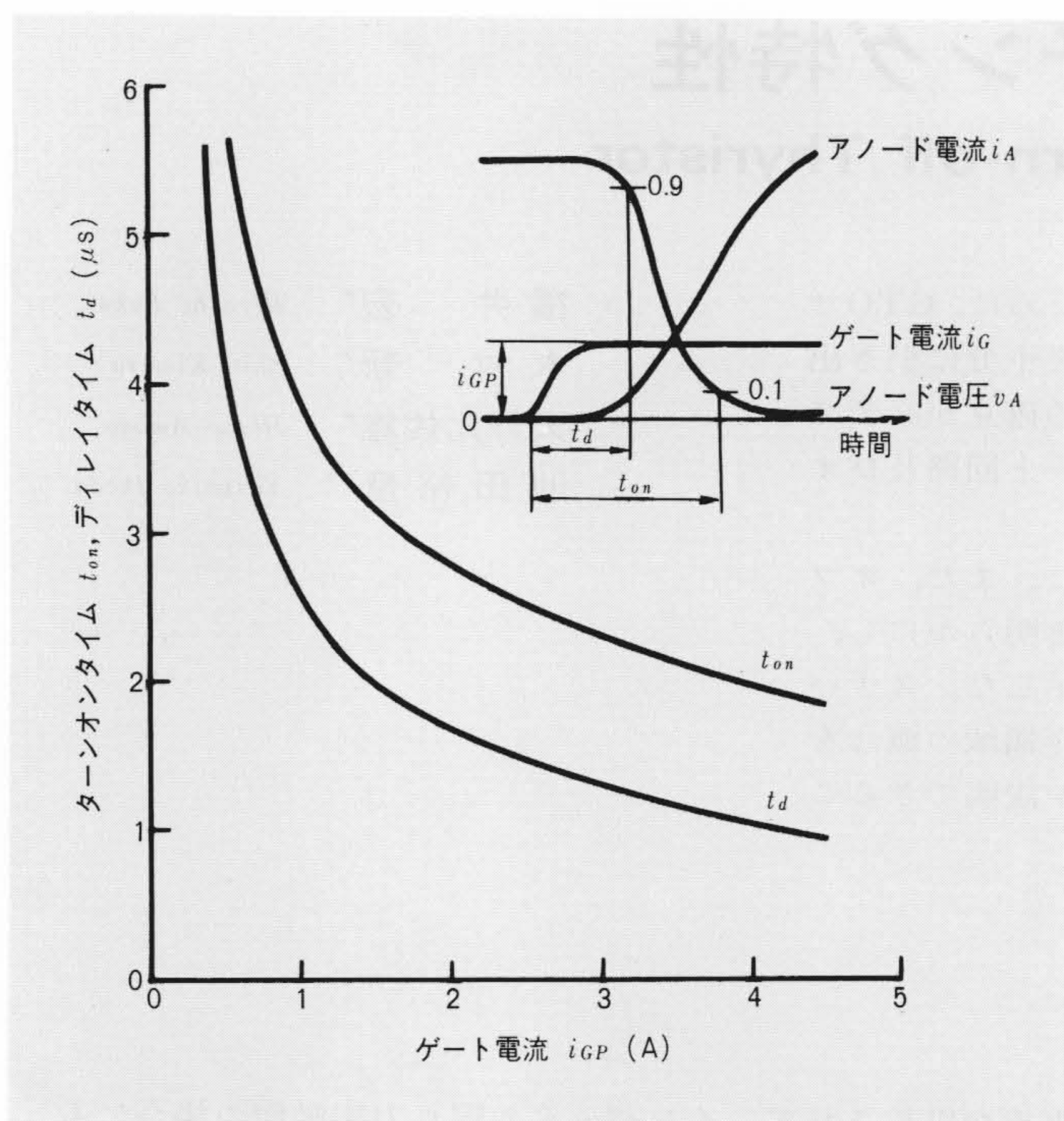


図2 ターンオンタイム t_{on} とディレイタイム t_d のゲート電流依存性 ゲート電流が大きくなると、ターンオンタイムとディレイタイムは短くなる。

のGTOサイリスタでは、特にアノード電流の立上り抑制用インダクタンスを必要としない。

以上述べたように、GTOサイリスタのターンオン特性はサイリスタと同様であり、ターンオンに関しては応用上もこれまでのサイリスタと同じ考え方で取り扱うことができる。

2.2 ターンオフ特性

GTOサイリスタをターンオフさせるには、素子の中に蓄積されている電子や正孔などの過剰キャリアを素早く外部に抜き出す必要がある。すなわち、比較的立上りの急峻な負のゲート電流を流すとGTOサイリスタはターンオフする。従来、このキャリアの消滅をいっそう早めるために金のドーピングが行われてきた。しかし、金の拡散は不均一になりやすく、特性ばらつきの主な原因であった。これを解決したのがアノ

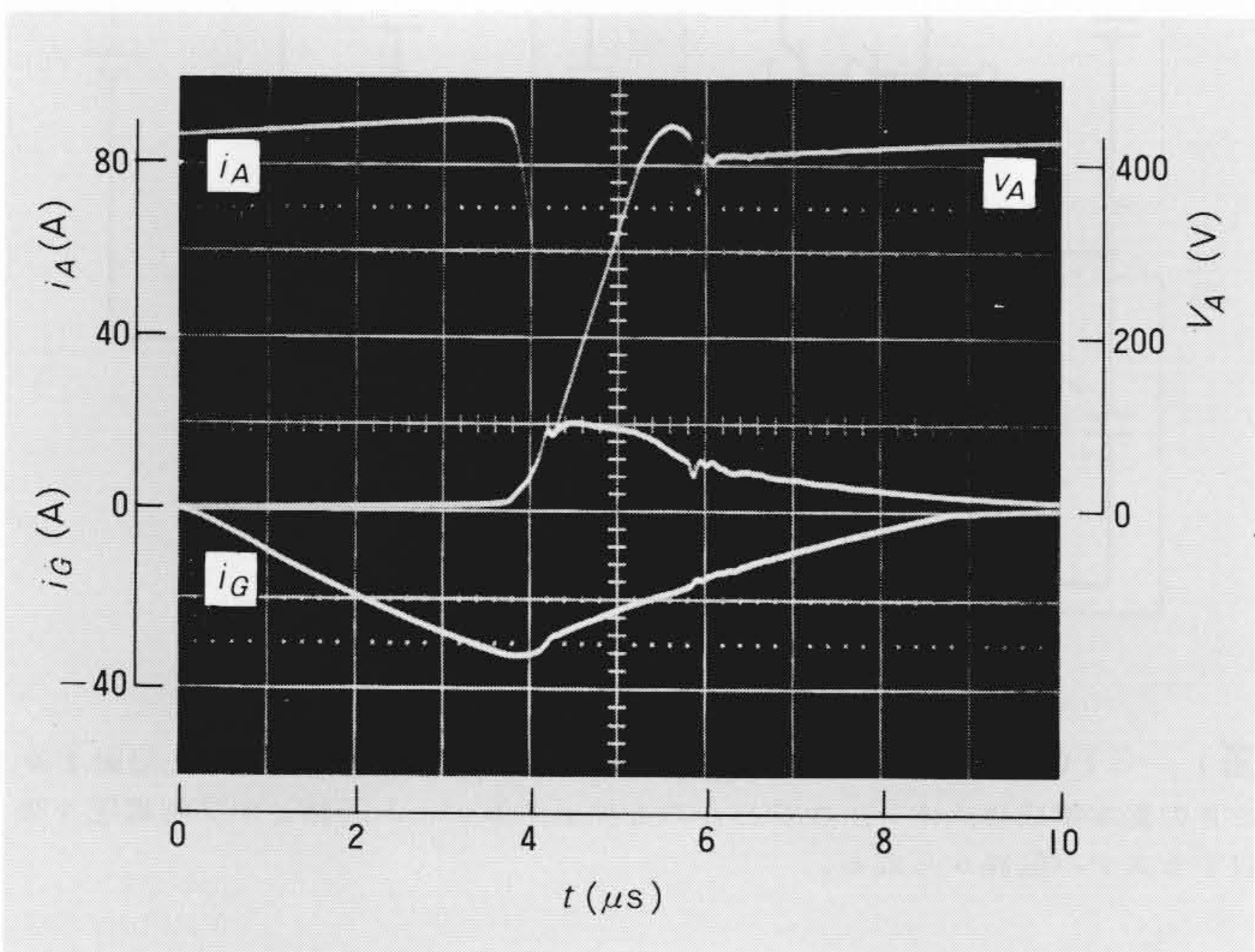


図3 ターンオフ動作波形 90Aのアノード電流をゲート電流32A、ターンオフ時間4μsでしゃ断できる(125℃)。

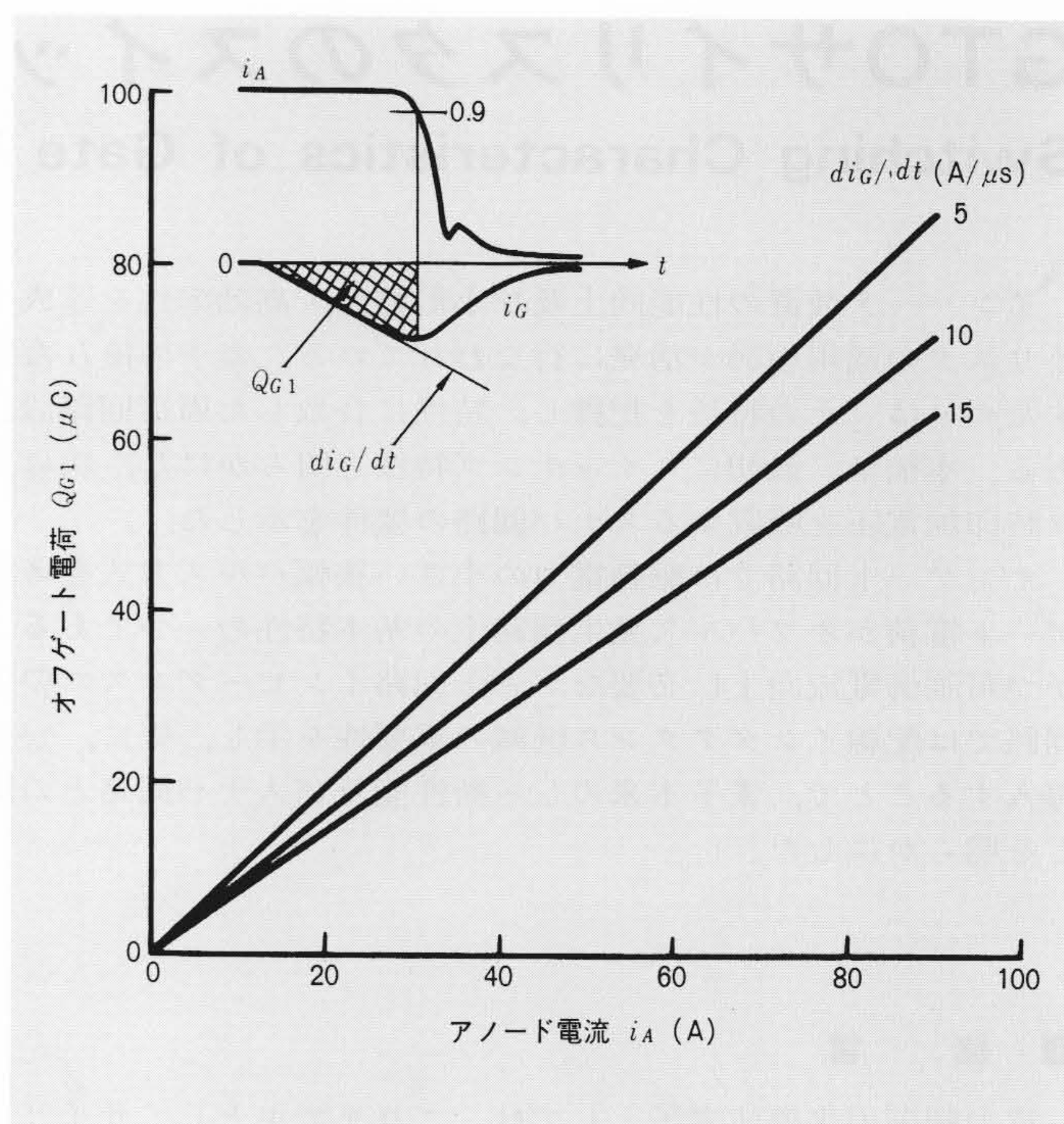


図4 オフゲート電荷のアノード電流依存性 オフゲート電流の立上り di_G/dt が一定の場合、オフゲート電荷はアノード電流に比例する。

ードエミッタ短絡形GTOサイリスタである⁴⁾。

図3に、ターンオフ動作波形の一例を示す。アノード電流90Aをターンオフ時間4.2μs、ゲート電流尖頭値32A(ターンオフ利得 $G_{off} = 3$)でしゃ断できる。ターンオフ特性の中では、可制御電流 I_{TCM} が重要であるが、この特性は周辺回路との関連が深いので次章で述べる。以下では、ターンオフタイムとターンオフ利得について述べる。

GTOサイリスタのこれらの特性はオフゲート電流の時間積分値 Q_G (以下、オフゲート電荷と呼ぶ。) で考えると便利である。オフゲート電流の立上りが一定の場合、図4に示すように、ストレージ期間のオフゲート電荷 Q_{G1} はアノード電流にほぼ比例して増加する。また、その比例定数はオフゲート電流の上昇率 di_G/dt とともに減少し、次の実験式が成立する。なお、測定に用いた試料は600V、90A素子である。

$$Q_{G1} = \left\{ C_1 \cdot \left(\frac{di_G}{dt} \right)^{-1} + C_0 \right\} I_A \quad \dots\dots\dots (1)$$

ここに Q_{G1} : オフゲート電荷(μC)

I_A : アノード電流(A)

di_G/dt : オフゲート電流上昇率(A/μs)

C_0 : 定数で図4の場合は0.6を用いる。

C_1 : 定数で図4の場合は1.7を用いる。

一方、オフゲート電荷とストレージタイムとの関係は、

$$Q_{G1} = \frac{1}{2} \cdot \left(\frac{di_G}{dt} \right)^{-1} \cdot t_s^2 \quad \dots\dots\dots (2)$$

ここに t_s : ストレージタイム(μs)

である。したがって、ストレージタイムは図5に示すようにアノード電流の $\frac{1}{2}$ 乗に比例して増加する。フォールタイム t_f は0.5μs以下であり、ターンオフタイムはほぼストレージタイムで決まる。また、オフゲート電流の尖頭値 i_{GP} はストレージタイムに比例する。したがって、オフゲート電流の尖頭値 i_{GP} 及びターンオフ利得 G_{off} もアノード電流の $\frac{1}{2}$ 乗に比例して増加する。

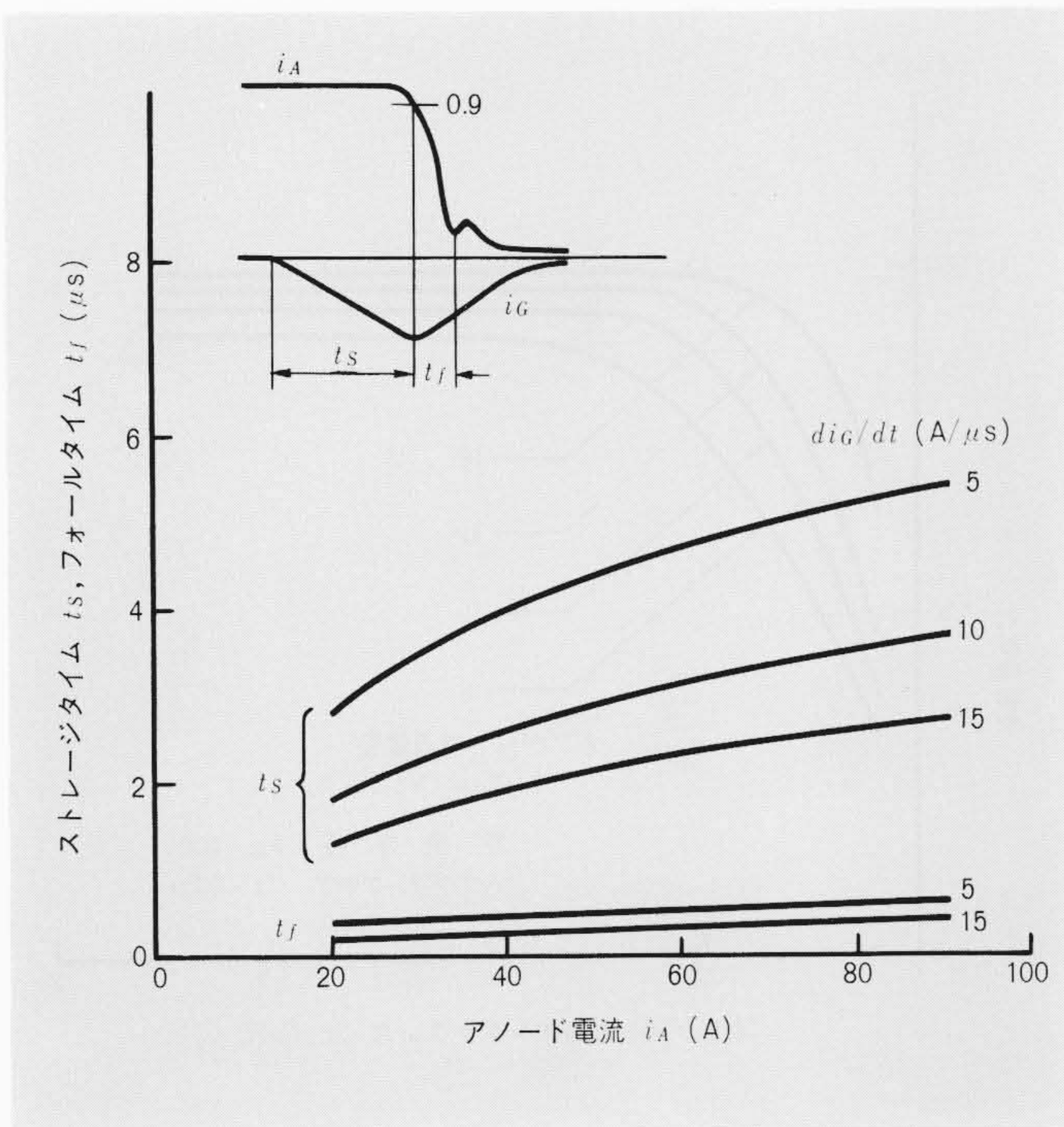


図5 ストレージタイム t_s とフォールタイム t_f のアノード電流依存性 ストレージタイム t_s は、アノード電流の $\frac{1}{2}$ 乗に比例して増加する。フォールタイムは $0.5\mu s$ 以下と短い。

以上述べたように、ターンオフタイム及びターンオフ利得は、オフゲート電荷から推定でき、この特性によりオフゲート回路の電源容量、オフゲート電流供給用素子の電流容量などを設計できる。

なお、ターンオフ終了後のテイル期間はスイッチング損失

の点から重要である。ターンオフスイッチング損失の大部分はテイル期間に発生する。前述したアノードエミッタ短絡構造により、テイル電流の減衰を早めて損失の低減を図っている。

2.3 dv/dt 耐量

GTOサイリスタのアノードとカソード間に急峻な立上りの順電圧を印加すると、サイリスタと同様に誤点弧する。インバータ回路では、GTOサイリスタのターンオフ時及び対アームのGTOサイリスタのターンオン時に、急峻な立上りの順電圧が印加される。GTOサイリスタのゲートとカソード間が逆バイアスされている限り、 dv/dt 誤点弧は発生しない。しかし、逆バイアス回路はゲート回路を複雑にする。特に大容量GTOサイリスタでは、オフ期間、逆バイアスを持続することは回路簡略化の上で大きな制約条件となる。

逆バイアスを省略し、ゲートとカソード間に抵抗又はコンデンサを接続したときの dv/dt 耐量の測定結果を図6, 7に示す。印加順電圧の尖頭値 V_{DP} とともに、臨界順電圧上昇率は顕著に変化するので、点弧限界の $V_{DP}-dv/dt$ 曲線で dv/dt 耐量を示している。試料は $2.5kV$, $1,000A$ 素子である。

抵抗とコンデンサの両者を並列に接続すると、 dv/dt 耐量はいっそう向上する。それぞれ 10Ω , $1\mu F$ の例では、印加順電圧尖頭値 $1,200V$ で、臨界順電圧上昇率は $2,500V/\mu s$ に達する。アノードエミッタ短絡効果によって、このように高い dv/dt 耐量を実現している。なお、ターンオフ直後は素子内に過剰キャリアが高密度に蓄積されており、点弧しやすい状態になっている。したがって、素子内のキャリアが減衰して、定常阻止状態に復帰するまでの間だけは逆バイアスが必要である。この復帰時間はアノードエミッタ短絡構造で決まっており、数十マイクロ秒である。

以上述べたように、アノードエミッタ短絡形GTOはゲートとカソード間に抵抗、コンデンサを接続し、ターンオフ直後の数十マイクロ秒だけ逆バイアスすれば、 dv/dt 耐量を確保す

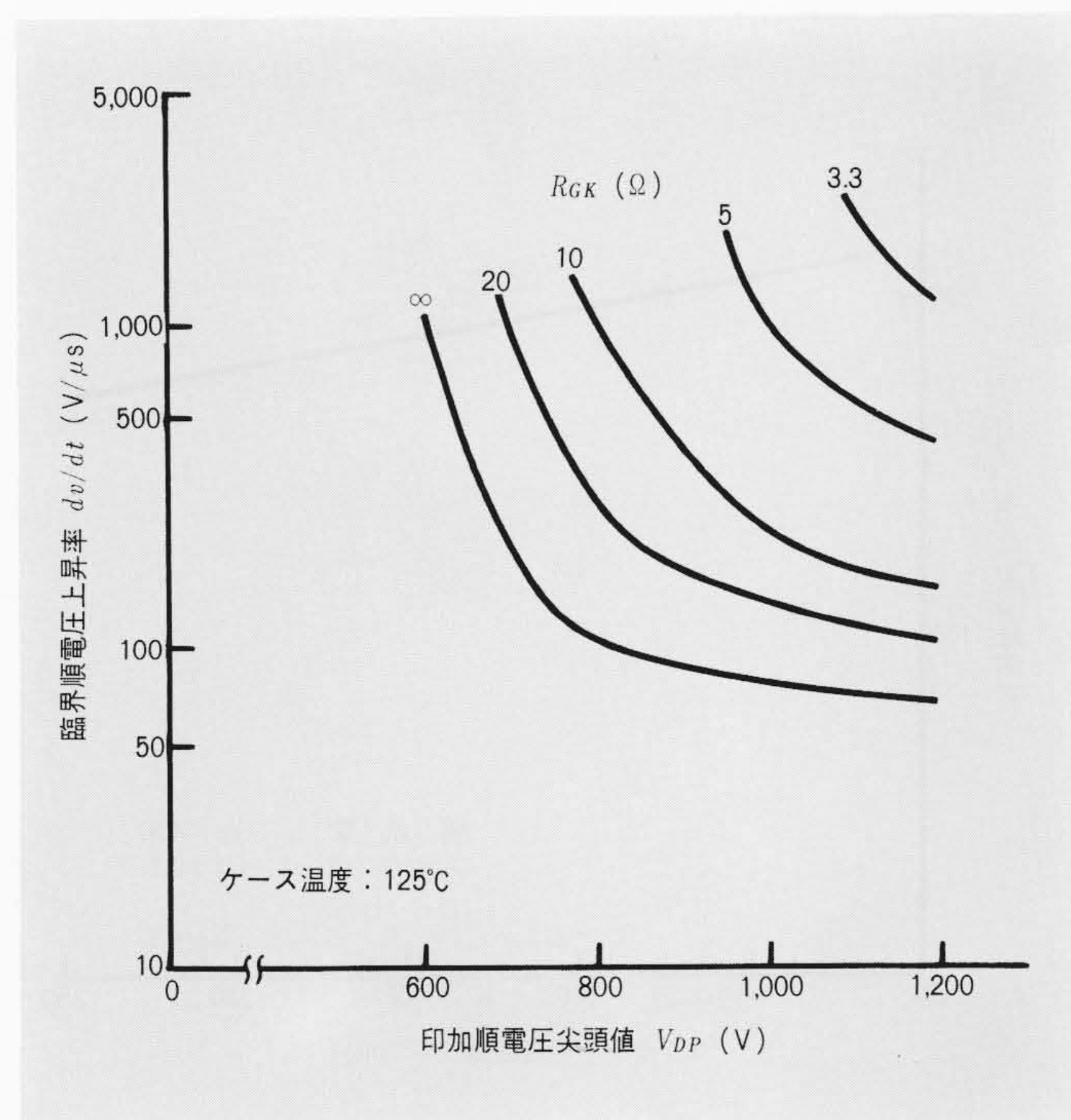


図6 dv/dt 耐量とゲート～カソード間に接続された抵抗 R_{GK} との関係 ゲート～カソード間に接続した抵抗を小さくすると、 dv/dt 耐量は向上する。

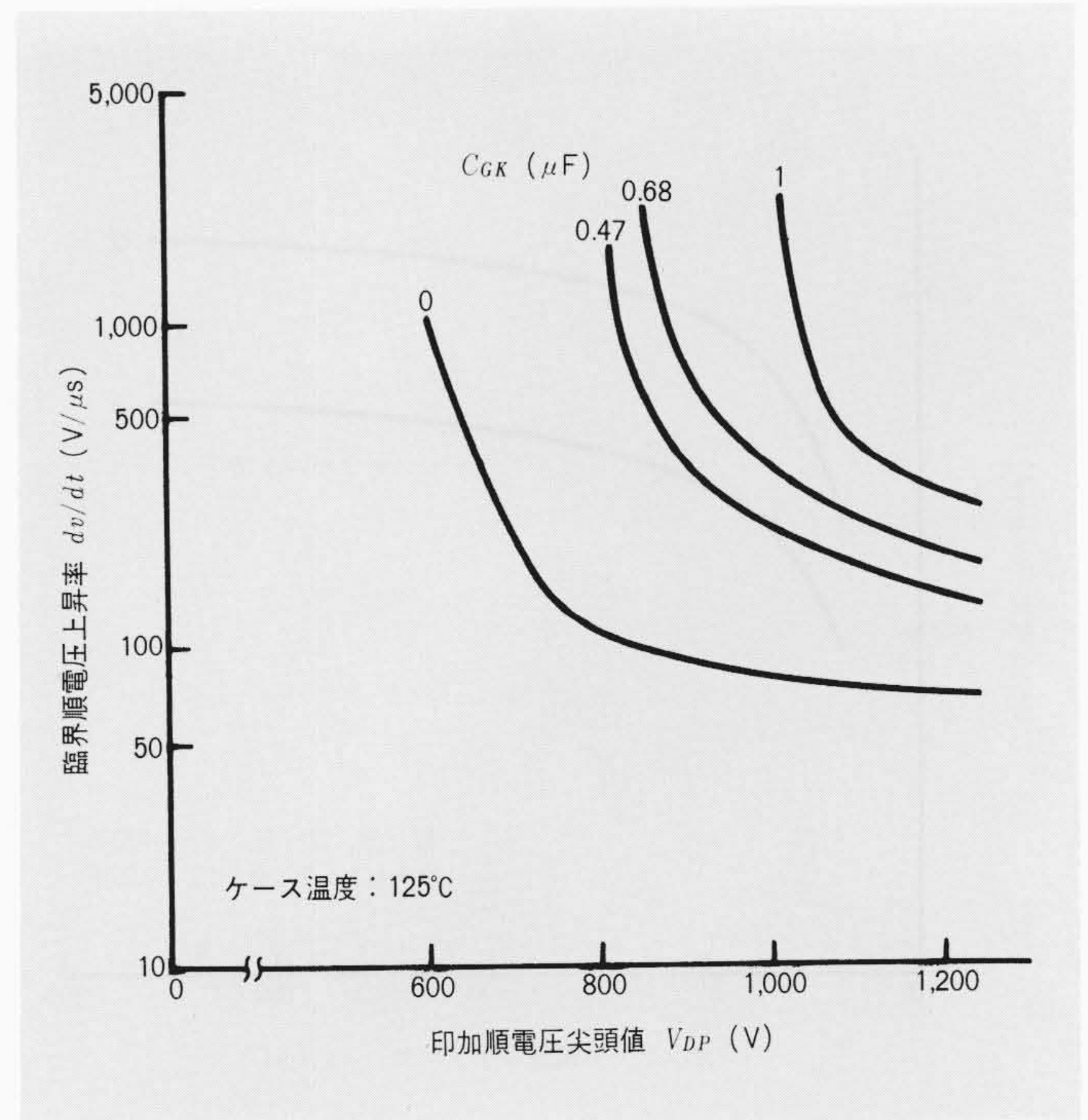


図7 dv/dt 耐量とゲート～カソード間に接続されたコンデンサ C_{GK} との関係 ゲート～カソード間に接続されたコンデンサを大きくすると、 dv/dt 耐量は向上する。

ることができる。すなわち、常時逆バイアス回路を省略して、ゲート回路の簡略化が実現できる。

3 周辺回路

3.1 ゲート回路の要件

オンゲート回路の要件については、既に述べた。ここでは、しゃ断耐量の点からゲート回路の要件について述べる。

図1に示したオフパルス発生回路は、素子のしゃ断能力を最大限に引き出すことができるものでなくてはならない。電源のコンデンサ C_{GR} 、インダクタンス L_G 及び抵抗 R_G といった回路要素に対する可制御電流 I_{TCM} の依存性を、それぞれ図8、9及び10に示す。試料は600V、90A素子である。

図8に示すように、可制御電流はオフ電源用コンデンサ C_{GR} が $50\mu\text{F}$ 程度以下になると急激に低下する。素子をオフさせるために、所定の電荷を放出する必要がある、このときコンデンサの残留電圧の低下が大きいと、可制御電流の低下を招く。したがって、電源電圧が高いほど影響は受けにくい。

図9のインダクタンス L_G に対する依存性を見ると、この場合も $0.5\mu\text{H}$ より小さくなると、可制御電流は著しく低下する。インダクタンス L_G の電流源的な作用によって、フォール期間中にゲートとカソード間がアバランシェを起こすときは、可制御電流の低下は防止できる。

図10の回路抵抗分 R_G に対する依存性を見ると、抵抗とともに可制御電流が低下する。

以上の結果をまとめると、ゲート逆耐圧の許容範囲で、電源電圧をできるだけ高くし、抵抗とコンデンサによる電圧低下を防止し、インダクタンスを入れて電流源としての作用を強くすることがオフパルス発生回路の要件である。現象的に見ると、フォール期間中に上昇してくるゲート逆電圧によって、オフゲート電流が減衰しないことが重要であり、この時点でのゲート電流の低下は電流集中を招き、可制御電流を大幅に低減する。フォール期間中は積極的にゲートとカソード

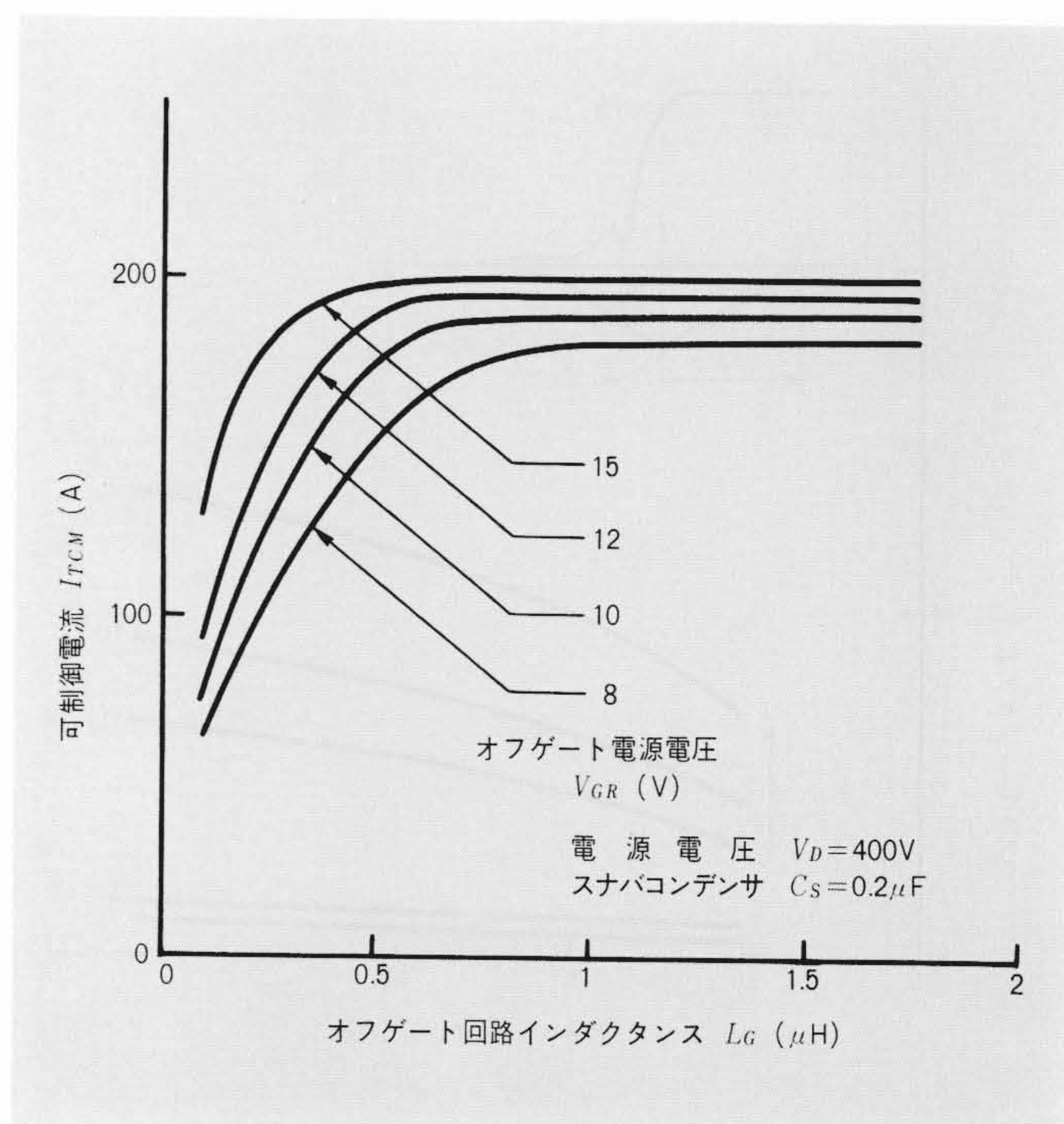


図9 可制御電流のオフゲート回路インダクタンス依存性 オフゲート回路インダクタンスが $0.5\mu\text{H}$ 以下になると、可制御電流は急激に低下する。

間をアバランシェさせることによって、GTOサイリスタのしゃ断能力を最大限に引き出すことができる。ただし、ターンオフ時のゲート損失は素子で決まる尖頭ゲート逆損失以内とする必要がある。過大なアバランシェ電流を流して、不要な電力損失を発生させ、素子を発熱させることは避けなければならない。

以上、主に、小容量GTOサイリスタの評価結果に基づいて、

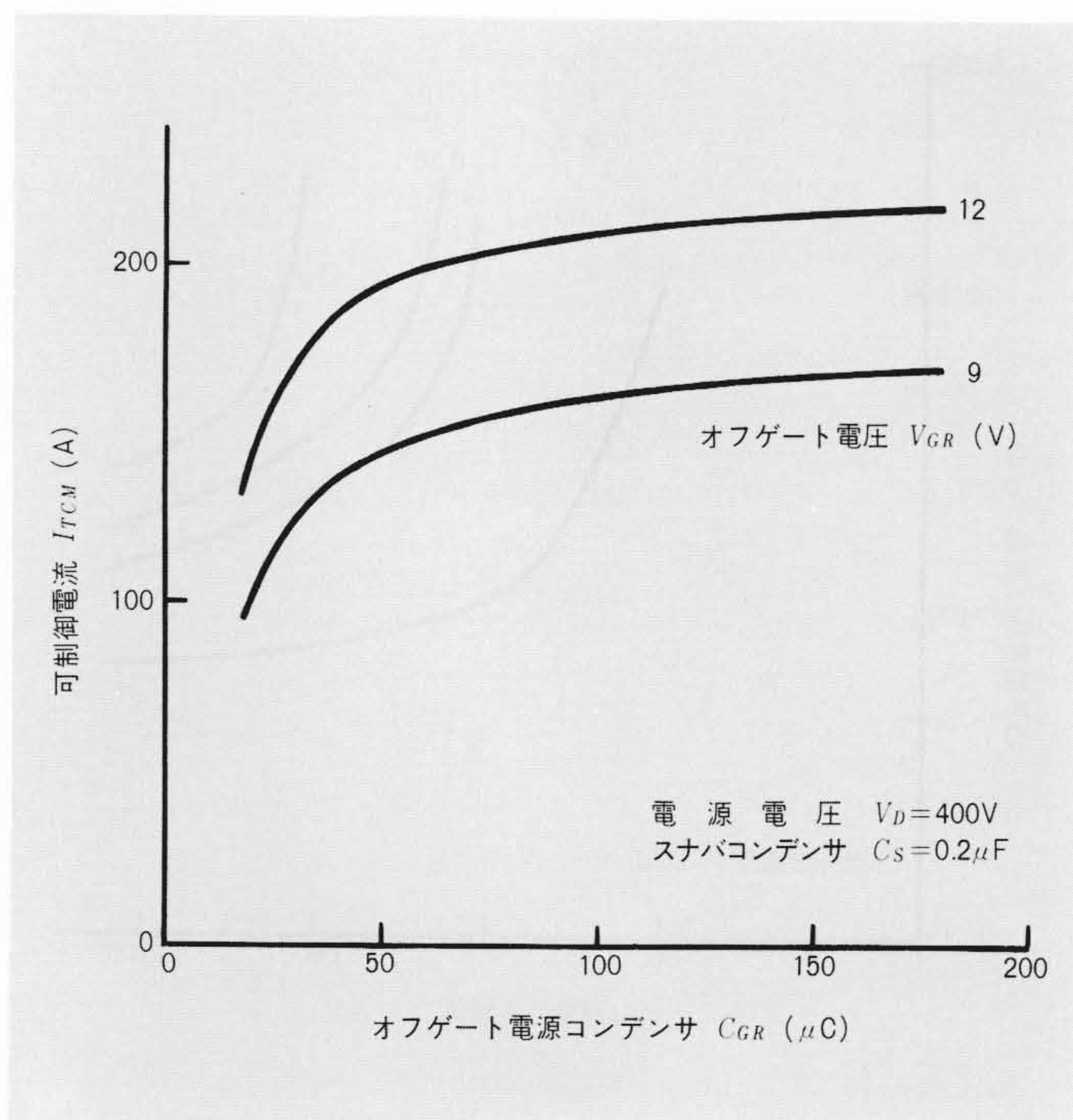


図8 可制御電流のオフゲート電源コンデンサ依存性 コンデンサ C_{GR} が $50\mu\text{F}$ 以下になると、可制御電流は急激に低下する。

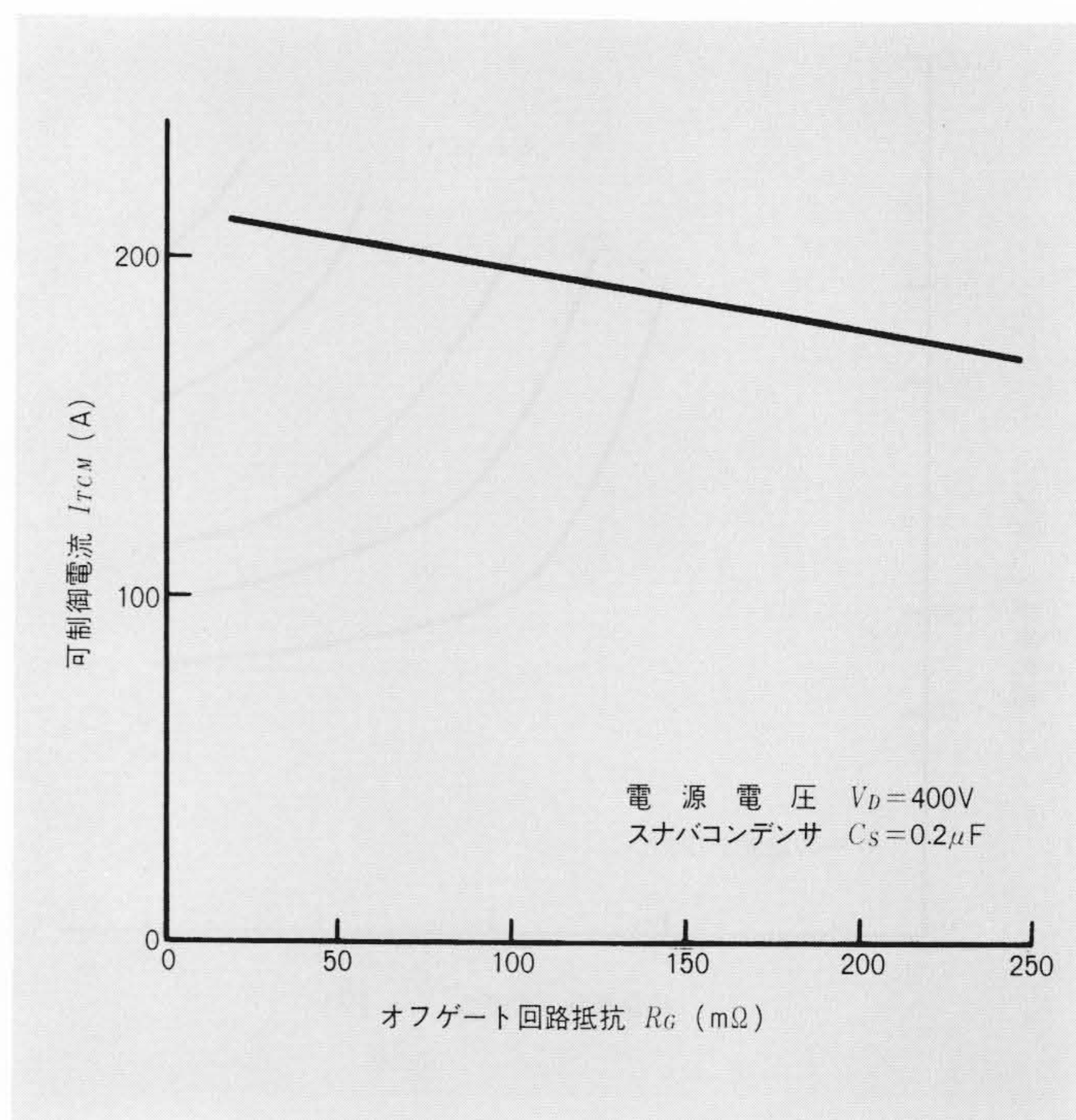


図10 可制御電流のオフゲート回路抵抗 R_G 依存性 オフゲート回路抵抗 R_G が大きくなると、可制御電流は低下する。

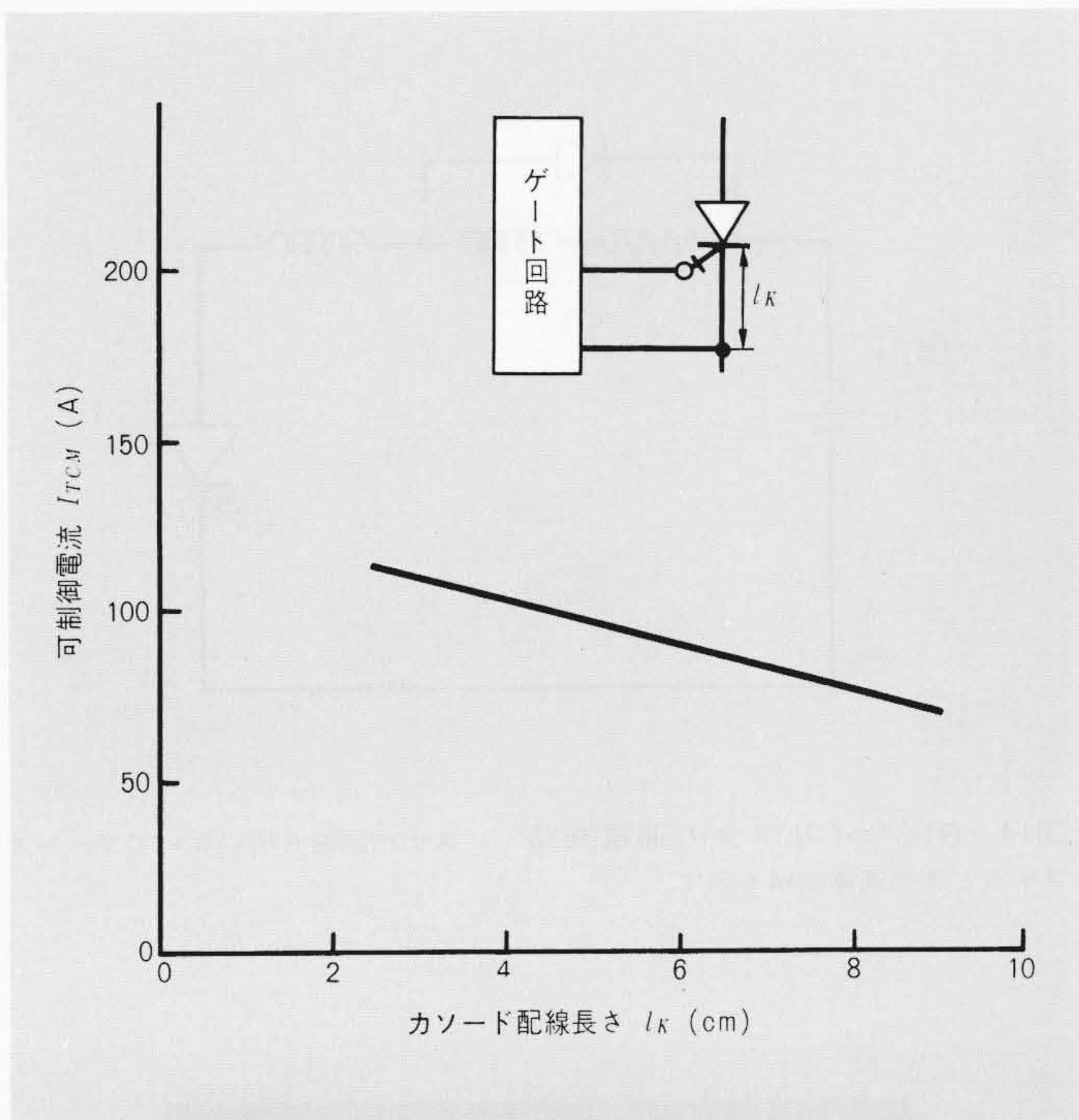


図11 可制御電流のカソード配線長さ l_K の依存性 カソード配線長さ l_K を長くすると、可制御電流は低下する。

駆動要件を述べてきたが、大容量GTOサイリスタについても同様である。ただし、ゲート電流値が大きくなるため、ゲートインダクタンスは小さくても、必要十分なエネルギーがインダクタンスに蓄積される。必要なゲートインダクタンスは、素子のカソード面積にほぼ反比例して小さくなる。数百アンペア以上の可制御電流をもつ大容量GTOサイリスタでは、實際上、配線インダクタンスだけで十分であり、特に、ゲート回路にインダクタンスを入れる必要はない。逆に、過大なアバランシェ損失を防止するために、配線インダクタンスの低減が必要な場合もある。

次に、ゲート回路の実装上、注意すべき点について述べる。図11に示すGTOサイリスタのカソード配線長さ l_K が長いと、その配線インダクタンスによって、ターンオン及びターンオフ時、カソード電流の急峻な立上り、あるいは立下りに応じて、配線に電圧が誘起される。誘起電圧の方向は、いずれもオン及びオフゲート電流の供給を阻止する方向であり、スイッチング耐量を低下させる要因となる。同図は、カソード配線長さ l_K と可制御電流の関係を示しており、配線長さ l_K とともに可制御電流が減少していくことが分かる。したがって、素子のカソードリード端子でゲート回路と主回路のカソード配線を分離して、カソード配線長さ l_K をできるだけ短くするのが望ましい。なお、大容量GTOサイリスタでは以上の点を考慮して、ゲート回路用のカソードリードは主回路とは別に設けられており、実装上の問題はない。

3.2 スナバ回路

ターンオフ時の印加電圧を吸収するスナバ回路は、GTOサイリスタの可制御電流に顕著に影響する。通常、GTOサイリスタには図1に示した有極形スナバ回路が用いられる。図12に、電源電圧400Vでの可制御電流のスナバ回路依存性の一例を示す。試料は600V、90AのGFF90A 6である。コンデンサ C_s の容量とともに、ターンオフ時に印加される電圧は低減されるので、可制御電流は大きくなる。また、配線インダクタ

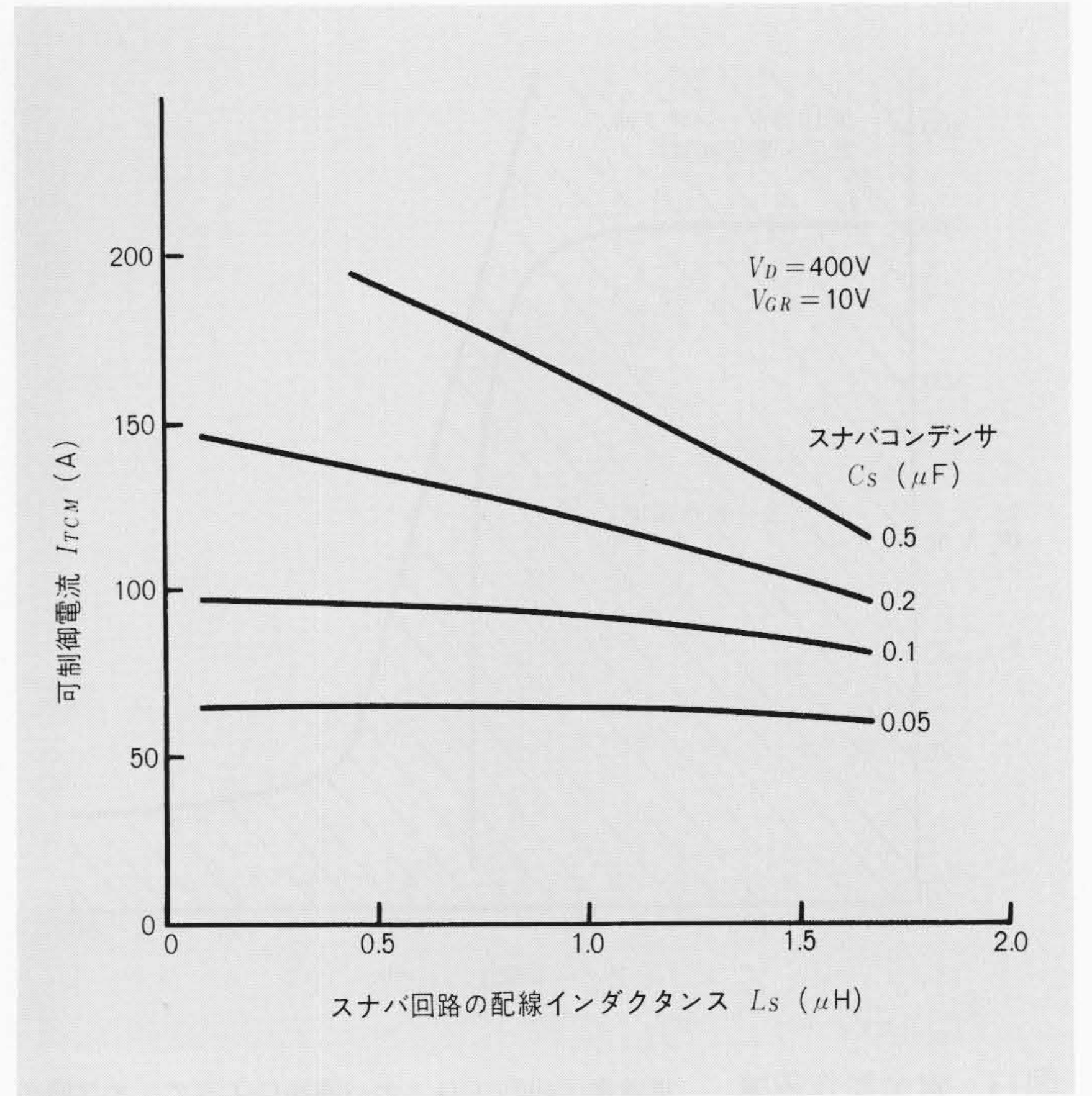


図12 可制御電流のスナバ回路依存性 スナバ回路のコンデンサが大きく、配線インダクタンスが小さいと、可制御電流は大きくなる。

ンス L_s が大きくなると、オフ時の急峻な電流変化によって誘起される電圧が高くなり、可制御電流は低下する。ただし、 C_s の容量が小さいときは可制御電流の L_s 依存性は小さい。後述するように、フォール期間の印加電圧を低減することによって、可制御電流は向上する。

スナバ回路の要件としては、(1)回路配線を短くして配線インダクタンスを小さくすること、(2)スナバダイオードの順回復特性の速いものを用いること、(3)スナバコンデンサは内部インダクタンスの小さいものを用いること、などである。大容量GTOサイリスタはスナバ回路の寸法が大きく、配線が長くなりがちであり、上記要件はいっそう重要である。

通常、GTOサイリスタの可制御電流はスナバ回路との組合せで示されるため、素子自体の性能は明確に分からない。日立製作所は、GTOサイリスタのしゃ断性能はトランジスタなどと同様に、安全動作領域によって素子固有の特性として明確に評価できることを見いだした。図13に、安全動作領域の一例を示す。試料は600V、90Aの素子である。安全動作領域は、ターンオフ時の電圧・電流軌跡が通ってもよい領域を示している。可制御電流が基本的に、安全動作領域で決まっていることを示す一例として、電源電圧が低いときにはスナバ回路がなくても、GTOサイリスタが大きなアノード電流をしゃ断できることを次に述べる。

図14の通電回路で、アノード電流200Aをスナバ回路なしでしゃ断したときの動作波形を、図15に示す。最初、GTOサイリスタをターンオンし、抵抗 R_A で決まる電流を、インダクタンス L_A を通して通流する。次に、GTOサイリスタにオフゲート電流を供給し、その蓄積期間を経過すると、GTOサイリスタの内部インピーダンスは上昇し、アノード電圧が上昇し始める。図15は、このフォール期間開始時点からの動作波形を示すものである。インダクタンス L_A は十分大きく、スナバ回路がないため、アノード電流は減衰せずに、ほぼ一定に保持される。GTOサイリスタのアノード電圧が電源電圧 V_D を

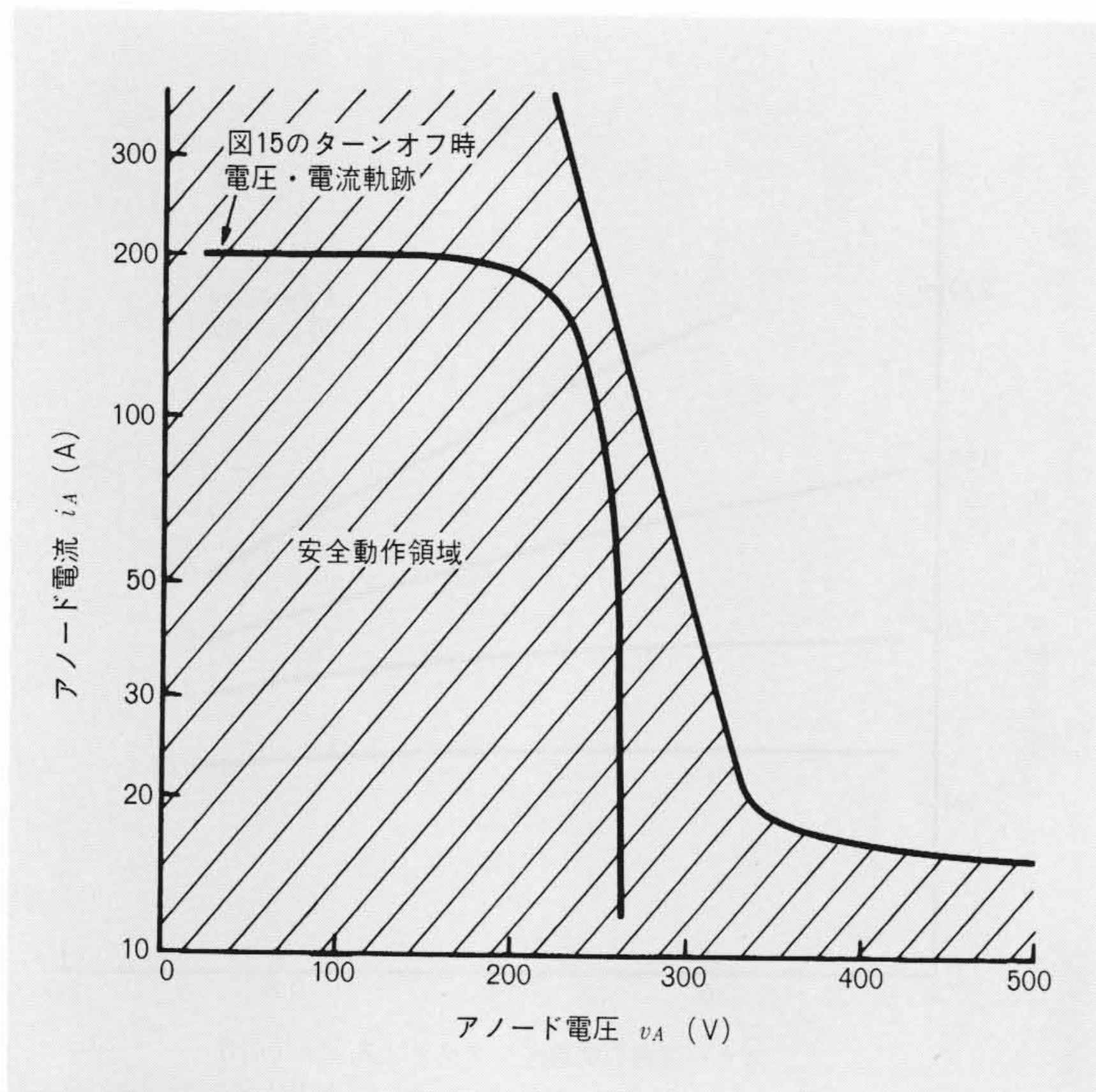


図13 安全動作領域 電源電圧400Vではスナバ回路によって、オフ時の電圧・電流軌跡をハッチング内に入れることが必要である。電圧200V以下のときは、スナバ回路なしで200A以上しゃ断できる。

超えると、ダイオード D_F が導通し、インダクタンス L_A の電流はダイオード D_F へ転流する。この時点から、アノード電流は減少し始める。アノード電流の立下りに応じて、配線インダクタンス L_l に電圧が誘起される。アノード電圧はその誘起電圧だけ電源電圧よりも高くなる。アノード電流が零になると、アノード電圧は電源電圧に一致し、ターンオフ動作が終了する。

以上、アノード電圧が上昇し始めてから、アノード電流が零になる(ゲートとカソードの接合が回復する。)までのフォール期間の電圧・電流軌跡を図13に示す。電圧・電流軌跡は安全動作領域の中に入っており、したがって、スナバ回路がなくてもしゃ断できることは明らかである。また、この結果から、電源電圧 V_D も可制御電流に顕著な影響をもっていることが分かる。電源電圧が高くなると電圧・電流軌跡を安全動作領域内に入れるために、スナバ回路が必要となる。また、オフ時の印加電圧が低いほど、可制御電流が向上した理由も明らかである。GTOサイリスタのしゃ断能力を表わすために、可制御電流が用いられているが、安全動作領域の結果から、逆に、しゃ断能力は電圧で表わすべき性質をもつ特性であることが分かる。ターンオフ時のしゃ断可能な電圧を維持電圧 $V_{DRM(SUS)}$ (**Sustain Voltage**) と呼ぶことにする。スナバ回路の有無によらず、ターンオフ時のアノード電圧が維持電圧以下であれば、大きな電流をしゃ断できる能力をGTOサイリスタはもっている。したがって、平均電流に対するしゃ断電流の比率の大きい用途(例えば、パルス幅変調方式のインバータなど)に適した性質をもっている。

以上、スナバ回路の要件を述べるとともに、安全動作領域の概念を導入することで、スナバ回路の必要性及び可制御電流との関連を明確にした。

4 結 言

以上、GTOサイリスタの基本的なターンオン特性、ターンオフ特性を述べるとともに、ゲート回路及びスナバ回路の要

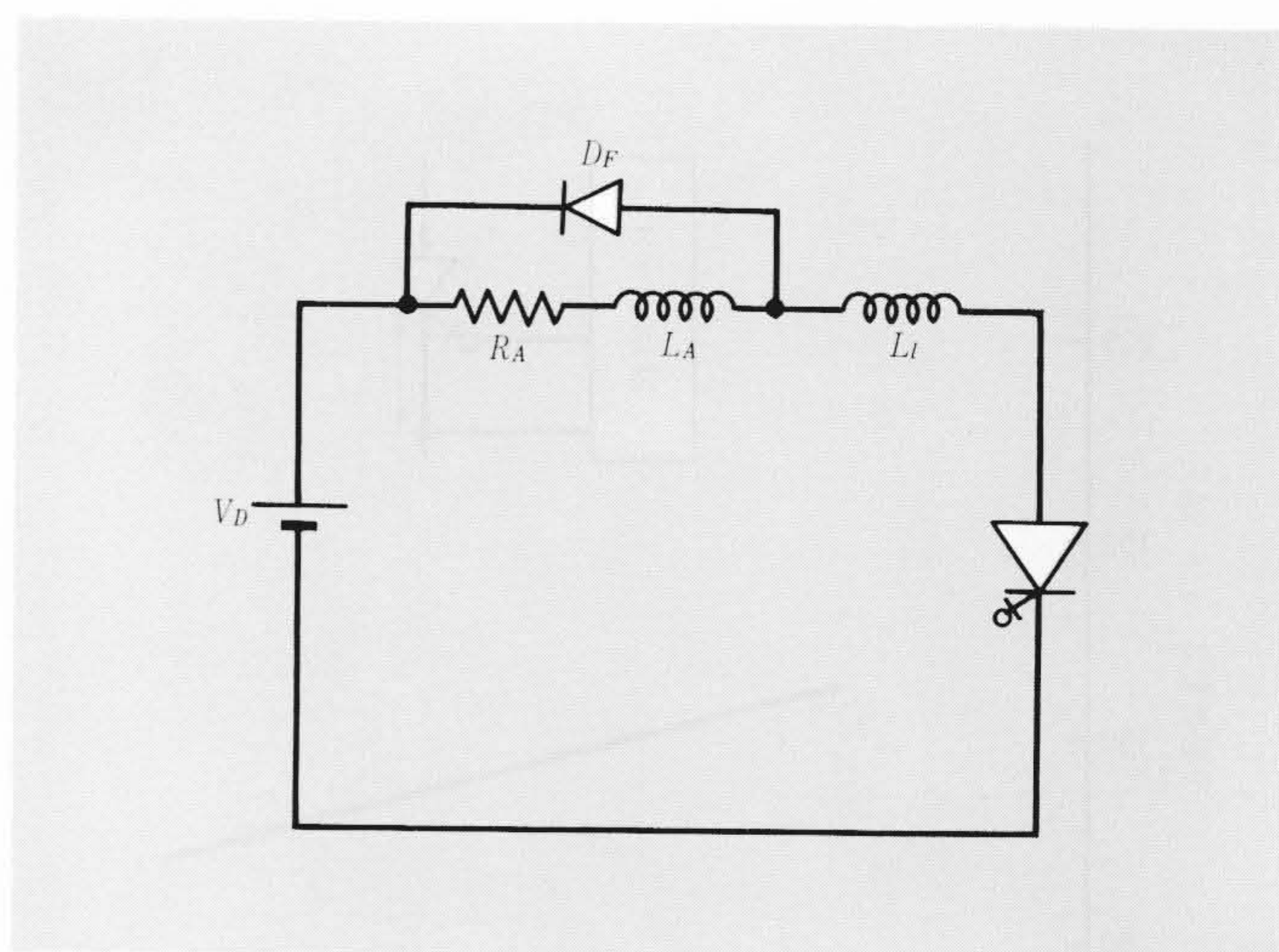


図14 GTOサイリスタの通電回路 スナバ回路を用いないでターンオフするときの通電回路を示す。

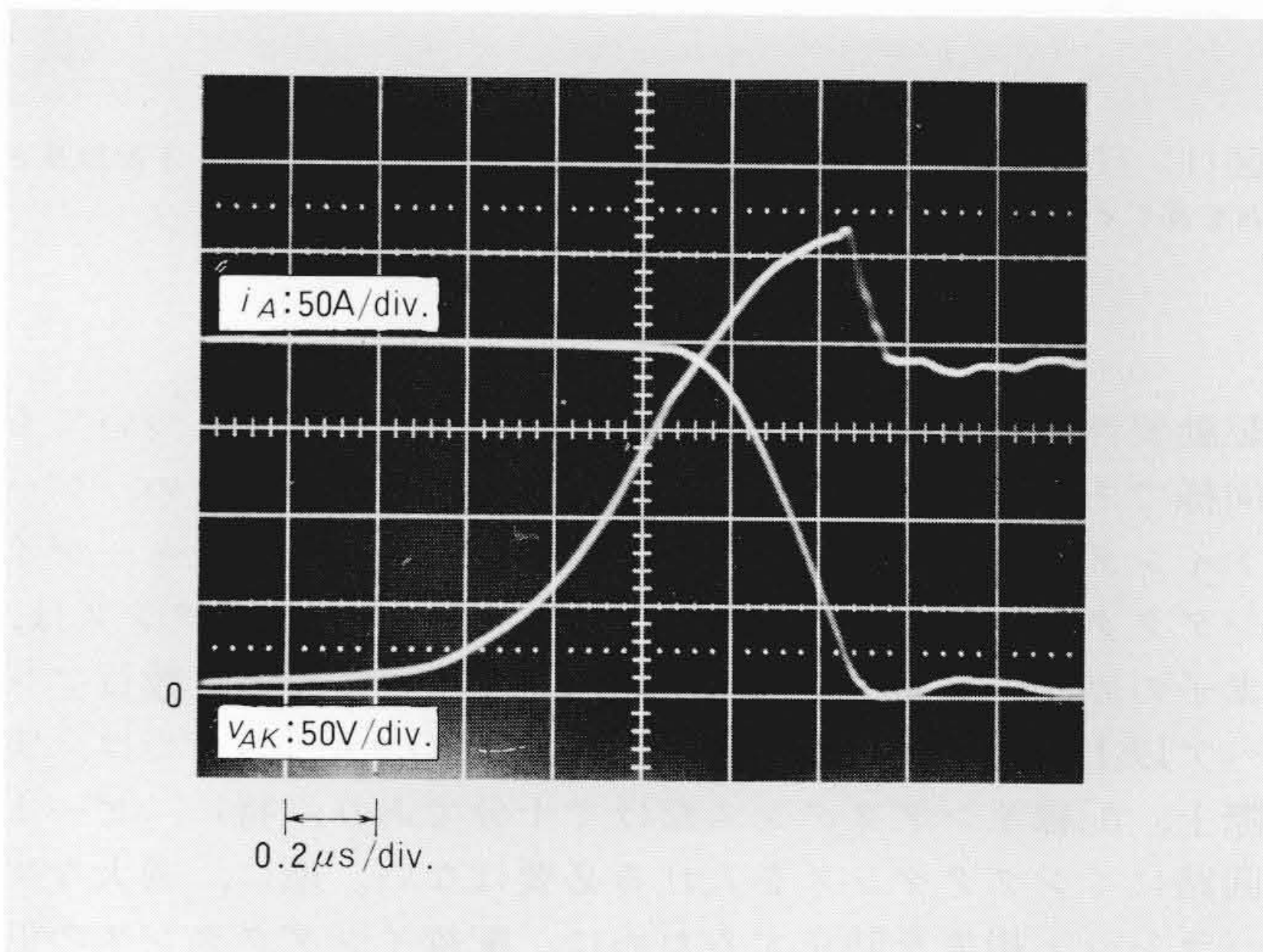


図15 ターンオフ動作波形 電源電圧200Vで、スナバ回路なしで200Aをしゃ断したときのターンオフ動作波形を示す。

件を示した。

オンゲート回路では駆動電力の小さい狭幅パルス方式を考案した。また、オフゲート電荷がオフパルス発生回路設計上の基本特性の一つであることを明らかにし、かつ可制御電流向上に必要なゲート回路インピーダンスの要件を示した。スナバ回路では配線インダクタンス低減の重要性を示し、更に安全動作領域の概念を導入することで、素子本来のしゃ断性能及びスナバ回路との関連が説明できることを明らかにした。

GTOサイリスタの実用化は始まったばかりであり、その特性を十分に引き出すための応用回路技術の開発は、素子特性の解明に伴って、今後もしっそう進展すると予想される。

参考文献

- 1) 八尾, 外: 最近の電力用半導体スイッチング素子, 日立評論, 61, 689~692 (昭54-10)
- 2) 松田, 外: ゲートターンオフサイリスタを用いたインバータとその応用, 日立評論, 60, 427~432 (昭53-6)
- 3) 松田, 外: 交流電動機用PWMインバータへのGTOサイリスタの応用, 日立評論, 63, 379~384 (昭56-6)
- 4) 長野, 外: 電気学会研究会資料, EDD-78-74 (1978)