

# HITAC M-280H処理装置の開発

## Hitachi Computer System HITAC M-280H Processor

HITAC M-280Hは、超高速処理と大規模システムへの市場要求にこたえて、日立製作所が新たに開発した世界最高水準をゆく汎用処理装置である。

システム機能の拡充のため、処理装置に接続可能な主記憶容量やチャンネル台数を、各々32Mバイト、32チャンネルと従来のHITAC Mシリーズに比べて倍増したほか、論理方式上の工夫、最新のLSI及びハードウェア技術の使用により高速化を図り、HITAC M-180の3.5～4倍の処理能力を実現した。また、性能価格比の向上、信頼性の向上などに努めた。

本稿は、HITAC M-280Hの開発思想、論理仕様、方式及びハードウェア技術の特長について述べたものである。

泉 千賀彦\* *Chikahiko Izumi*  
 百瀬 次生\* *Tsugio Momose*  
 細坂 啓\*\* *Satoshi Hososaka*  
 小林二三幸\* *Fumiyuki Kobayashi*

### 1 緒言

近年、システムが大規模化、多様化するに伴い、データベース、コンピュータネットワークなどに加え、オフィスオートメーションシステムに見られる漢字処理、図形処理、画像処理やインテリジェント端末を組み合わせた分散処理などの、システム機能の拡充が強く要求されている。

一方、科学技術計算、オンライン、会話処理などの分野では高速の内部処理性能とともに、システム全体のトータル性能の向上、更には、価格性能比の向上の要求が一段と高まっている。

HITAC M-280H(以下、M-280Hと略す。)は、これらの要求を満たすため、日立製作所が新たに開発した超高速処理装置である。システム機能の拡張、及びこれをサポートする新しいプログラムプロダクトを中心とするソフトウェア、高性能周辺装置などにより、多様化するシステム機能への要求にこたえ、また最新のハードウェア技術と論理方式の工夫に基づく高速化により、高速の内部処理、システム性能への要求にこたえようとするものである。図1にM-280Hシステムの外観を示す。

### 2 開発思想

#### (1) M-280Hの位置付け

M-280Hは、HITAC Mシリーズ(以下、Mシリーズと略す。)の最上位機種であり、汎用処理装置として世界のトップクラスに位置付けられ、HITAC M-180<sup>1)</sup>(以下、M-180と略す。)の3.5～4倍の処理能力をもつ。また、同時に発表されたHITAC M-240Hとともに、より改善された性能価格比により、Mシリーズの中に新しいファミリーを形成する。

M-280Hシステムは、Mシリーズのソフトウェア、周辺装置、端末のほとんどをシステム構成品としてもつことができる。なかでも、新しいプログラムプロダクトであるVOS 3/SP(Virtual storage Operating System 3/System Product)と、VMS/ESO(Virtual Machine System/Extended System Option)及びこれらによってサポートされるH-8598大容量ディスク駆動装置(1,260Mバイト/スピンドル)、H-8172/8196漢字プリンタ、T-560/20ビデオデータシステムなどとのシステム構成は、高度化するユーザーニーズによりよく適合できると考えている。

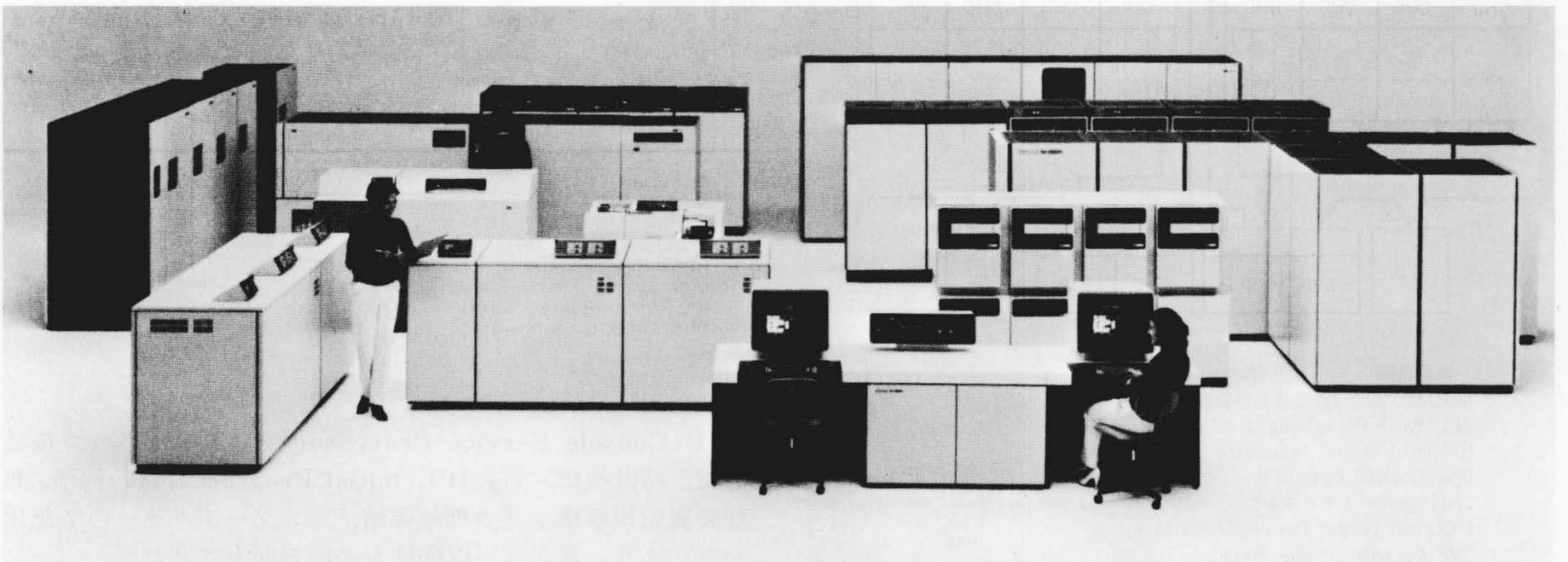


図1 HITAC M-280Hシステムの外観 中央処理装置1台につき最大32Mバイトの主記憶、最大32のチャンネルでシステムを構成できる。

\* 日立製作所神奈川工場 \*\* 日立製作所デバイス開発センター

(2) システム機能の拡充

BPU (Basic Processing Unit: 演算処理装置) に接続可能な主記憶容量, チャンネル台数をそれぞれ従来のMシリーズに比べて倍増するほか, VOS 3, VMS を高速化するファームウェアを標準装備とした。

(3) 高速処理の実現

論理方式上, 記憶制御方式, パイプライン制御方式の強化, 分散形マイクロプログラムなどの工夫により高速化を図った。また, 5章に述べるチップ当たり最大1,500ゲートの高集積LSIをはじめとする最新のハードウェア技術と, それらに適合した論理方式により, マシンサイクル時間の短縮を行ない高速化を図った。更に, 付加機構として, 技術計算のベクトル, 行列演算をM-280Hの3~4倍高速に処理するIAP<sup>2)</sup> (Integrated Array Processor: 内蔵アレイプロセッサ) を用意した。

(4) チャンネル性能の強化

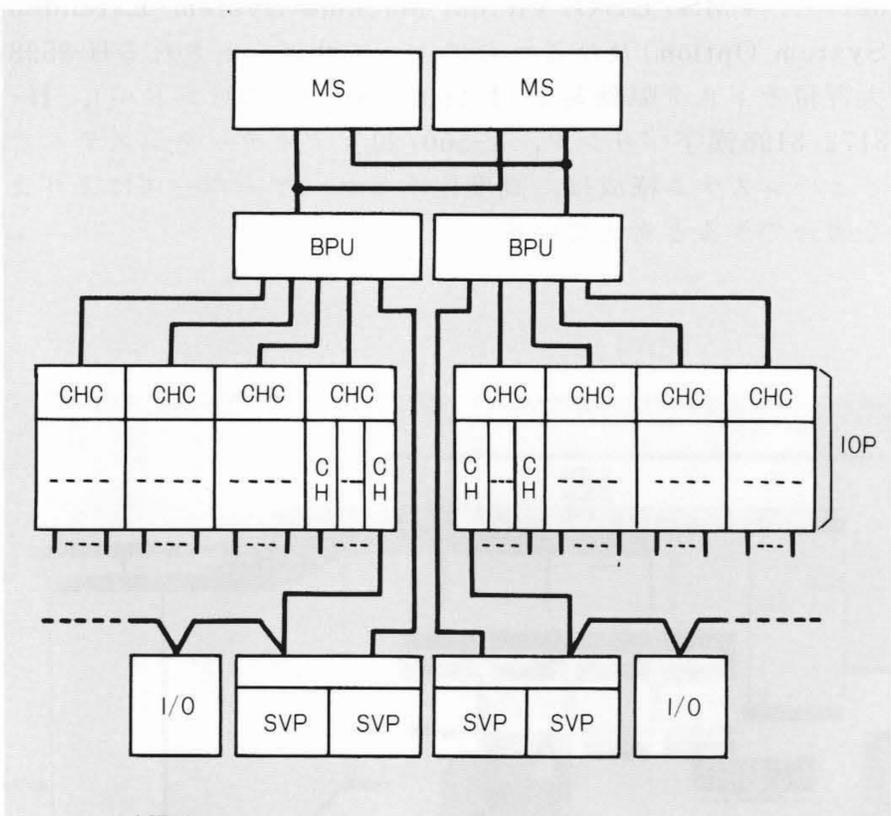
入出力チャンネル部のデータ転送能力を向上させるため, ここにもLSIをはじめとする最新のハードウェア技術を使用するとともに, 論理方式上新しいデータ転送インタフェース制御方式などを開発した。

(5) システム構成の拡張性

最大4台までの密結合マルチプロセッサ構成と, これを組み合わせた最大32台までの疎結合マルチプロセッサ構成を可能とし, 多様なシステム構成の要求に柔軟にこたえられるようにした。

(6) 操作性, 保守性の向上

HITAC M-200H<sup>3)</sup> (以下, M-200Hと略す。) で実績のある



注: 略語説明

- MS(Main Storage: 主記憶装置)
- BPU(Basic Processing Unit: 演算処理装置)
- IOP(Input Output Processor: 入出力処理装置)
- CHC(Channel Control Unit: チャンネル制御部)
- CH(Channel: チャンネル)
- I/O(Input Output Device: 入出力装置)
- SVP(Console Service Processor)

図2 HITAC M-280H処理装置のシステム構成 2台の密結合マルチプロセッサの場合のシステム構成例である。最大4台までの密結合マルチプロセッサを構成することができる。

表1 HITAC M-280Hの概略仕様 HITAC Mシリーズの最上位機種としてMシリーズとの互換性を保つとともに, 多様化するユーザーニーズにこたえ, 諸機能を拡張した。

No.	項目	M-280H	M-200H	M-180	
1	命令	形式	6種 (RR, RX, RS, SI, SS, S)		
		長さ	2, 4, 6 (バイト)		
		数	195		
2	データ	形式	固定小数点, 浮動小数点, 論理データ, 可変長論理データ		
		長さ	半語(2バイト), 語(4バイト), 倍語長, 4倍語長 最大256バイト可変長, 最大16Mバイト可変長		
3	モード	基本モード/拡張モード			
4	割込保護	6レベルPSWを切換方式			
5	記憶保護	主記憶とプロセッサキーの一致チェック方式 キーは4ビット/2kバイト, 読出し保護あり。			
6	タイマ	タイムオブディクロックとその比較割込み機構 CPUタイマ, インタバルタイマ			
7	仮想記憶	論理アドレス	24ビット		
		セグメントサイズ	64kバイト		
		ページサイズ	2kバイト又は4kバイト		
		アドレス変換バッファ対	256×2	128×2	
8	主記憶	最大容量 (Mバイト)	32	16	
		増設単位 (Mバイト)	8	2	1
		インタリーブ バイト×ウエイ (マルチプロセッサ)	8×8 (8×16)	8×4 (8×8)	
9	バッファ 記憶	容量(kバイト)	64		
		制御方式	セットアソシアティブ		
		ブロックサイズ (バイト)	64	32	
10	チャンネル	最大IOP数	4	3	2
		チャンネル種類	バイトマルチプレクサ ブロックマルチプレクサ		同左 同左 セレクタ
		3Mバイト/秒 チャンネル数	30	4	4
		最大チャンネル数	32	16	
11	密結合マルチプロセッサ 最大台数	4		2	
12	主な標準機構	主記憶拡張 チャンネル拡張 HSA, VMA機構 システム拡張機構 処理装置監視機構 自動IPL機構	HSA	—	
13	主な付加機構	内蔵アレイプロセッサ マルチプロセッサ 機構 ハードウェアモニタ	同左	同左	
		統合ディスク制御 装置	統合ディスク制御 装置 VMA機構 システム拡張機構 処理装置監視機構 自動IPL機構	統合ディスク制御 装置 VMA機構 システム拡張機構 HSA DOS/EDOS エミュレータ	

注: 略語説明

- M-280H (HITAC M-280H)
- M-200H (HITAC M-200H)
- M-180 (HITAC M-180)
- HSA (High Speed Arithmetic)
- VMA (Virtual Machine Assist)
- IPL (Initial Program Load)
- DOS/EDOS (Disk Operating System/Extended Disk Operating System)

SVP (Console Service Processor) をより発展させて接続した。時計機構, 自動IPL (Initial Program Load) 機構, 処理装置監視機構などの標準装備, コンソールカラーの7色化などにより, 操作性, 保守性を一段と向上させた。

(7) ソフトウェアサポート

オペレーティングシステムは, M-280Hの登場に合わせ大幅に機能強化したVOS 3とVMSを使用することができ, VMSのもとでVOS 3, VOS 2, EDOS/MSO (Extended Disk

Operating System/Multi Stage Operation) などの各種オペレーティングシステムを使用することができる。また、VOS 3/SP, VMS/ESOをはじめとして、様々な分野に対応する数多くのプログラムプロダクトが、M-280Hの機能を十分発揮させるために用意されている。

### 3 基本仕様

#### 3.1 システム構成

M-280Hのシステム構成例を図2に示す。M-280H処理装置は、BPU, MS (Main Storage: 主記憶装置), IOP (Input Output Processor: 入出力処理装置) 及びSVP から成る処理装置複合体である。BPU, IOP 及びSVPは、それぞれ書込み可能な制御記憶をもち、システムの機能を分担しながら独立に動作することができる。

#### 3.2 システム仕様の拡張

M-280Hの最大の特長は、従来Mシリーズの仕様として制限されていた主記憶容量最大16Mバイト、チャンネル数最大16チャンネルを、超えるシステム仕様の拡張である。M-280Hは、主記憶容量最大32Mバイト、チャンネル数最大32チャンネルまで構成できるので、より大きいシステムへの発展が可能となる。特に主記憶容量の拡大は、TSS (Time Sharing System) 環境でのページング、スワッピングの頻度を減少するため、TSSユーザー数の増加に対しても高速の応答が可能となる。具体的には、最大32MバイトのMS, 1台のBPU当たり最大4台のIOP 及び2台のSVPによりシステムを構成する。チャンネルは、IOP内に組み込まれそれぞれ8台まで接続することができる。システムの多様化に伴う大容量高速ファイルの接続などのため、ブロックマルチプレクサチャンネルにはデータ転送速度3Mバイト/秒を実現するデータストリーミング機構を標準装備とし、これを最大30台まで接続可能とした。

### 3.3 概略仕様一覧

表1に、概略仕様をこれまでの最上位機種M-200H及びM-180と比較して示す。

## 4 論理構造

### 4.1 演算処理装置

#### (1) 論理構造の特長

処理の高速化を図るため、M-200Hで開発した論理方式を基礎技術として、これを一段と発展させた論理構造、方式を開発した。

特長的な論理方式を以下に記す。

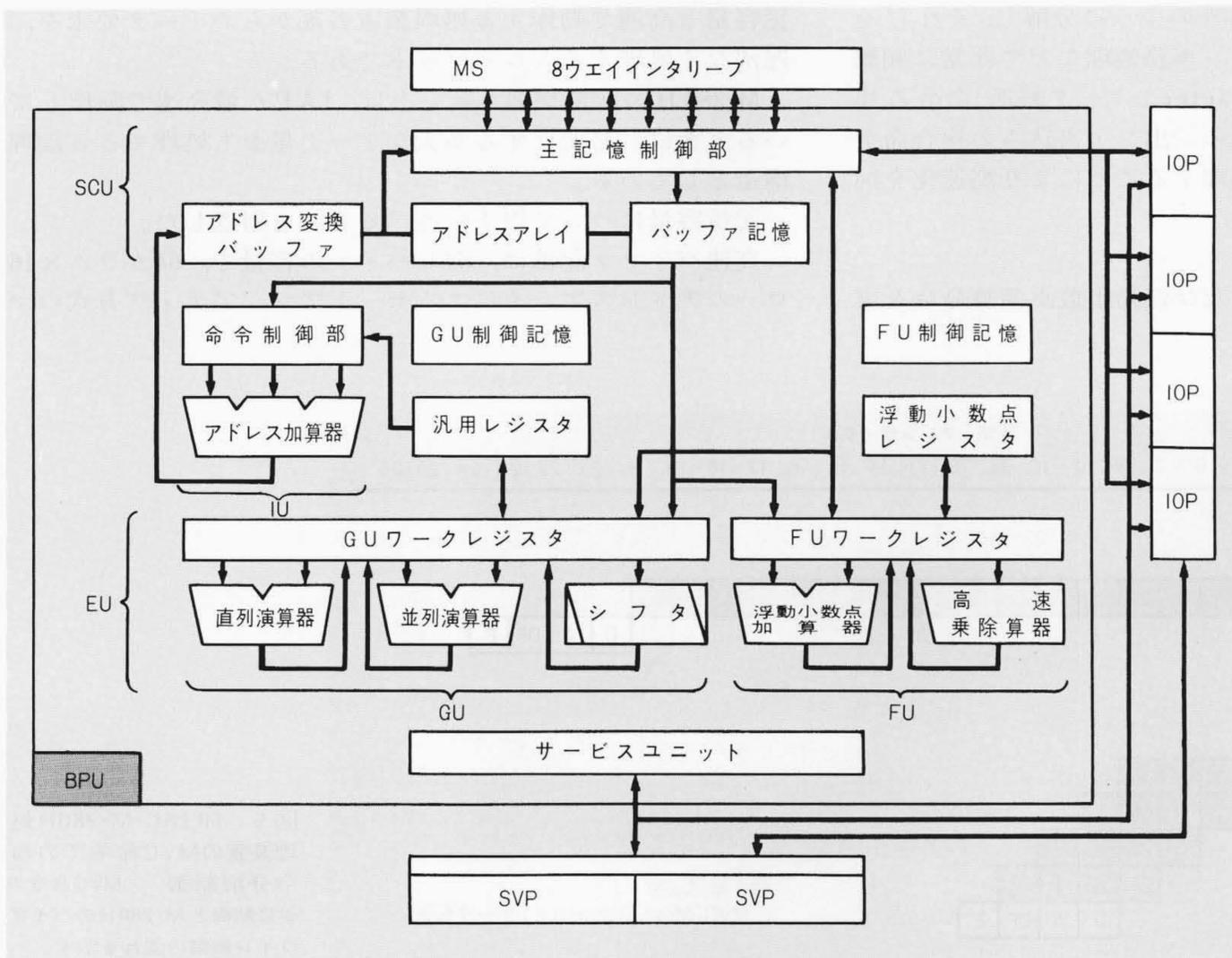
- (a) 命令分解制御機構をもつ高度のパイプライン制御
- (b) 1/2マシンサイクルごとに参照可能な64kバイトの高速バッファ記憶
- (c) 二重設置された512対の高速アドレス変換バッファ
- (d) 分散形マイクロプログラム
- (e) 標準装備の高速演算機構での1/2マシンサイクル演算
- (f) IAP付加機構での制御ベクトル命令の新規サポート

これらの中で、IAPについてアレイ処理の適用範囲をより拡大するため、FORTRAN 条件(IF)文付きDOループをサポートする制御ベクトル用命令など18種の命令を追加した。また、これに伴いIAP用コンパイラの機能拡張、性能改善を行なうなど、技術計算処理の高速化を図った。

図3にM-280Hの論理構造の概略ブロック図を示す。以下、主な論理ユニットと前記した特長的論理方式の要点について概説する。

#### (2) 命令制御ユニット

命令の読出し、実行の準備をするIU (Instruction Unit: 命令制御ユニット)は、SCU (Storage Control Unit: 記憶制御ユニット), EU (Execution Unit: 演算ユニット) と独立に動作し、EUに解読後の命令とそのオペランドを、1マシン



注: 略語説明  
 SCU (Storage Control Unit: 記憶制御ユニット)  
 EU (Execution Unit: 演算ユニット)  
 GU (General Execution Unit: 汎用演算ユニット)  
 FU (Floating Execution Unit: 浮動小数点演算ユニット)  
 IU (Instruction Unit: 命令制御ユニット)

図3 HITAC M-280H処理装置の論理構成 データの流れを中心に、概略論理構成を示す。

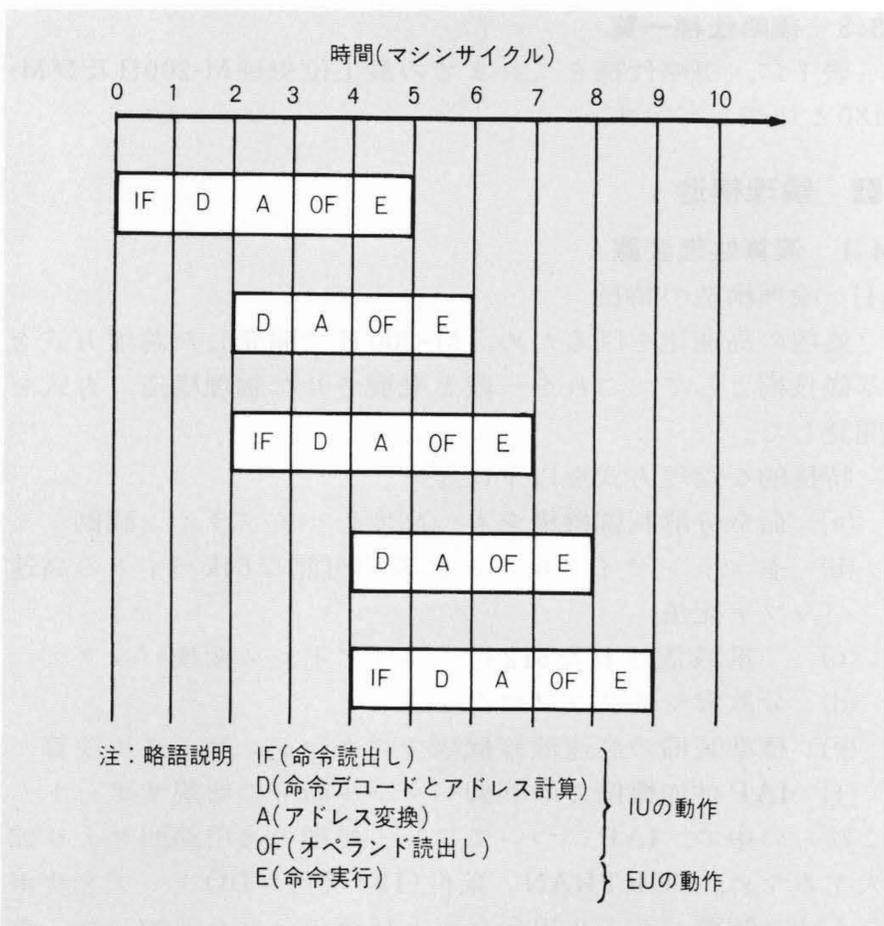


図4 HITAC M-280Hの先行(パイプライン)制御 2進加算などの代表的な命令が、連続した場合のパイプラインの流れを示す。

サイクルピッチに送出することができる。図4に示すように、1マシンサイクルで実行を終了する2進加算命令などの代表的な命令が連続する場合、パイプラインは、よどみなく流れ高い処理性能を発揮する。

M-280Hでは、このパイプライン制御を高度化し、命令分解制御機能として、複雑な命令の実行にも適用し処理の高速化を図っている。

この機能は、複数の実行サイクルを必要とする一命令を、IUがあたかも複数の命令であるかのように分解し、それらをパイプライン処理する。例えば、事務処理などで非常に頻繁に使用されるMVC(Move Character: データ転送)命令の場合には、図5に示すように複数の読出し・書込みの複合命令の連続として、パイプライン処理することにより高速化を図っている。

(3) 演算ユニット

演算ユニットは、乗除算命令及び浮動小数点演算命令を実

行するFU(Floating Execution Unit: 浮動小数点演算ユニット)と、その他の命令を実行するGU(General Execution Unit: 汎用演算ユニット)の二つの独立に動作可能なサブユニットに分けられている。

演算の制御は、制御記憶に格納されたマイクロプログラムにより行なわれる。演算器の主なものは、図3に示すように直列加算器、並列加算器、シフタ、乗除算器などである。

命令の演算処理に要するマシンサイクル数について、

- (a) 演算器の種類、機能を増強し、各々を並列に動作可能とする。
- (b) 乗除算器を $\frac{1}{2}$ マシンサイクルで動作可能とする。
- (c) 使用頻度の高い命令は、専用の論理回路を設けて高速化する。

などの論理方式を採用することにより高速化を図った。

しかし一方では、単に演算器の種類、機能を増やすことは、論理規模の増加を招き、マシンサイクル時間を長くする要因となる。この問題を解決するため、以下に述べる論理方式を開発しマシンサイクル時間の短縮を図った。

- (a) 論理のブロックを小さくするため、演算ユニットをGU、FUの二つの独立に動作可能なサブユニットに分離した。
- (b) 制御記憶と制御される論理との物理的な距離を短縮するため、GU、FUにそれぞれ独立な制御記憶を分散して配置した。
- (c) 演算ユニットの入力であるオペランドデータは、高速バッファ記憶など他のユニットから送出されてくるが、高速マシンサイクルの実現にとって、この空間的広がりを信号が伝搬してゆく時間が問題となる。これを解決するため、FUでは物理的に遠方にあるIUから送出されてくるデータが到達する時間に合わせ、あらかじめ、演算の開始、終了を他のユニットから $\frac{1}{2}$ マシンサイクル遅らせるなど、空間的広がりを容認できる論理構造とした。

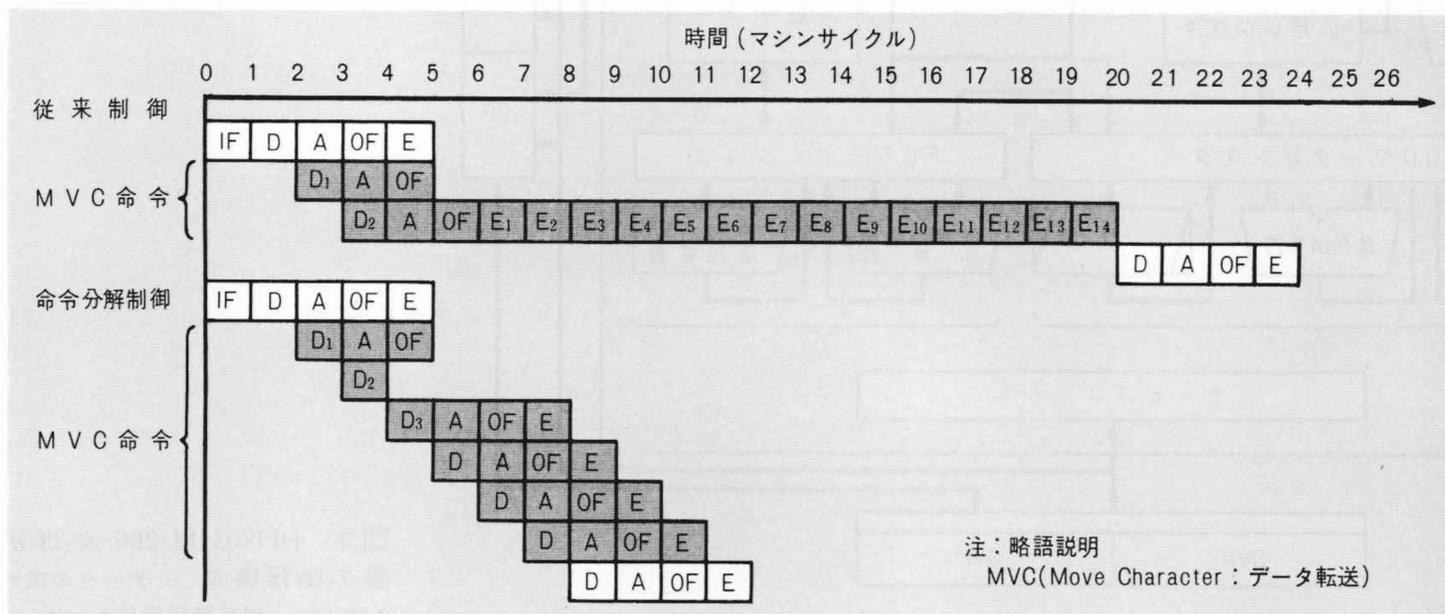
(4) 記憶制御ユニット

高速処理のため記憶制御に必要とされることは、十分な記憶容量と高速で動作する処理装置各部からのデータ要求を、遅滞なく処理するスループットである。

M-280Hの記憶制御ユニットは、IAPが最高速で動作しているときに、必要とする多大なデータ量をも処理できる論理構造としている。

記憶容量について以下に述べるものを用意した。

高速バッファ記憶は、64kバイトの容量で、64カラム×16ローのアドレスレイによるセットアソシアティブ方式のマ



注: 略語説明 MVC(Move Character: データ転送)

図5 HITAC M-280H処理装置のMVC命令での命令分解制御 MVC命令の従来制御とM-280Hのパイプライン制御の流れを示す。

ッピングにより制御される。

論理アドレスから実アドレスへの変換に用いられるTLB (Translation Lookaside Buffer: アドレス変換バッファ) は、必要なアドレス対が高い確率で求められるように、512対のエントリを用意した。また、多重仮想アドレス空間で動作する場合のTLBの有効率を高めるため、TLB内に共用機能を設けるとともに、アドレス空間オリジンを保持しておくためのセグメントテーブルオリジンバッファを128エントリ用意した。

主記憶は、最大32Mバイトの大容量を可能とした。

スループットについて、以下の論理構造を採ることにより向上を図った。

高速バッファ記憶は、 $\frac{1}{2}$ マシンサイクルに1回の読出し、又は書込みを可能な構造とした。また、検索に長時間を要するTLBは二重に設置し、1マシンサイクルに二つのアドレス変換処理を可能な構造とした。これらにより、マシンサイクルごとにオペランドの読出しを行ないながら、先行ストア命令のオペランド書込みや後続命令の命令先取りなどを並行して行なうことができる。

主記憶は、8ウエイ又は16ウエイにインタリーブされ、各ウエイ(メモリバンク)ごとに、8バイトのデータデプスをもつ。主記憶とバッファ記憶間のデータ転送は、1マシンサイクルに16バイトの読出しと8バイトの書込みが同時に可能な構造とした。このほか、データの流れが滞らぬように、命令語用、読出し、書込みオペランド用のバッファレジスタを用意することにより、スループットの向上を図った。

#### 4.2 入出力処理装置

予想されるデータ処理量の増大、処理の機能分散に備えて、IOP、チャンネル部に最新のハードウェア技術を使用するとともに、論理方式上の工夫により性能、機能の強化を図った。

性能は、1台のBPU当たり90Mバイト/秒のデータ転送速度を実現した。このことにより、3Mバイト/秒のデータ転送速度をもつチャンネルが、BPU当たり30台接続できる。

主な性能向上策を以下に記す。

- (1) LSIをはじめとする最新のハードウェア技術によるマシンサイクルの高速化(高速のBPUマシンサイクルに同期)
- (2) SCU、IOP間のデータ転送のパイプライン処理による高速化
- (3) データ転送用バッファレジスタの増強による高速化
- (4) すべてのブロックマルチプレクサチャンネルに、データ転送速度3Mバイト/秒のデータストリーミング機構を標準装備

機能面では、接続チャンネル数を最大32チャンネルに拡張した。

IOP内部の制御は、機能拡張に柔軟に対応できるようにマイクロプログラム制御方式とした。

また、IOP独自のハードウェアリトライ機能の強化、マイクロ診断プログラムの用意、フォールトロケート診断プログラム専用のロードパスの設置など、信頼性の向上に努めた。

#### 4.3 コンソールサービスプロセッサ

2台のSVPがBPUに接続され、各々は独立に動作可能なプロセッサである。SVPそれぞれはカラーCRT(Cathode Ray Tube)ディスプレイ、キーボード及びプリンタをもつ。

従来機種種のSVPに比べて、CRTディスプレイのカラーを3色から7色に、プログラムファンクションキーの数を12から24に増強した。また、SVP内の制御記憶容量を拡張することにより、時計機構、処理装置監視機構、自動IPL機構などを標準装備とし、操作性、信頼性の向上に努めた。

表2 HITAC M-280H処理装置の主要ハードウェア技術 M-280Hの主要なハードウェア技術について、従来機種との比較を示す。

項目		機種	M-280H	M-200H	M-180
高集積LSI	ゲート数		Max. 1,500		
	回路速度(ns)		0.8		
	ピン数		108		
	平均電力(W)		3.3		
LSI	ゲート数		Max. 550	Max. 550	Max. 130
	回路速度(ns)		0.45	0.7	1.1
	ピン数		108	108	52
	平均電力(W)		3.3	3.3	1.8
MSI SSI	ゲート数		3~70	3~70	4~70
	回路速度(ns)		0.75	0.75	2.0
	ピン数		24	24	16
	電力(W)		0.1~0.8	0.1~0.8	0.1~0.6
ロジック インメモリ素子	メモリビット数		3,000	3,000	
	ゲート数		470	470	
バイポーラ メモリ素子	メモリビット数		4kビット/1kビット	1kビット	1kビット
	アクセスタイム(ns)		7	7	35
パッケージ (プリントカード)	層数		10	10	4
	格子ピッチ(mm)		1.91	1.91	2.54
プラッタ (バックボード)	層数		18	14	8
	格子ピッチ(mm)		2.54	2.54	2.54

## 5 ハードウェア技術

M-280Hに使用している高速の信号伝送を可能にする高性能ハードウェアを実現するためには、論理LSIに代表される半導体技術、基板やコネクタなどの実装技術、給電、冷却技術などハードウェアそのものの技術に加えて、それらを支援するソフトウェア技術、例えば、論理の正当性をチェックするためのシミュレーションシステム、論理回路の遅延時間を計算するディレイチェックシステム、高密度LSI、基板の配線パターン設計のための自動配置配線システム、それらの検査のための検査データ自動作成システムなど各種の支援技術にも新技術が必要となってくる。

M-280Hのハードウェアは、これら多くの新技術の結晶である。本章ではこれらのうち、半導体と実装技術について概略を述べる。

表2に、M-280Hの主要なハードウェア技術を従来技術と比較して示す。

### 5.1 半導体

M-280Hで使用されているLSIは、M-200H用LSIに用いられた技術を一段と発展させ、よりいっそうの高性能化と高集積化を実現したものである。M-280H用LSIに採用した主な技術は、

- (1) 2 $\mu$ mホトリソグラフィ技術
- (2) 微細化配線を可能としたドライエッチング技術
- (3) 平坦化3層配線
- (4) 電子線描画装置を効率よく利用したLSI自動設計システム技術

などである。これらの最先端技術を駆使して、M-280Hの性能を実現するため、以下に述べる高性能LSIを開発した。

#### (1) 論理LSI

高速ECL(Emitter Coupled Logic)回路方式による550ゲ

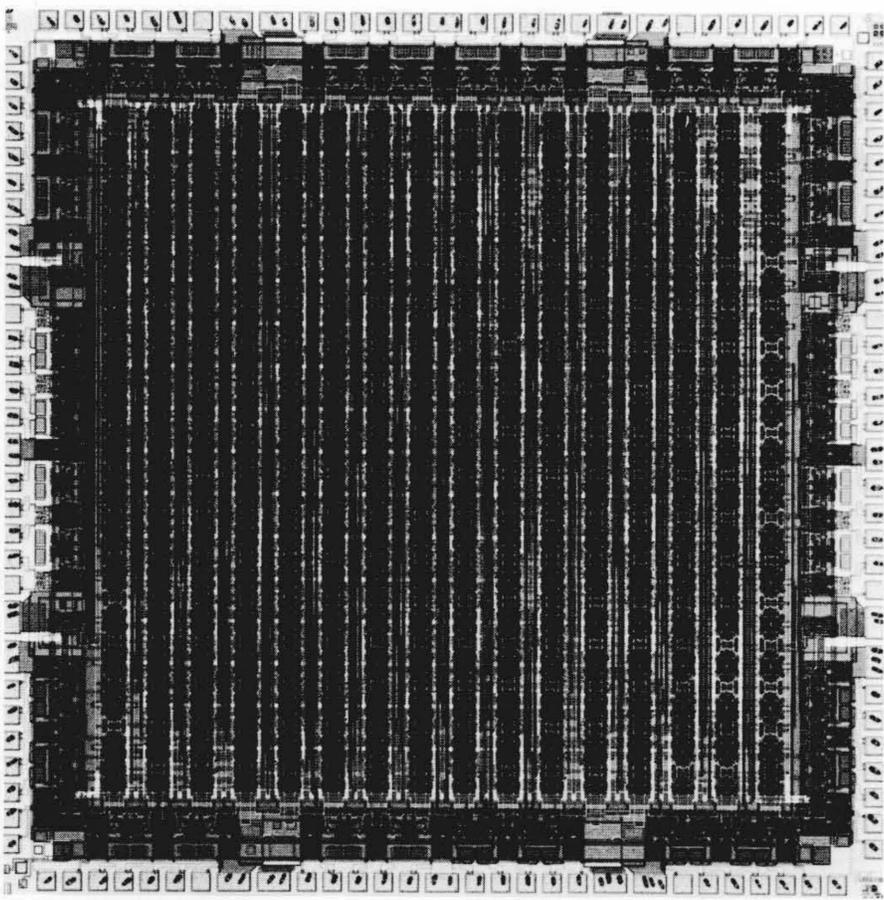


図6 論理LSI 最大1,500ゲートの集積度をもった108ピンの高速LSIの内部拡大図を示す。

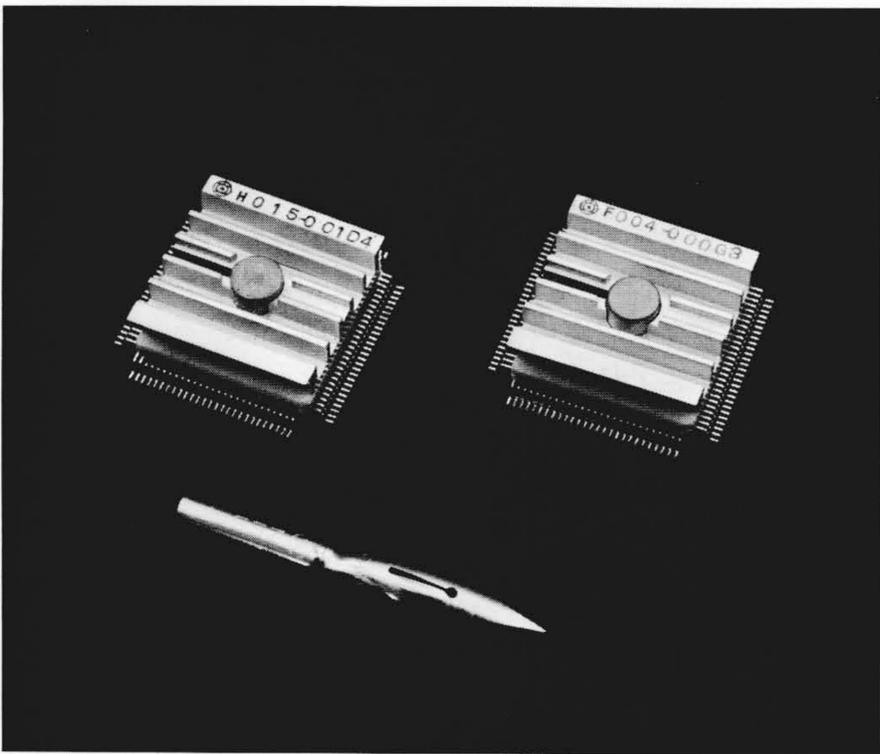


図7 論理LSIの外観 最大550ゲート(左)と最大1,500ゲート(右)の集積度をもった高速LSIの外観を示す。

ートと1,500ゲートの2種類のマスタスライズ論理LSIを開発した。550ゲートLSIは、M-200Hで使用されたものが、0.7nsの動作速度であったのに対し、M-280H用では0.45nsまで高速化した。また、1,500ゲートLSIは高集積化に重点を置き開発したもので、550ゲートLSIに対し、集積度は3倍に向上しているにもかかわらず、動作速度は0.8nsの高速を実現している。図6に1,500ゲートLSIの拡大内部を示す。

これら2種類の論理LSIの外観は、図7に示すように同一の形状である。目的に合わせて両方を自由に使い分けることによって、コストパフォーマンスのよい設計の実現を図った。

#### (2) ロジックインメモリLSI

バッファ記憶のスループットを向上させるために特別に開

表3 HITAC M-280H処理装置ハードウェア主要諸元 16チャンネル、16Mバイト(主記憶)構成の諸元を、M-200Hのそれと比べて示す。

No.	項目	M-280H	M-200H
1	所要電力(kVA)	40.3	47.4
2	床面積(m <sup>2</sup> )	9.6	10.3
3	重量(kg)	4,650	5,700

発したLSIである。約3,000ビットの超高速メモリと470ゲートの論理回路とを、一つのチップ上に混在収容している。このLSIは既にM-200Hで、バッファ記憶のアドレスを制御するアドレスアレイや、TLBなどに使用され、その威力を遺憾なく発揮しているが、M-280Hでも、高速化されたマシンサイクルに合わせたものを使用している。

#### (3) 超高速バイポーラメモリLSI

バッファ記憶や制御記憶用として、4kビットの超高速バイポーラメモリを開発した。アドレスアクセス時間は最大7nsと世界最高速であり、M-280Hのマシンサイクルの短縮と強力なファームウェアの実現を可能としている。

#### (4) SSI/MSI

サブナノ秒の超高速ECLファミリーとして開発したSSI/MSIを、論理LSIとともに使用している。LSIとSSI/MSIを混在使用する方式は、M-200Hでも採用された方式で、LSIを使用するかSSI/MSIを使用するかは、性能・コストのトレードオフによって選択ができ、最もバランスのよい設計を可能としている。

#### 5.2 実装技術

実装密度を上げるため、M-280Hで採用している実装方式は、M-200Hでの採用で実績が立証されたパッケージ(プリントカード)、プラッタ(バックボード)と称する2種類の基板を組み合わせた3次元実装方式であり、これを拡大する形で適用したものである。

表2に示す高密度実装系が、M-280Hの数々の拡張機能、高速処理を実現するとともに、表3に示す所要電力、床面積、重量の設備条件の改善を可能とした。

#### 6 結 言

以上述べたように、M-280Hは、半導体を中心とした最新ハードウェア技術の採用と、これらの特長を生かした論理方式によって実現されたMシリーズ最上位の超大形汎用処理装置である。M-280H開発のための支援技術には紙数の都合で触れられなかったが、それらの一部は本号掲載別論文「HITAC M-240H処理装置の開発」で紹介されている。

今後、M-280Hは続々と出荷されることとなるが、更にシステムの改善に尽力して、ユーザーの期待を裏切らないよう努力を続けたい。

#### 参考文献

- 1) 曾我, 外: HITAC M-170/180処理装置, 日立評論, 57, 773~780 (昭50-9)
- 2) 小高, 外: HITAC M-180内蔵アレイプロセッサ, 日立評論, 60, 451~456 (昭53-6)
- 3) 小高, 外: HITAC M-200H汎用超高速処理装置, 日立評論, 61, 841~846 (昭54-12)