

PCM・CODEC LSIの開発

Development of PCM・CODEC LSI

時分割交換機、PCM端局装置などのディジタル通信システムに不可欠な、音声-PCM相互変換デバイス、CODEC LSIを5 μ mCMOS技術を用いて2品種(HD44220系、HD44230系)開発した。両品種は共に、送受で計14次のスイッチトキャパシタフィルタ、8ビット非線形A-D変換器、D-A変換器、基準電圧源などを内蔵するほか、44220系には内部クロック発生用位相ロックループ回路を、また、44230系には高周波入力雑音抑圧用アクティブフィルタを内蔵しているのが特徴である。製作結果は良好で、CCITT及び日本電信電話公社両方の伝送特性規格を達成するとともに、外付け部品不要化、小形化(16ピンパッケージ)、低電力化(40mW及び60mW)を実現した。

山木戸一夫* Kazuo Yamakido
安成健次郎** Kenjiro Yasunari
萩原史郎*** Shirô Hagiwara
宮野吉彦**** Yoshihiko Miyano

1 緒言

時分割交換機やPCM(パルス符号変調)端局装置などのディジタル通信システムを経済的に実現するためには、不可欠かつコスト比重の大きい音声-PCM信号相互変換部、すなわち、CODEC(Coder and Decoder)のコスト低減が最も重要な課題の一つとなっている。LSI化以前の従来技術では、A(アナログ)-D(ディジタル)変換部及びD-A変換部の時分割多重使用や、チャネルフィルタ部のハイブリッドIC化によってコスト低減の努力が行なわれていたが、最近、これらをチャネル対応に分けてモノリシックLSI化する、単一チャネルCODEC方式が主流となりつつある¹⁻⁴⁾。

CODECには、音声信号用のフィルタ、A-D変換器、D-A変換器のほか基準電圧源など、多種類の機能回路が必要であるが、経済化のためにはこれらを汎用プロセスを用いて最少のチップ数で実現することが必要である。

日立製作所では、先に上記必要機能のすべてを1チップに内蔵した24ピンCODEC LSIを開発し発表した¹⁾、このたび、更に機能追加と消費電力低減を図った16ピンCODEC LSI 2品種(HD44220系⁵⁾、HD44230系⁶⁾)を5 μ mCMOS(Complementary Metal Oxide Semiconductor)技術を用いて開発した。本稿では、これら16ピンCODECの構成と特徴及び各

部回路の基本設計を述べるとともに、製作測定結果の伝送特性について報告する。

2 方式の概要と目標特性仕様

2.1 LSIのブロック構成

図1に簡略化したLSIのブロック構成を示す。送信側の音声入力信号は、A-D変換器の標本化によって生ずる折返し雑音の抑圧と、入力信号自体に誘導重畳された商用周波数成分(50Hz又は60Hz)の除去のために、まずスイッチトキャパシタ形BPF(バンドパスフィルタ)に入力される(ただし、HD44230系では、このスイッチトキャパシタ形BPF自体が標本値系回路であることから生ずる折返し雑音抑圧のために、BPFの更に前にアクティブCRフィルタを内蔵している⁶⁾)。その後、非線形A-D変換器によって電話音声信号特有の圧伸則⁷⁾に基づく8ビットPCM信号に変換され、出力バッファレジスタから出力される。一方、受信側ではバッファレジスタに入力されたPCM信号は、D-A変換器で元の振幅をもった階段状波形の音声信号に変換された後、その波形がもつ高周波成分をLPF(ローパスフィルタ)で除去して出力される。A-D変換、D-A変換に必要な基準電圧は、内蔵する温度安定化電圧源から供給されるが、外部から所望の電圧値を印加することもできる。この内外基準電圧の切り換えは自動的に行なわれる。送受

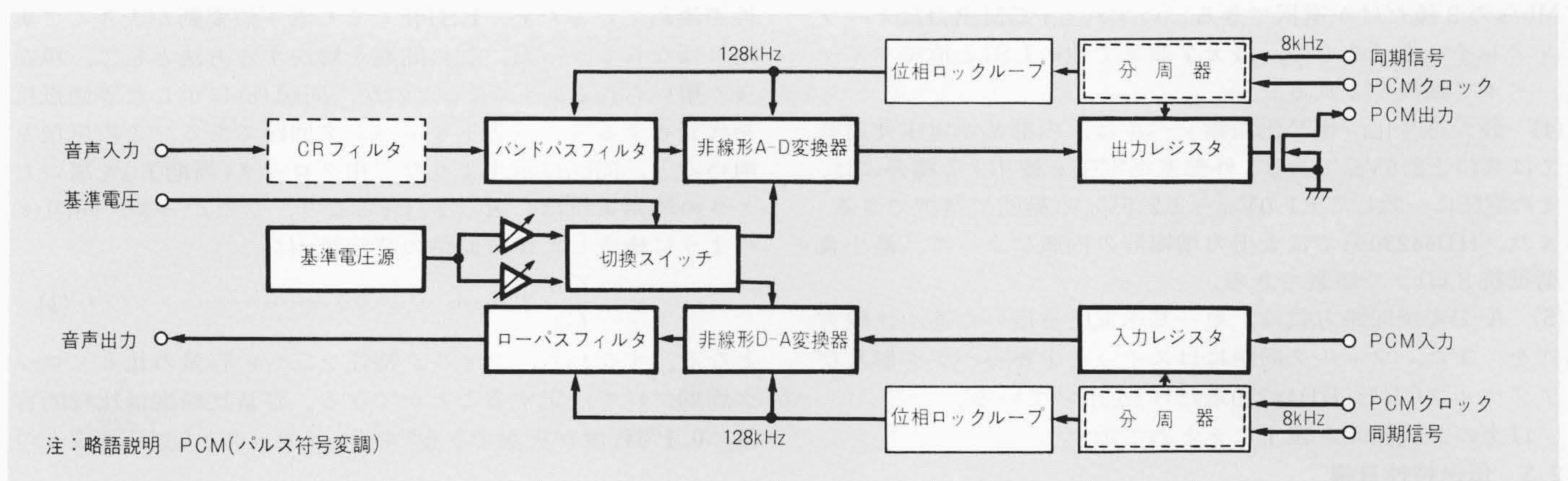


図1 CODEC LSIのブロック構成 HD44220系は太線共通部とPLL(位相ロックループ)及び簡単な分周器を内蔵し、内部クロック128kHzをPLLで発生する。HD44230系ではPLLを内蔵しない代わりに、入力CRフィルタと比較的規模の大きい分周器を内蔵し、内部クロックはPCMクロックの分周によって得ている。

* 日立製作所中央研究所 ** 日立製作所デバイス開発センタ *** 日立製作所武蔵工場 工学博士 **** 日立製作所戸塚工場

表1 CODEC LSIの方式諸元 HD44220系では、内部動作クロックをPLLで発生するため、広範囲のPCMビットレートが選択できる。一方、44230系では、大出力増幅器の内蔵によって、最大復号化振幅2.5Vを3kΩの負荷抵抗に供給可能である。

項 目	諸 元	
	HD44220系	HD44230系
圧伸則	μ法及びA法 マスタスライスで切替え	
同期信号	8kHz($t_{tr}^*=0.48\sim124.9\mu s$) 送受間：同期/非同期	
PCMビットレート	64k～ 2.048Mb/s	1.536, 1.544, 2.048Mb/s
最大符号化振幅	PCM出力：オープンドレイン $\pm 2.5V_{op}(\pm 1.0^{***}\sim 2.5V_{op})$	
最大復号化振幅	同 上	
A-D変換回路方式	単一基準電圧 逐次比較方式	
フィルタ回路方式	スイッチト キャパシタ形	同左及び アクティブCR形

注：* t_{tr} (パルス幅)
 ** Z_L (負荷インピーダンス)
 *** 外部基準電源を用いる場合

フィルタやA-D変換器、D-A変換器の内部動作に必要なクロック(128kHz)は、HD44220系では、タイムスロット指定を兼ねた8kHz同期信号からPLL(位相ロックループ)回路によって発生するが、HD44230系では、PCMクロックを分周することによって得ている。

2.2 方式諸元

- 今回開発したCODEC 2品種の方式諸元を以下に述べる。
- (1) CCITT(国際電信電話諮問委員会)勧告に基づく2種のPCM圧伸則⁷⁾、μ法(北米、日本が採用)とA法(欧州、その他が採用)を配線マスクの変更で可能としている。
 - (2) 同期信号にはタイムスロット指定を兼ねた8kHzパルスを使用し、送受は完全に独立して(非同期)動作できる。
 - (3) PCMビットレートは、HD44220系では64kb/s(単チャンネル動作)から2.048Mb/s(32チャンネル多重動作)まで任意に選択できる。HD44230系では、1.536Mb/s、1.544Mb/s及び2.048Mb/sの3種だけが選択できる。いずれもPCM出力はオープンドレイン端子をもち、最大7個まで他のLSIと直接ワイヤードオア接続がとれる。
 - (4) 最大符号化、復号化振幅レベルは、内部基準電圧使用時には共に $\pm 2.5V_{op}$ である。外部基準電圧を使用する場合には、その電圧に一致して $\pm 1.0V_{op}\sim\pm 2.5V_{op}$ の範囲で選択できる。また、HD44230系では大出力増幅器の内蔵によって、最小負荷抵抗3kΩまで駆動できる。
 - (5) A-D変換回路方式は、単一基準電圧を用いた逐次比較方式を、また、フィルタ回路にはスイッチトキャパシタ形及びアクティブCR形(HD44230系だけ)を用いている。

以上の方式諸元を表1にまとめて示す。

2.3 伝送特性目標

本LSIを装置実装したときの劣化を考慮して目標値を設定した。以下にその代表特性項目を示す。

- (1) 信号対雑音電力比特性(評価値^{*1)})は、CCITT勧告G.712⁷⁾第9項の規定に対して、 $-30dBm_0$ ^{*2)}以上の入力レベルでは3dB、それ以下の入力レベルでは4dBと、それぞれ厳しい値

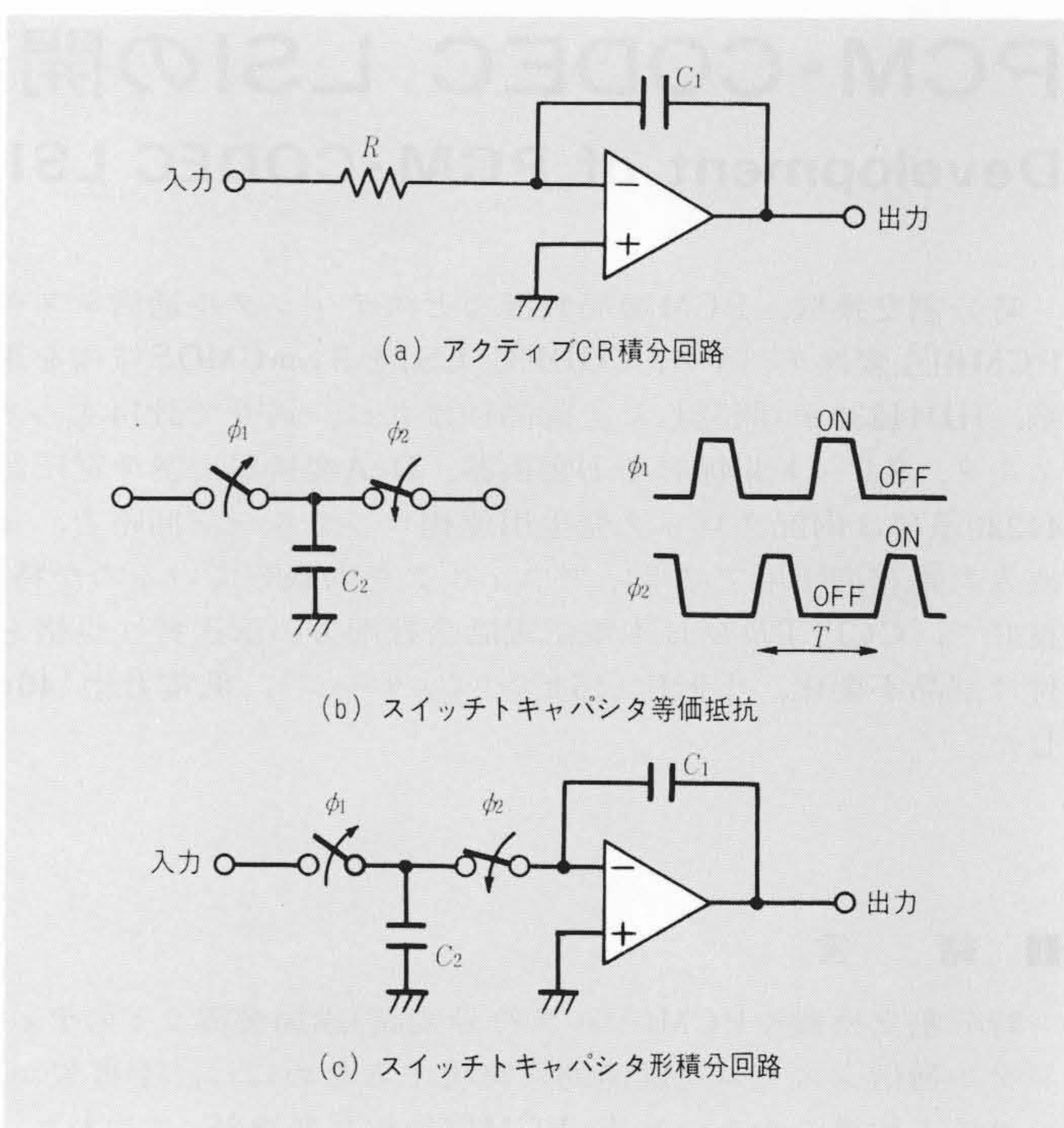


図2 スイッチトキャパシタフィルタの原理 スイッチトキャパシタフィルタの特性は、容量比とクロック周期で決まるため、LSI化に適したフィルタが実現できる。

- とした。
- (2) 無通話時雑音電力は、同勧告G.712第5項の規定値よりも6dB厳しい値、 $-71dBm_0$ ^{*2)}とした。
 - (3) 伝送損失レベル特性は、同じくG.712第11項より0.1dB厳しい値(送受総合で $\pm 0.4dB$ 以内)とした。
 - (4) 伝送損失周波数特性は、同じくG.712第2項の規定値に対して、損失側では0.1dB、利得側では0.3dB厳しくした値(0.3～3.0kHzで、 $+0.4\sim-0.2dB$ の範囲)とし、更にそれを送受間で半分ずつに分離規定した。

3 各部回路の特長と基本設計

3.1 スイッチトキャパシタフィルタの原理

従来のアクティブフィルタは図2(a)に示したCR積分回路を基本構成とし、抵抗Rと容量Cの絶対値の積でフィルタ特性を決めているため、LSI化しても素子値変動が大きくて実用にはならなかった。この問題を解決する方法として、現在多く用いられるようになったのが、同図(b)に示した等価抵抗を代表とするスイッチトキャパシタ回路である。この原理を用いると、同図に示すような二相クロック(周期T)を用いたときの等価抵抗は、 $R=T/C_2$ となり、したがって、同図(c)のように構成した積分回路の時定数 τ は、

$$\tau = \frac{C_1}{C_2} T \dots\dots\dots (1)$$

となる。すなわち、フィルタ特性を二つの容量の比とクロック周期だけで決定することができる。容量比精度は比較的容易に0.1%程度が実現できる⁸⁾から、クロックとして正確なもの

※1) 電話網特有の伝送損失周波数特性を備えたフィルタを用いて測定した値
 ※2) 最大符号化レベルより3dB下の信号レベルを規準とした相対入力レベル

が供給されれば、LSI内に高精度フィルタが容易に実現できる。

3.2 CODEC用フィルタ回路

実際にSCF(スイッチトキャパシタフィルタ)を高い歩どまりで精度良くLSI化するには、容量比と増幅器に対する素子感度及び容量比範囲が小さく、また素子数が少ないことが要求される。SCFの構成法には種々のものが提案されているが、素子感度及び容量比範囲が小さく、浮遊容量の影響を受けにくい点で、LCフィルタを置換した形のリープフロッグ形⁹⁾が優れている。しかし、HPF(ハイパスフィルタ)には増幅器数が少ない状態変数形¹⁰⁾が有利である。

そこで、本CODECのBPF(通過帯域0.3k~3.4kHz)には、5次のリープフロッグ形LPFと3次の状態変数形HPFを縦続接続して構成した。一方、受信側のLPFは、D-A変換器の出力がサンプルホールド波形であることから生ずるアパーチャ効果³⁾を補正する必要があるため、送信側よりも容量比と素子感度が大きくなる。そこで、特に高域端での素子感度と帯域内リップルを小さく抑えるために、3次の状態変数形を2段縦続する構成とした。

図3(a)は、送信側LPFを実現するLCR原形回路と、これをリープフロッグ形シグナルフローグラフ同図(b)で表わしたものである。(b)図で、⊕は加算、 $F(z)$ は積分演算を示すが、これらは演算増幅器を用いれば同時に実現できる。 $V_1 \sim V_5$ は各増幅器の出力電圧である。

3.3 フィルタ特性の最適化

図3(b)のフローグラフに従って、実際のSCF回路を得る前に次の2種類の最適化を行なっている。その一は各増幅器出力電圧の最適化である。同図の各枝路の係数はLCR原形フィルタの素子値そのままであるため、各増幅器出力電圧 $V_1 \sim V_5$ の信号周波数に対するピークレベルは等しくなく、したがって、信号入力電圧を大きくしてゆくと最大ピークレベルをもつ増幅器出力が飽和して大きなひずみを発生する。そこで、これを防ぐために、各増幅器の出力ピークレベルが0 dBになるようスケールリング⁴⁾を行なった。この操作によって信号のダイナミックレンジを最大にでき、雑音特性を最適化できる。

その二は、伝送損失周波数特性規格に対するフィルタ伝達関数の最適化である。すなわち、SCFが標本値系回路であるため、LCR原形回路定数から決まる容量比をそのまま用いると、特性が若干ずれたものになる¹¹⁾。この問題を解決するために、日立製作所は図4に示す手法¹²⁾を用いて最適化を行なった。すなわち、フィルタの各素子値をばらつかせたときの上側規格割れと下側規格割れの発生が、均等かつ最小となる素子値の組合せを見いだす手法である。この最適な素子値組合せを非線形計画法を用いた自動設計プログラムによって求め、容量値の小形最適化を行なった。

図5に5次リープフロッグ形LPFの回路図を示す。スイッチクロックには128kHzで、オン時の重なりがない四相クロックを用いている。キャパシタの容量は、最小値1.7pF、最大値28pF、容量比範囲1.7~13.5で、総容量値は165pFである。

3.4 A-D変換器及びD-A変換器

μ 法圧伸則は図6に示した符号化変換特性をもつ。これは入力信号レベル X に対して、次式の圧縮関数

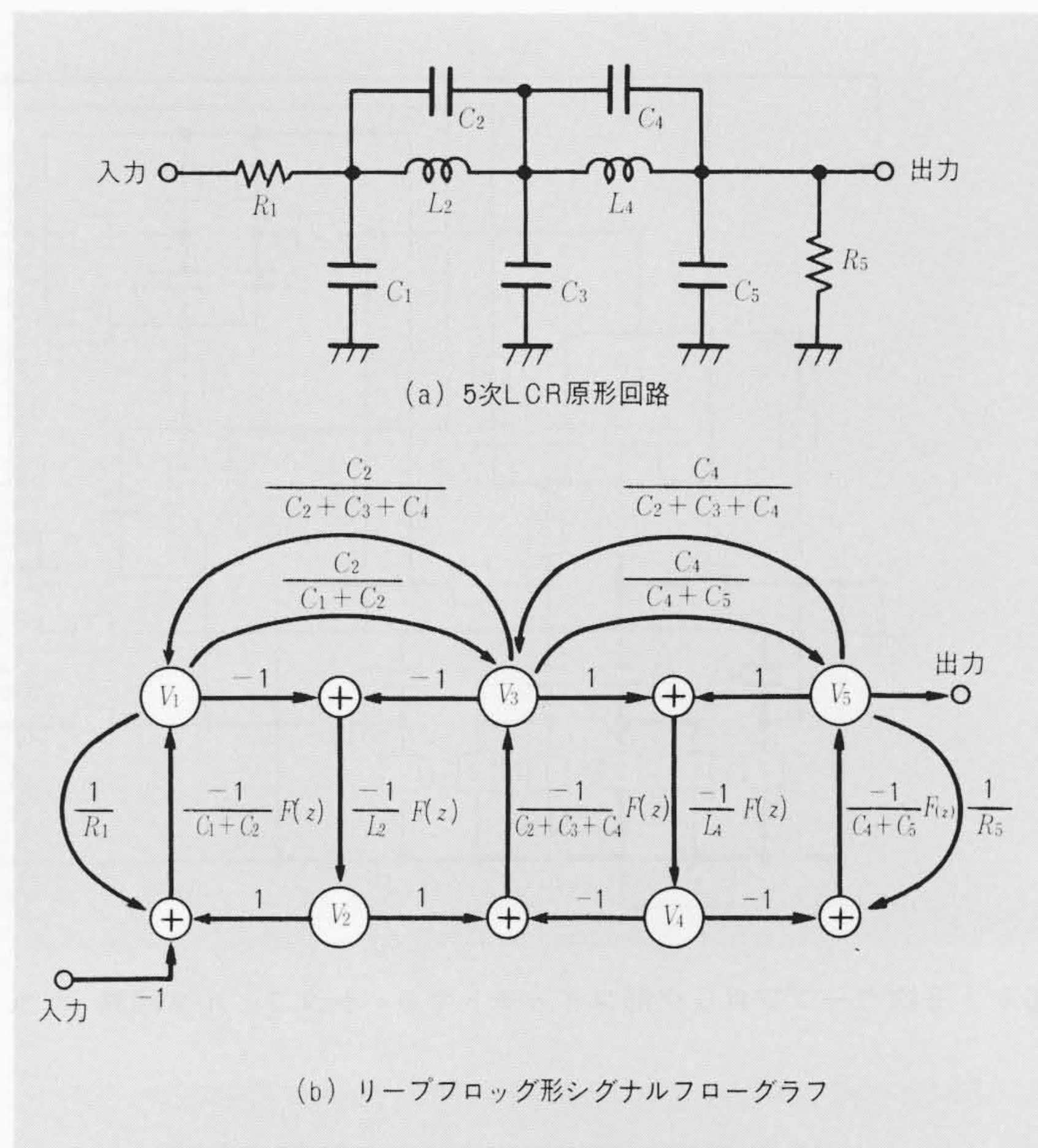


図3 5次LCR原形回路とリープフロッグ形シグナルフローグラフ
リープフロッグ形スイッチトキャパシタフィルタは、LCR原形回路をシグナルフローグラフ化して作ることができる。 $V_1 \sim V_5$ は増幅器の出力電圧である。

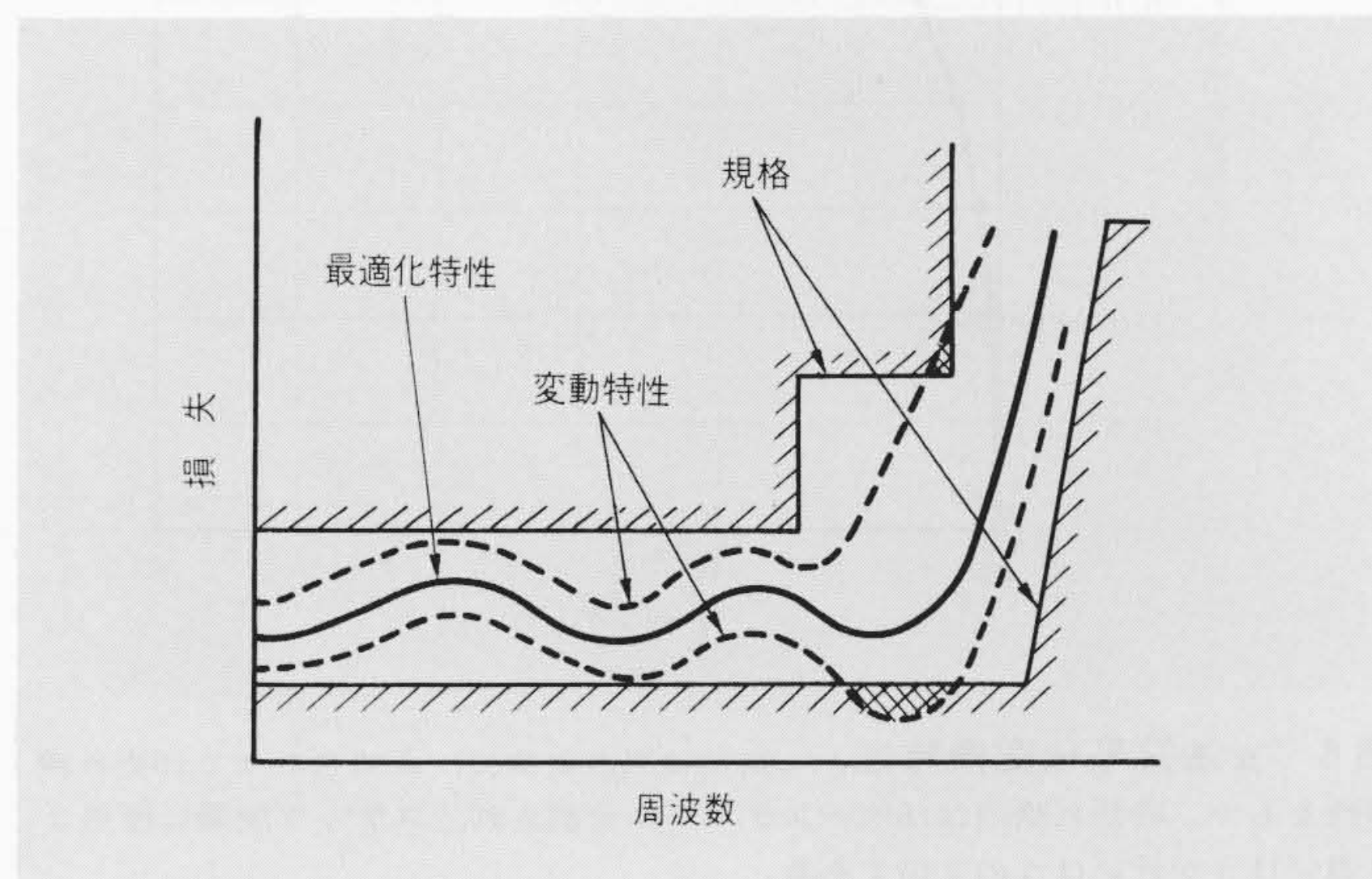


図4 フィルタ伝達関数の最適化手法 素子をばらつかせたときの上側規格割れと下側規格割れの発生が、均等かつ最小となる伝達関数を見いだすことによって、最適な伝達関数を得ている。

$$F(x) = \text{sgn}(x) \frac{\ln(1 + \mu |X|)}{\ln(1 + \mu)} \dots \dots \dots (2)$$

ここに $|X| \leq 1$

$\text{sgn}(x) = -1 (X < 0), +1 (X > 0)$

μ : 定数で255を用いる。

を15折れ線で近似したものである。一つの折れ線領域(segment: セグメント⁵⁾)内は16の均一ステップに分割され、隣

*3) サンプルホールド波形が $\sin x/x$ の周波数特性をもつため、高域部で損失をもつ現象を言う。

*4) 図3(b)のシグナルフローグラフで、ある点の電圧レベルをスケールリングするには、その点に入る枝路の係数をすべて k 倍し、出る枝路の係数を $\frac{1}{k}$ 倍する。これによって周波数特性は変化しない。

*5) Chord(弦): コードとも呼ばれる。

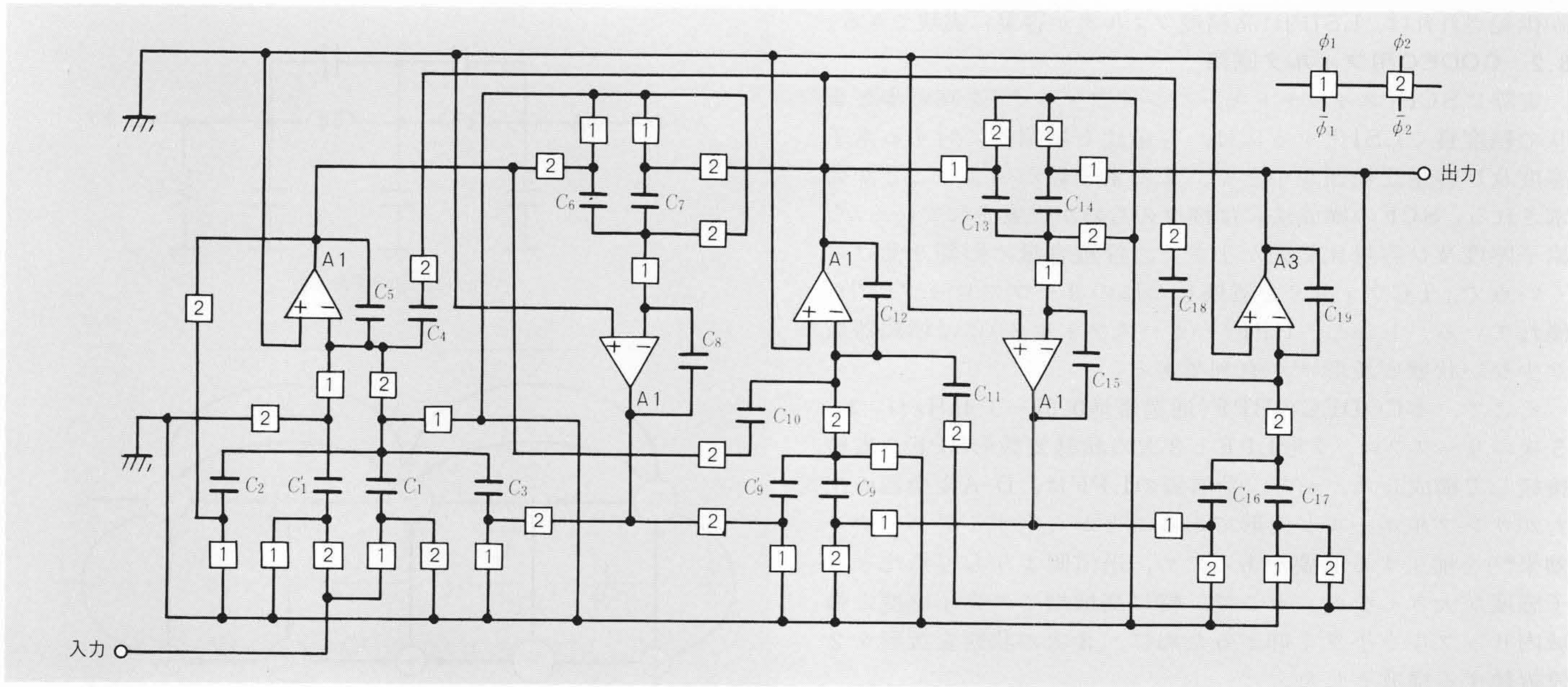


図5 5次リーフログ形スイッチトキャパシタフィルタ回路 スwitchのクロックは128kHzで、オン時の重なりのない4相クロックを用いている。

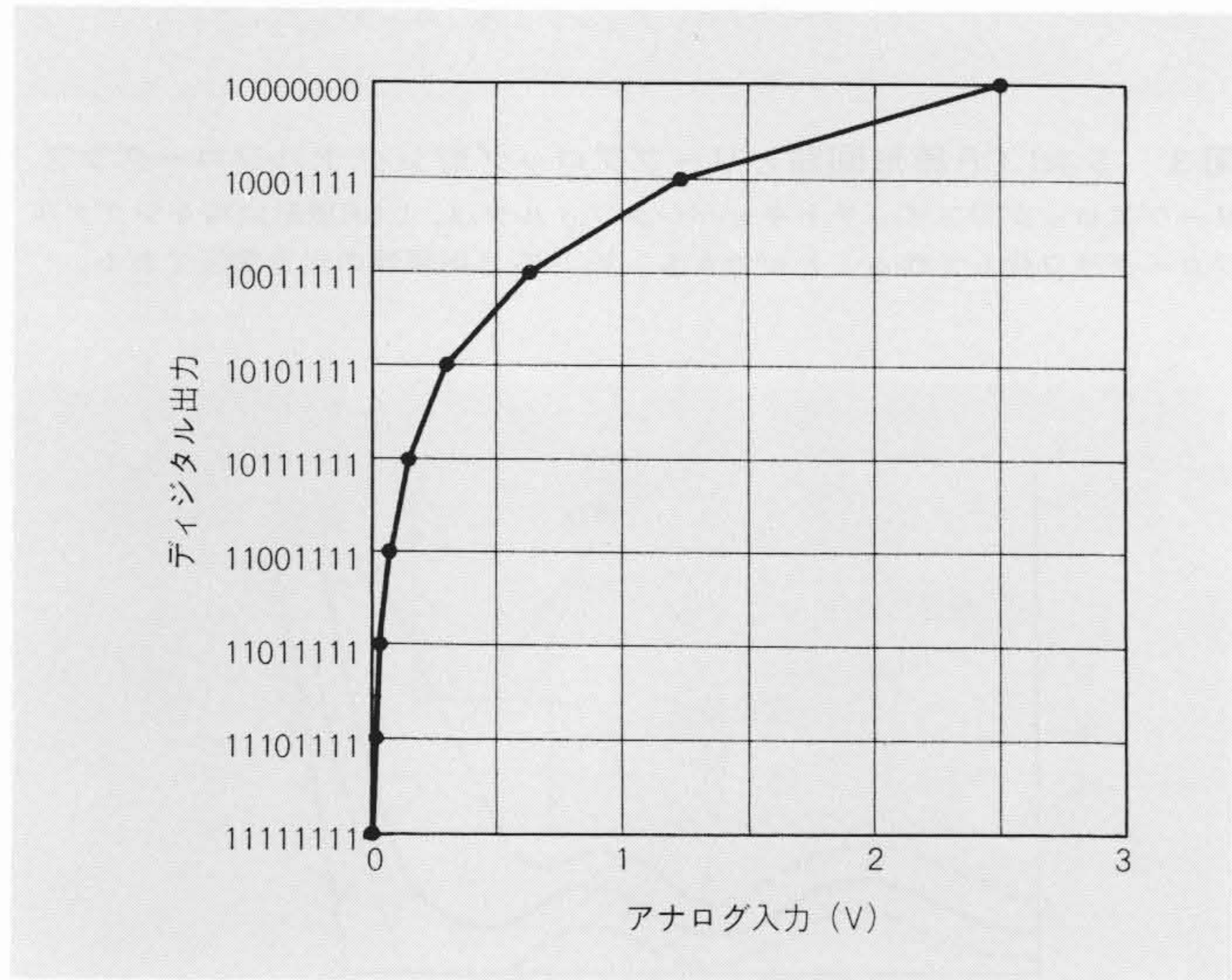


図6 μ法符号化変換特性 負側は原点对称で、正負合わせて15折れ線特性をもつ。各折れ線内は16均一ステップに分割され、ステップ間隔は原点より遠いほうが近いほうの2倍である。

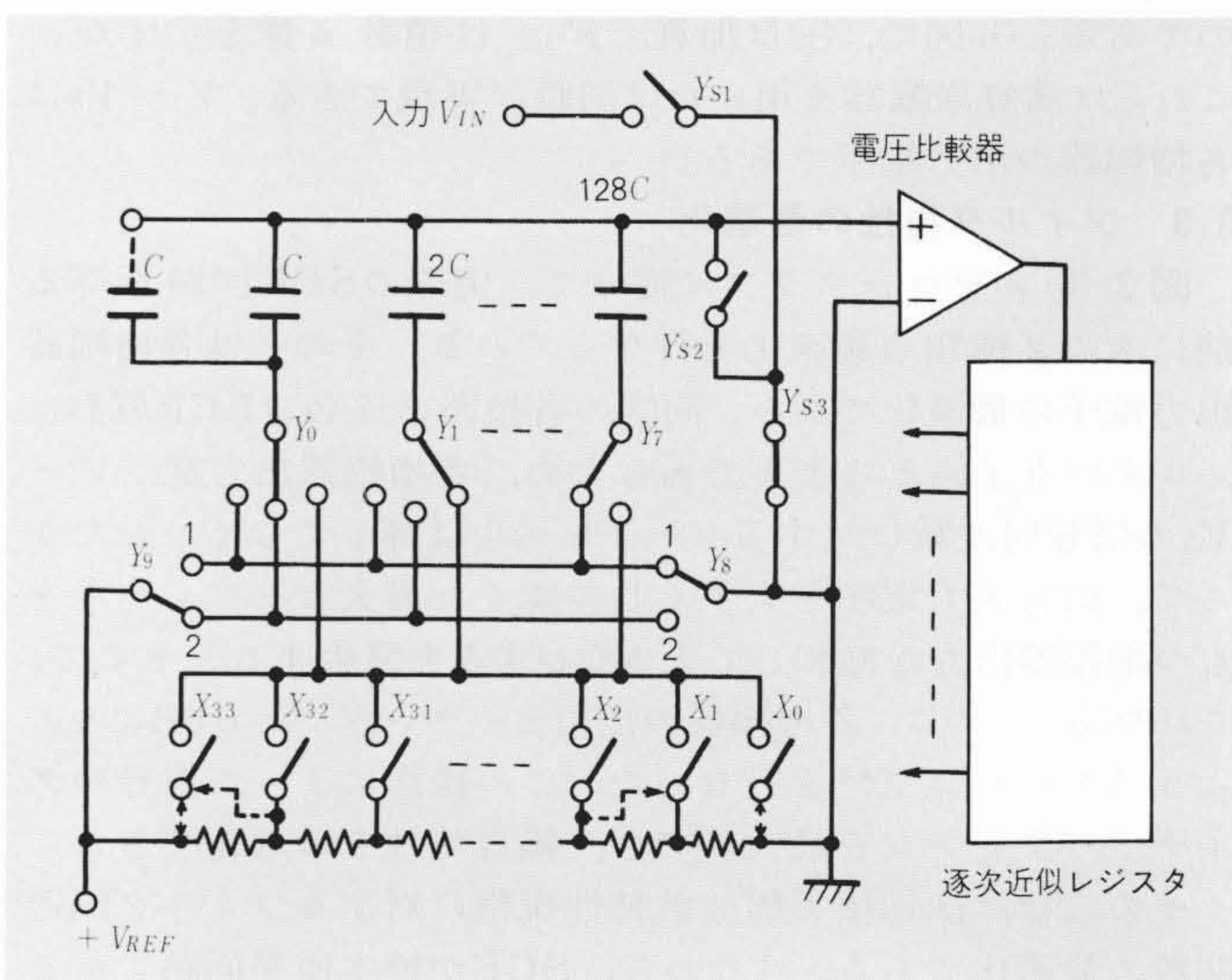


図7 単一基準電圧方式A-D変換器回路 8個の2進荷重容量アレイで折れ線端点電圧を、33個の均等分割抵抗列で折れ線内16ステップ電圧を発生する。矢印点線部を配線マスクで切り換え接続することによって、A法も実現できる。

接する領域間のステップ幅は原点より遠いほうが近いほうの2倍になっている。一方、復号化変換特性は上式(2)の逆関数を、同様15折れ線で近似したものである。

このような非線形(圧伸)符号化を用いると、音声信号の全レベルは極性を含めて8ビットのデジタル信号で表わされるが、変換精度は、大信号レベルで6ビットに圧縮される一方、小信号レベルでは13ビットに拡大される。したがって、音声信号レベルの広範囲にわたって一定の信号対量子化雑音電力比を得ることができる。

図7は本CODECに用いた逐次比較形A-D変換器の簡略化した回路図である。8個の2進荷重容量アレイと33個に均等分割された抵抗列とで構成された局部D-A変換器、電圧比較器、逐次近似レジスタなどで構成されている。本構成には、入力電圧の標本化保持回路を容量アレイで兼用することができ、また、局部D-A変換器から発生させる逐次比較判定電圧を、SCFと同様、容量比及び抵抗比の組合せを用いて正確に

実現できる、という特長がある。本回路の更に大きな特長は、単一基準電圧だけを用いて正負入力信号のA-D変換を実現できるように改良されていることである。この改良によって、正負二つの基準電圧を用いる構成に比べて、基準電圧間の不整合による特性への影響をなくすることができ、かつ従来の基準電圧反転回路¹⁾を不要化して、チップ面積及び消費電力を減らすことができた。なお、図示したように、矢印点線部を配線マスクで切り換え接続することによりA法用回路へ容易に変更できる。

3.5 基準電圧発生回路

基準電圧の特性は、A-D変換器及びD-A変換器の信号対雑音電力比特性や伝送損失レベル特性などに直接影響を与えるものであるから、最も安定化が望まれる回路部である。本CODECでは、温度安定化電圧源で発生させた電圧を、所定の最大符号化、復号化レベルに一致する値にまで増幅して、A-D変換器、D-A変換器にそれぞれ供給している。温度安定

化電源は、二つのPMOSトランジスタのしきい値差電圧から一定比のNMOSトランジスタのゲート～ソース間電圧を差し引く構成を用いて温度依存性を補償し、更に、同種の回路を2段縦続接続することにより電源電圧変動に対する安定化を図っている⁶⁾。ただし、LSI製造条件の変動によって生ずる出力電圧の初期値ばらつきについては、増幅回路の増幅率を4ビット構成のポリシリコンヒューズを用いてトリミングすることにより吸収している。代表的な特性値は、温度係数50ppm/°C以下、電源電圧(直流)係数-40dB以下、パッケージ実装後の出力電圧初期偏差は±0.08dB以下であった。

なお、本CODECには、前述のとおり基準電圧を外部からも供給することができ、この場合、外部供給端子に電圧を印加することによって、内部電圧との切換えが自動的に行なえるように構成されている。

3.6 位相ロックループ回路

パルスエッジの時間差を検出する比較器、電流積分形ループフィルタ³⁾、マルチバイブレータ形電圧制御発振器及び4ビット分周器で構成し(図8)、8kHz同期信号から、これに同期した128kHzクロックを発生している⁵⁾。設計では、比較器とループフィルタの特性を差分方程式で、電圧制御発振器の電圧-周波数特性を区分放物線近似式で表わすことにより、引込み過程の過渡応答から定常状態までを、連続して実時間解析する手法⁵⁾を用いて定数の最適化を行なった。測定結果は、引込み時間5ms(max.)、ジッタ幅50ns(max.)、消費電力1mWであった。

3.7 アクティブCRフィルタ⁶⁾

HD44230系に用いたアクティブCRフィルタ回路を図9に示す。アクティブCRフィルタでは、キャパシタ及び抵抗の絶対精度、電圧依存性、浮遊容量などが直接フィルタ特性に影響を及ぼし、かつチップ上での占有面積が比較的大きなものとなるため、各素子値の最適配分が必要である。設計では、帯域内の利得変動を0.04dB以内に抑え、かつ256kHzでの減衰を30dB以上得るために、シャ断周波数の中心値を20kHzとした。このとき、チップ面積の最小化を図るためにキャパシタと抵

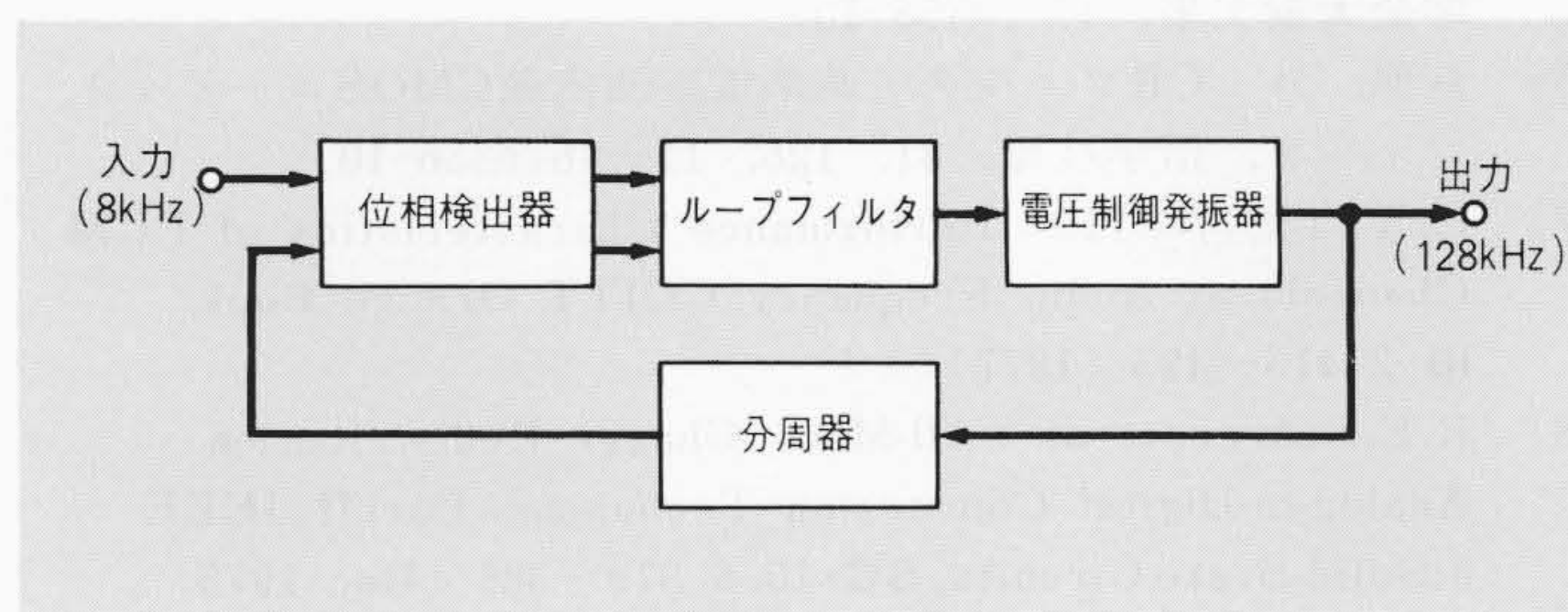


図8 位相ロックループ回路のブロック構成 8kHz同期信号を入力として、これに同期した128kHzクロックパルスを発生する。

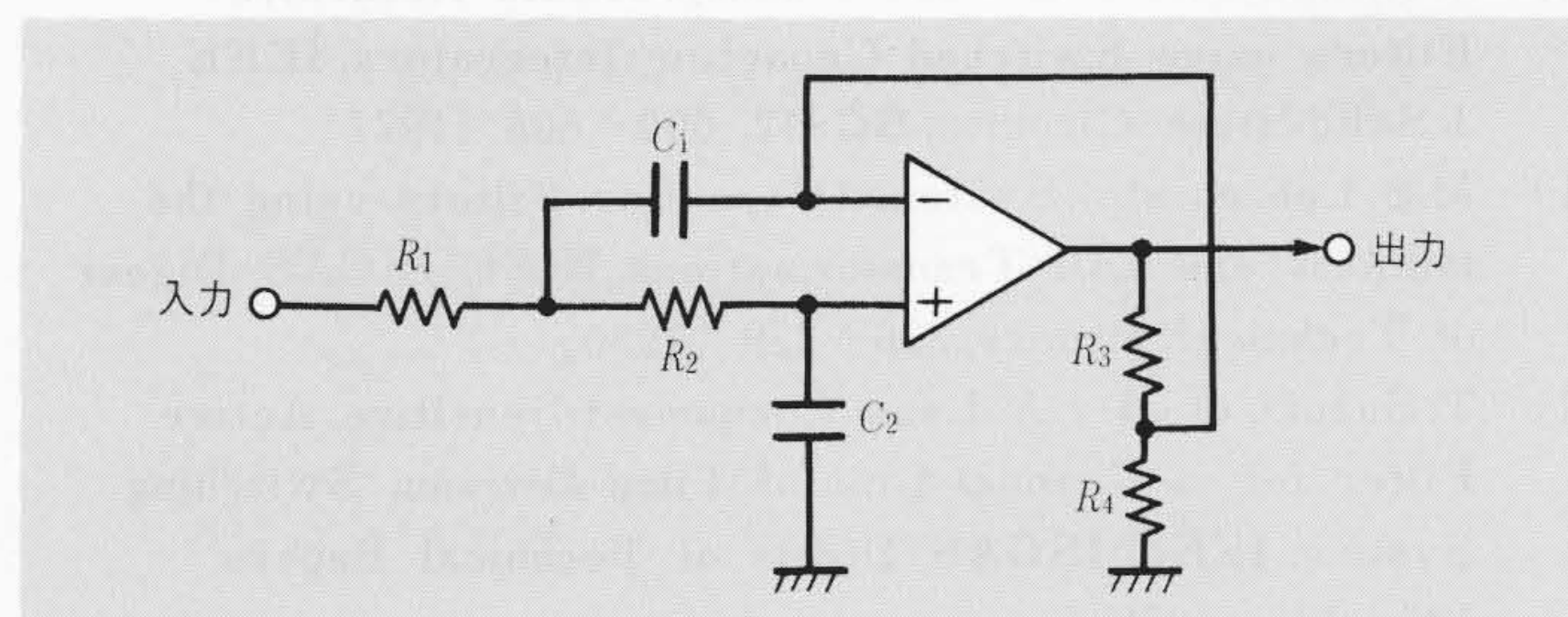


図9 アクティブCRフィルタ回路 シャ断周波数の設計中心値は20kHzに設定した($R_1=R_2=200\text{k}\Omega$, $C_1+C_2=87\text{pF}$, $R_3+R_4=10\text{k}\Omega$)。

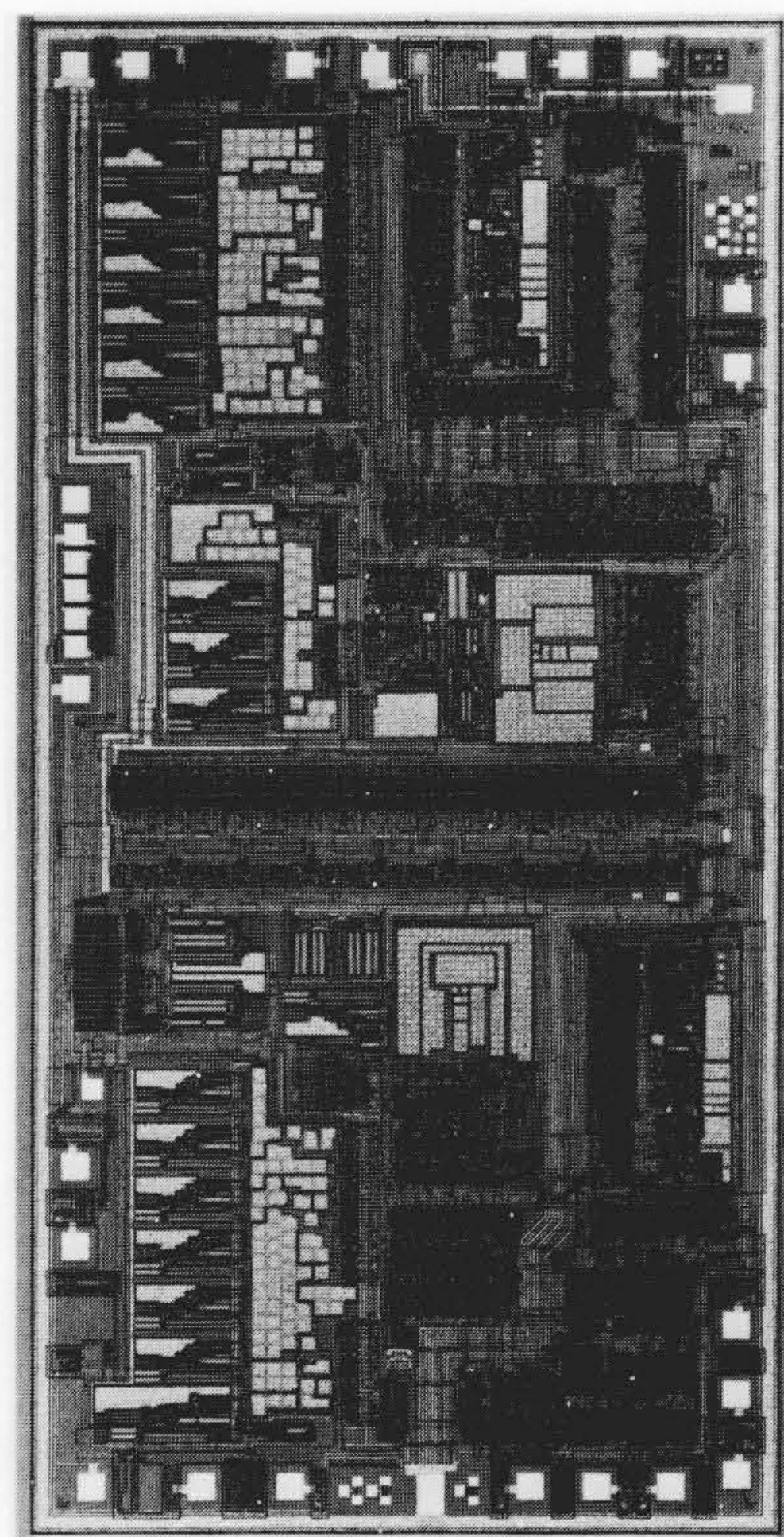


図10 CODEC LSI (HD44220系)のチップ写真 5μm一層ポリシリコンゲートCMOSプロセスを用いて製作した。チップサイズは7.16×3.56mm²である。

抗のそれぞれの占有面積がほぼ等しくなるような値を選び、 $R_1=R_2=200\text{k}\Omega$, $C_1+C_2=87\text{pF}$ とした。測定結果として、256kHzでの減衰量は37dBであった。

4 製作測定結果

製作は5μm一層ポリシリコンゲートCMOSプロセスを用いて行ない、キャパシタはポリシリコン-シリコン酸化膜-アルミ構造とした。図10にHD44220系LSIのチップ写真を示す。チップサイズは7.16×3.56mm²で、16ピンパッケージに搭載されている。HD44230系チップもほぼ同様である。

図11, 12, 13にCODECテストHP3779で測定した代表的な特性結果を示す。

信号対雑音電力比特性(図11)は、目標規格に対して最悪点でも3dB以上の余裕がある。小信号入力レベル領域での理論値からの劣化は、そのほとんどが送受フィルタ部で生じており、A-D変換部、D-A変換部ではほぼ理論値に近い特性が得られている。

伝送損失レベル特性(図12)は、+3~-40dBm 0の入力レベル範囲で±0.1dB以下である。

伝送損失周波数特性(図13)では、帯域内リップル0.2dB以下、3.4kHzでの損失は1.0dB以下である。また、帯域外の60Hzでの損失は30dB以上である。

以上の特性は、いずれも電源電圧及び温度変動に対する偏差はほとんど認められなかった。

また、無通話時雑音は-73dBm 0以下であった。

その他の諸特性を表2に示す。消費電力はHD44220系では40mWであるが、HD44230系では、アクティブCRフィルタ及び復号器側の高出力アンプの内蔵のため60mWとなっている。

以上、すべての特性でCCITT及び日本電信電話公社の伝送特性規格¹³⁾を十分に満たす結果を得た。なお、PSRR(電源電圧変動除去比)特性については、今後更に改善してゆく予定である。

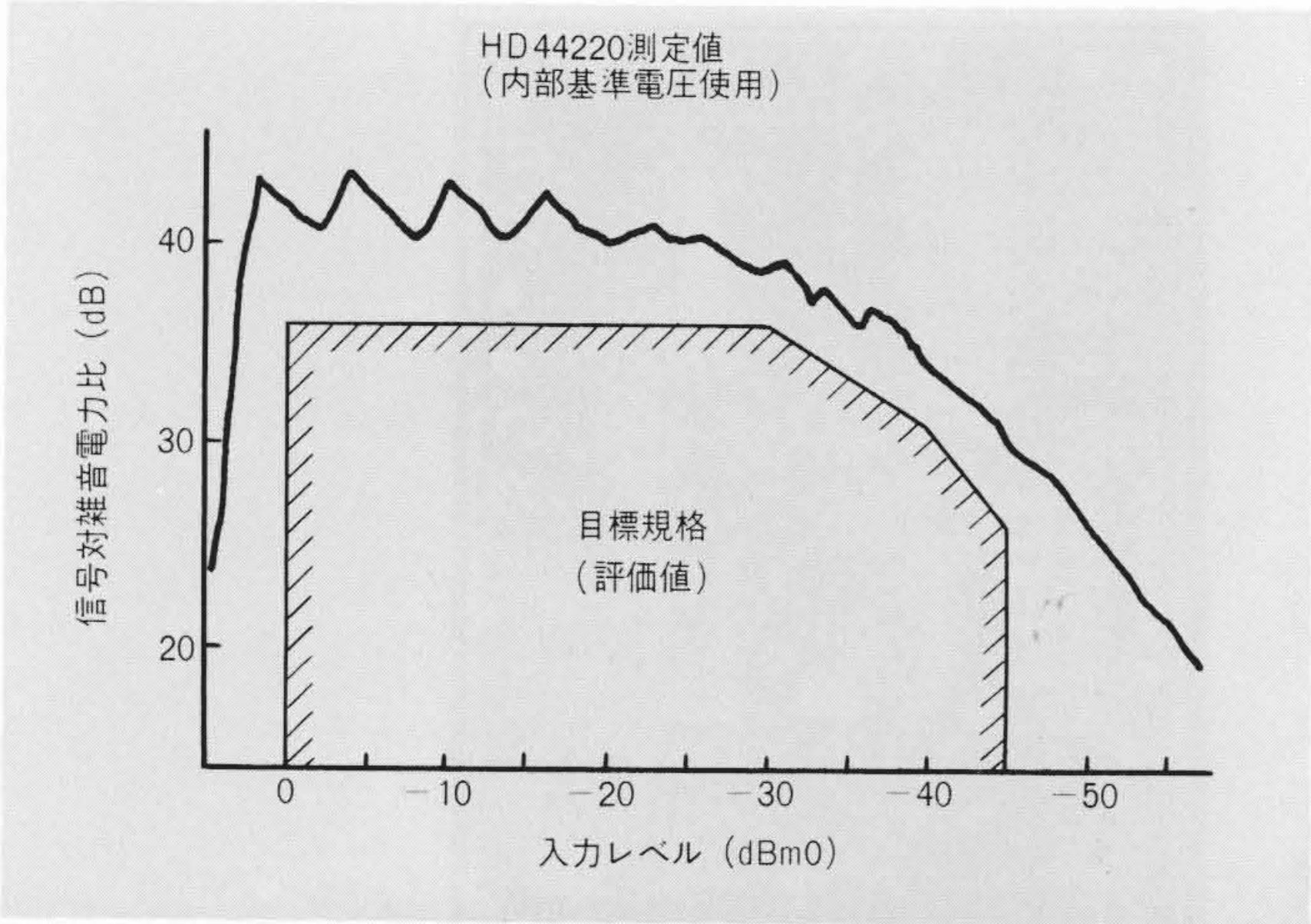


図11 信号対雑音電力比特性 入力信号810Hz, PCMビットレート2,048 Mb/sで測定した。測定値は目標規格に対して3 dB以上の余裕をもっている。

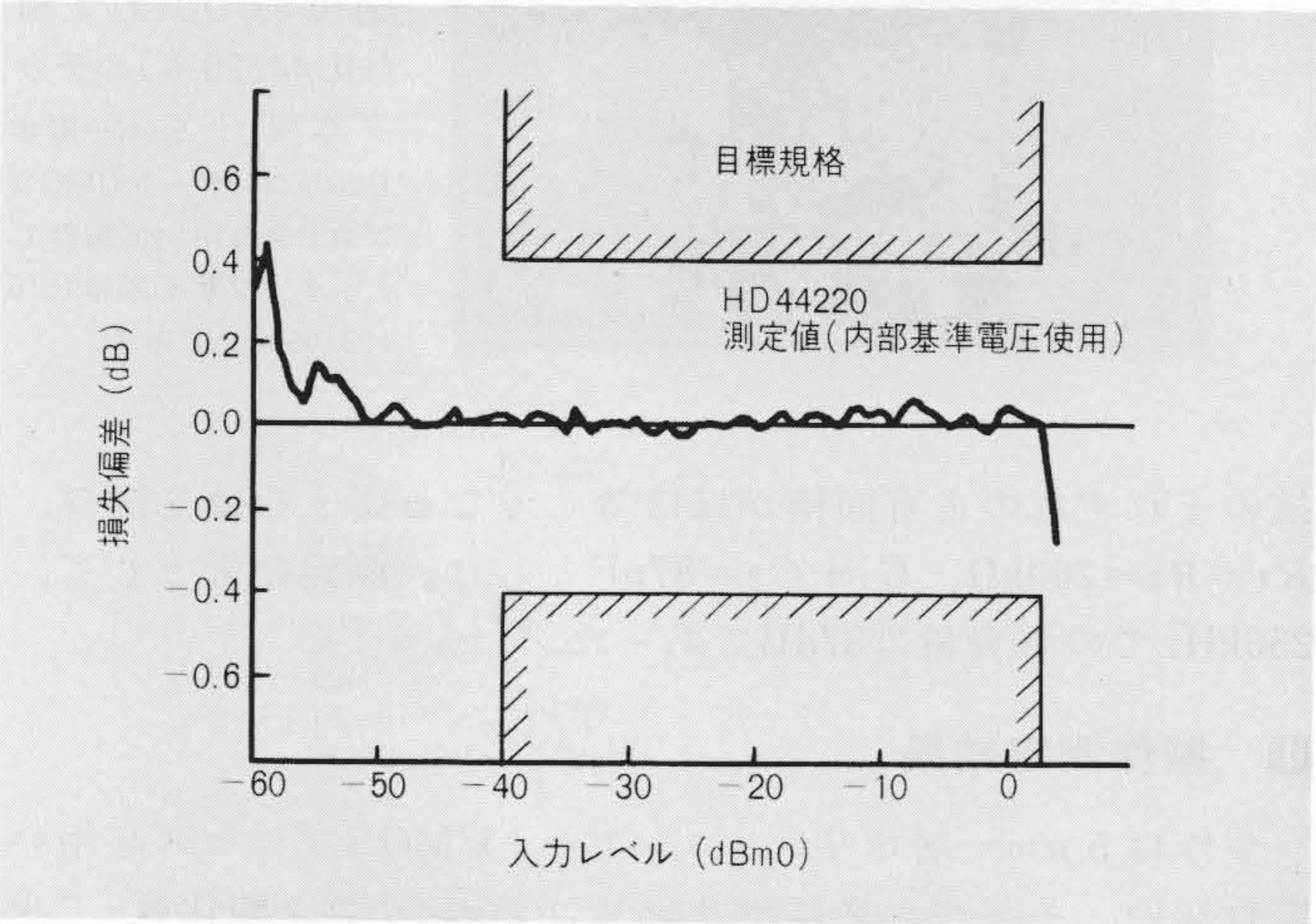


図12 伝送損失レベル特性 入力信号810Hz, PCMビットレート2,048 Mb/sで測定した。偏差値は-10dBm0入力時の出力レベルに対する値である。

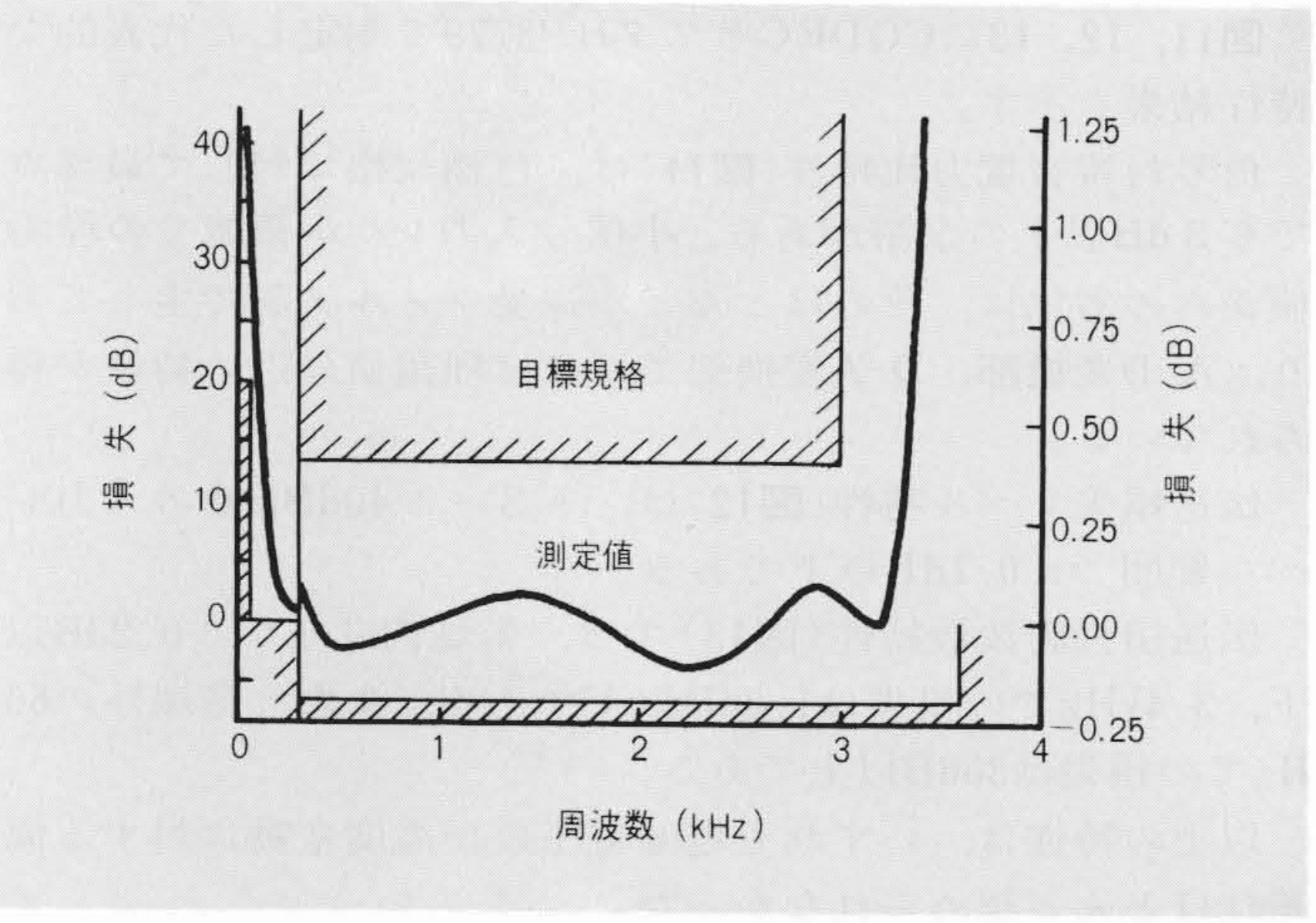


図13 伝送損失周波数特性 800Hz, 0 dBm0の入力信号に対する出力レベルを基準として、各周波数の出力レベルを測定した。

表2 その他の特性測定結果 HD44230系で消費電力が多いのは、アクティブCRフィルタ及び高出力増幅器を内蔵しているためである。

測定項目	測定値*	
	HD44220系	HD44230系
電源電圧範囲	±5V ±5%	
温度範囲	0～70℃	
消費電力(標準値)	動作時	40mW
	不動作時	2mW
漏話減衰量	87dB以上(@810Hz)	
単一周波雑音	8kHz	-85dBm0以下
	128kHz	-58dBm0以下
	256kHz	-40dBm0以下
絶対遅延量	503μs以下	
絶対利得偏差	±0.08dB以下	
電源電圧変動除去比(0～40kHz)	16dB以上	25dB以上

注：* 内部基準電圧使用

性規格をすべて満足している。
終わりに、CODEC LSIの開発に際して平素から御指導、御助言をいただいている日本電信電話公社の関係各位に対し、深謝申し上げる。

参考文献

- 1) K.Yamakido, et al.: A Single-Chip CMOS Filter/Codec, IEEE J.Solid-State Circuits, **SC-16**, 4, 302～307(Aug.1981)
- 2) D.G.Marsh, et al.: A Single-Chip CMOS PCM Codec with Filters, ibid, 308～315
- 3) A.Iwata, et al.: A Single-Chip Codec with Switched Capacitor Filters, ibid, 315～321
- 4) R.Gregorian, et al.: An Integrated Single-Chip PCM Voice Codec with Filters, ibid, 322～333
- 5) 岩田, 外: 1チップCODEC・LSIのクロック発生用PLL, 信学全大論文集, 47 (昭56-10)
- 6) 萩原, 外: CRフィルタ・基準電圧源内蔵CMOSコーデック/フィルタ, 信学技報, **81**, 126, 11～16(昭56-10)
- 7) CCITT勧告G.712: Performance Characteristics of PCM Channels at Audio Frequency, CCITT Orange Book, **III-2** 415～423 (1977)
- 8) R.E.Suárez, et al.: All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-Part II, IEEE J.Solid-State Circuits, **SC-10**, 6, 379～385 (Dec. 1975)
- 9) G. M. Jacobs, et al.: Design Techniques for MOS Switched Capacitor Ladder Filters, IEEE Trans. Circuits Syst., **CAS-25**, 1014～1021 (1978)
- 10) B.J.Hosticka, et al.: MOS Sampled-data Recursive Filters using Switched Capacitor Integrators, IEEE J.Solid-State Circuits, **SC-12**, 600～608 (1977)
- 11) M.S.Lee, et al.: Switched-Capacitor Filters using the Bilinear and LDI Transformations, IEEE ISCAS Digest of Technical Papers, 326～329 (1980)
- 12) T.Suzuki, et al.: A Less Component-Sensitive Active Filter for a Channel Unit of Time Division Switching System, IEEE ISCAS Digest of Technical Papers, 135～138 (1978)
- 13) 坪井, 外: 単一チャネルLSI CODECの機能と規格, 通研実報, **30**, 2, 509～519 (1981)

5 結 言

- (1) 5μm CMOS技術を用いて開発した1チップCODEC LSI 2品種の構成と特長, 及び基本設計について述べるとともに, その製作測定結果について報告した。
- (2) 製作結果は良好で, CCITT及び日本電信電話公社伝送特