

64kビットCMOSスタティクRAM

64k bit CMOS Static RAM

小形コンピュータ及びマイクロコンピュータ、OA用端末、電子式卓上計算機などに需要が伸びているスタティクRAMの大容量化を企図し、8k語×8ビット構成の64kビットCMOSスタティクRAMを開発した。

2 μ m加工技術と2層ポリシリコン構造による新プロセス技術でメモリセルの高密度化を、周辺回路構成上の工夫で高速、低電力化を図った。また、微細化に伴う歩留まりの低下を防ぐため、新しいプログラム素子を含む冗長ビット技術を開発し、本RAMに導入した。以上の新たに開発した技術は1978年に開発したHi-CMOS(High Performance CMOS)の第二世代の技術であり、Hi-CMOS II技術と名付けている。

本RAMの性能は、標準条件でアクセス時間が65ns、消費電力が動作時200mWである。待機時の消費電力は、10 μ Wと低くバッテリーバックアップが可能である。パッケージは標準28ピンで、64kビットEPROM形のピン配置となっている。

湊 修* Osamu Minato
酒井芳男* Yoshio Sakai
長沢幸一** Kôichi Nagasawa
安井徳政** Tokumasa Yasui

1 緒 言

近年、半導体産業での技術革新は著しい。特にMOS RAM(Metal Oxide Semiconductor Random Access Memory)の分野では、産業・民生用機器のマイクロエレクトロニクス化、低コスト、高性能化の要求を満たすために急激な大容量化、高性能化が進んでいる。システム構成が容易で高速であるという特長をもっているため、マイクロコンピュータや小形コンピュータ、端末のメモリに需要が伸びているスタティクRAMでも、この傾向は顕著である。図1に示すメモリ容量の年次推移からも明らかなように、現在、16kビット素子が製品化されている中で、64kビット素子が次のステップになろうとしている。

一方、このような、1チップに数十万個の素子を集積する

VLSIでは素子の発散する電力が大きな問題となってくる。そこで、素子の低電力化の観点から、日立製作所はCMOS(Complementary MOS:相補形MOS)に着眼し、低速という従来CMOSの欠点を克服してNMOS(NチャネルMOS)に匹敵する高速性能とCMOS本来の低電力性能を兼ね備えた高性能CMOS(Hi-CMOS)技術^{1),2)}を開発した。このHi-CMOS技術は、従来CMOSに比べ以下の点に特徴がある。(1) n, p両ウェルを分離・独立して形成, p, nMOSトランジスタのしきい電圧の制御性を良くし、接合容量を低減した。(2) pウェルをベースとする縦形npnバイポーラを、大容量負荷プルアップ素子として用いた。(3) メモリセルをnMOSで、周辺回路をCMOSで構成した。この技術は、既に4kビット³⁾及び16kビットスタティクRAM^{3),4)}(HM6147, 6148, 6147H, 6116, 6117, 6167)に適用されている。

本稿は、上記Hi-CMOS技術を改良した第二世代の超LSI技術となるHi-CMOS II技術⁵⁾による64kビットCMOSスタティクRAMについて述べる。

2 Hi-CMOS II技術の特徴

1978年に開発したHi-CMOS技術は、MOSトランジスタのチャネル長が3 μ m、アルミニウムなどの配線幅が4 μ mという加工寸法を用いた。今回開発したHi-CMOS II技術は、基本的には平面及び縦構造をHi-CMOSの70%に縮小している。図2にHi-CMOS IIデバイスの断面構造を示す。また、各種デバイス定数の比較を表1に示す。Hi-CMOS IIでは、チャネル長2 μ m、ゲート酸化膜厚35nmのp, nチャネルMOSトランジスタ(以下、pMOS, nMOSと略記する。)を用いる。トランジスタのしきい値電圧はHi-CMOSと同じであり、単一5Vの電源電圧が使用できる。また、p, nMOSトランジスタは、それぞれ独立した低濃度のn, pウェル内に形成し、しきい値電圧の制御性を良好にしている。回路動作の点では、n⁺-pウェル間の接合容量が小さくなり、pウェルをベース

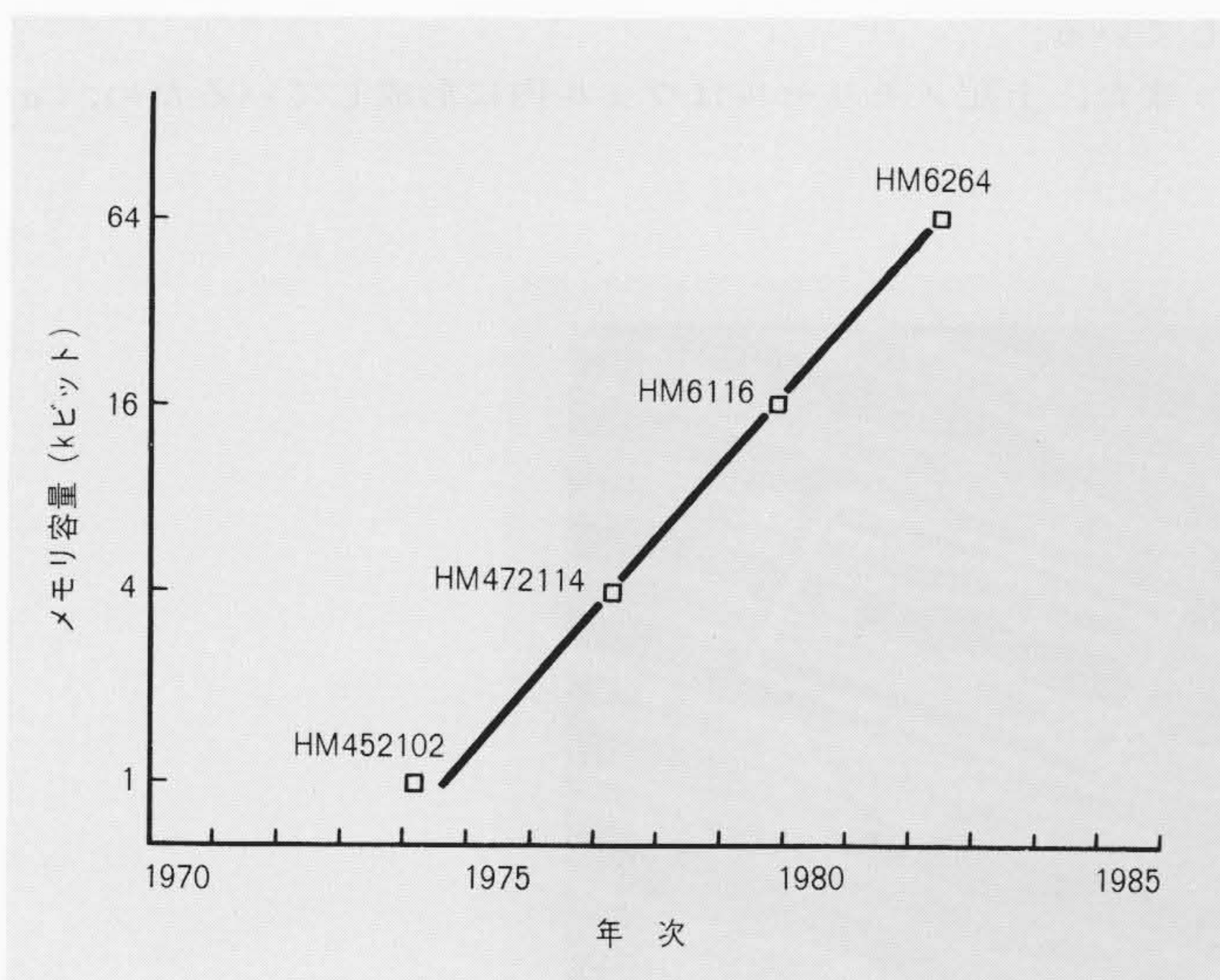


図1 スタティクRAM(Random Access Memory)におけるメモリ容量の年次推移 日立製作所の製品名称で示してある。

* 日立製作所中央研究所 ** 日立製作所武蔵工場

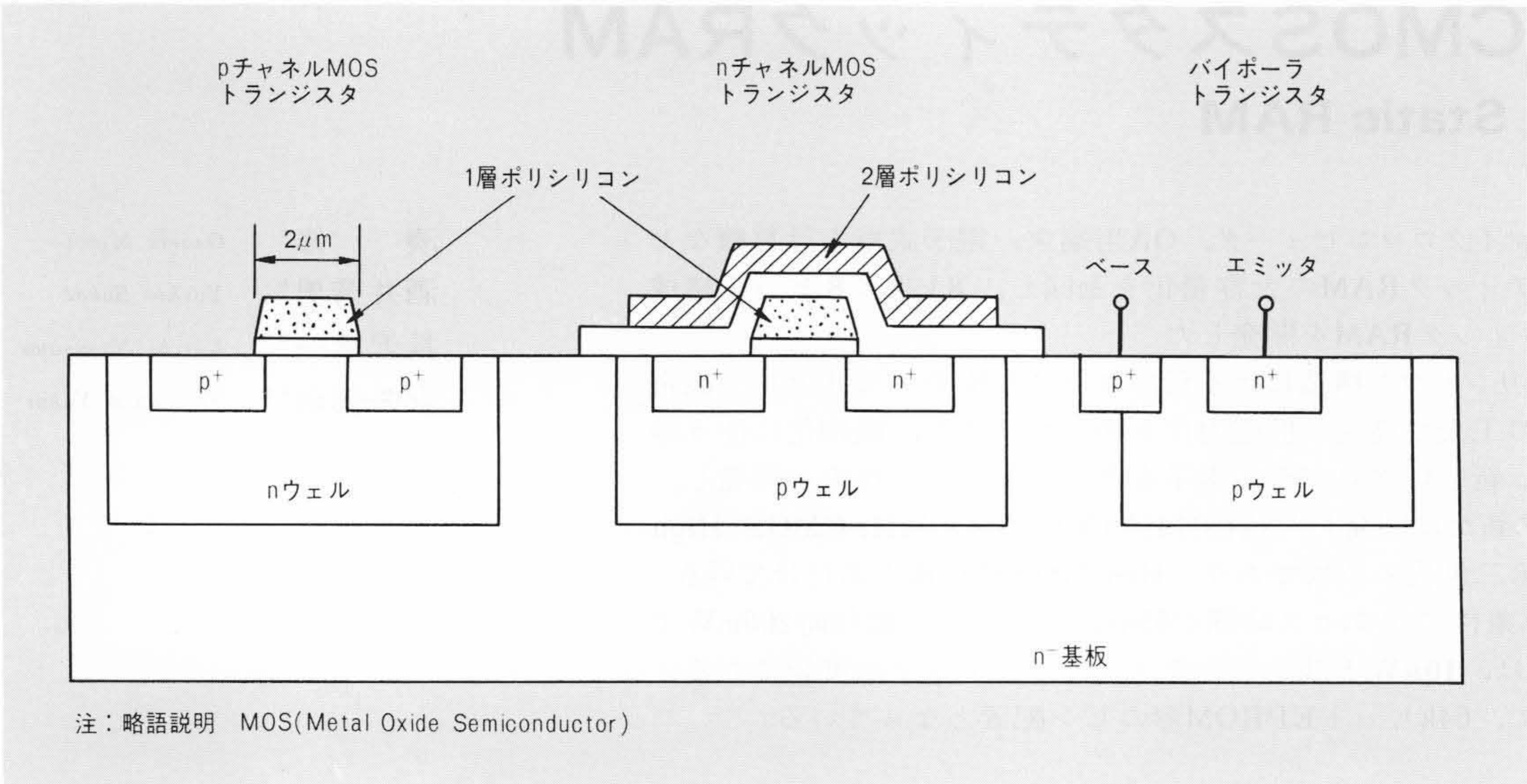


図2 Hi-CMOSIIデバイスの断面構造 トランジスタのチャンネル長は2μmを使用した。ポリシリコンの2層化でメモリセル面積の縮小化を図っている。

表1 各種デバイス定数の比較 Hi-CMOSII技術は、基本的には平面及び縦構造をHi-CMOSの70%に縮小している。

項 目		Hi-CMOS	Hi-CMOS II
チャネル長 (μm)		3.0	2.0
ゲート酸化膜厚 (nm)		50	35
ポリシリコン層数		1	2
しきい値電圧 (V)	nMOSトランジスタ	0.55	0.55
	pMOSトランジスタ	-0.55	-0.55
	寄生MOSトランジスタ	>±10	>±10

とした縦形のバイポーラトランジスタが使用できるため、RAMの高速化に大きな利点となっている。

更に、Hi-CMOSIIではメモリセル面積を縮小するため、2層ポリシリコン構造を新たに導入している。1層ポリシリコンでMOSトランジスタのゲート電極を形成し、2層ポリシリコンでメモリセルへの電流供給用に用いる配線を形成している。メモリセルとしてnMOSトランジスタで構成したフリ

ップフロップ形を用いている。スタティックRAMでは、チップの40～60%がメモリセルで占められるため、なによりも小面積であることが要求される。次に、待機時の消費電力を小さくするため、低消費電力であることが要求される。この点、上記のスタティックRAMはメモリセルを構成するトランジスタがすべてnMOSとなるため、同一のpウェル内に収納することができる。更に電流供給用配線は、2層ポリシリコンで他の素子の上部に積み上げることができるため、面積が小さくなる。また、負荷は、10¹⁰Ω程度の抵抗値を用いるため、待機時の消費電力が小さくできる。図3に、64kビットCMOSスタティックRAMに用いたメモリセル写真を、Hi-CMOS技術による16kビット素子のものと比較して示した。Hi-CMOSIIによるメモリセルの面積は、304μm²(13.5μm×22.5μm)で、Hi-CMOSのセルに比べ約1/3の大きさとなっている。図4に、従来技術によるスタティックメモリセル面積との比較を示した。加工プロセスの微細化、メモリセル方式の工夫、ポリシリコンの多層化などによるセル面積の縮小の様子を示している。

また、上記メモリセルはウェル内に形成しているため、α

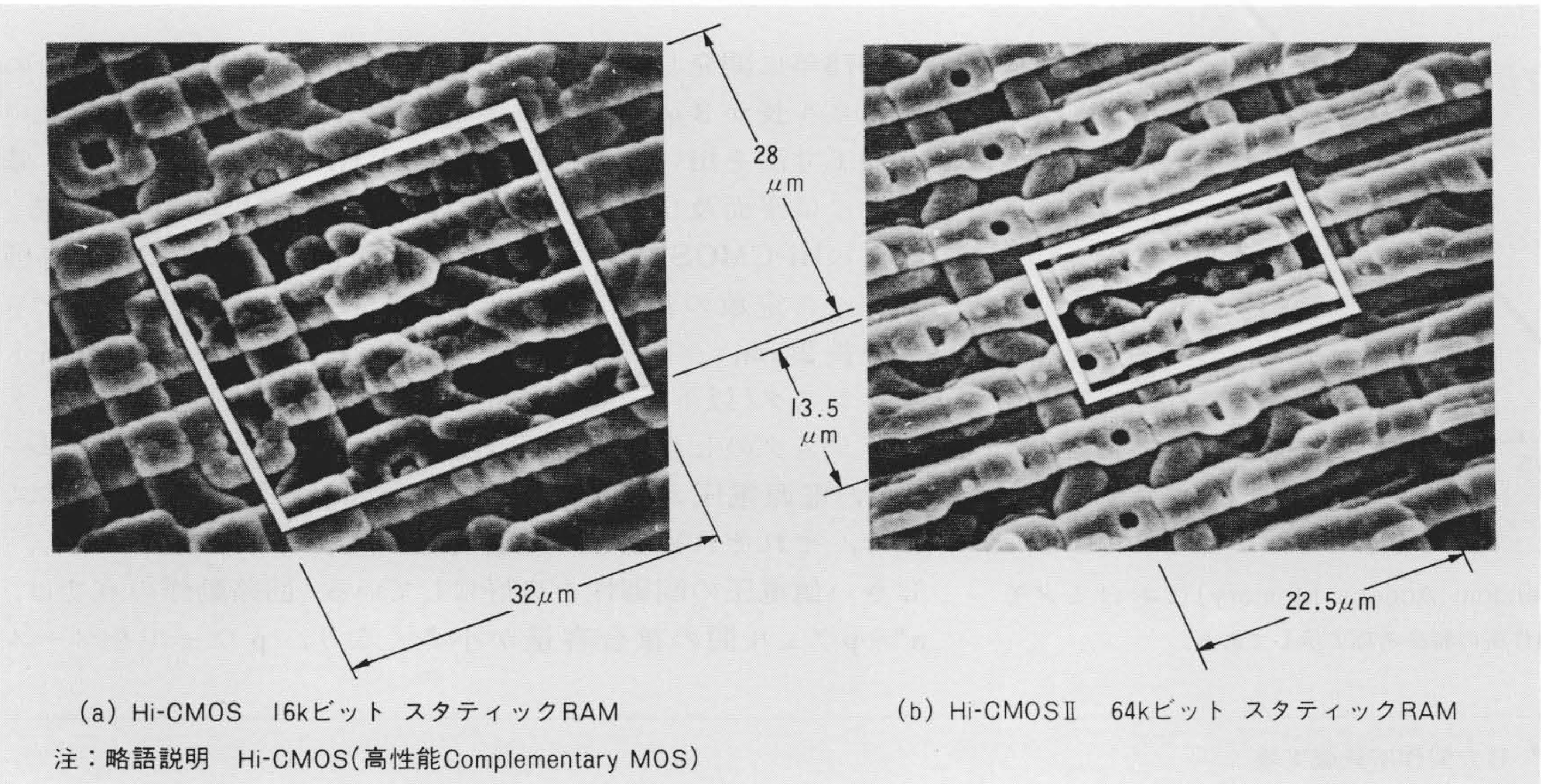


図3 メモリセル写真 64kビットRAMのセル面積は、16kビットRAMのセルに比べ約1/3に減小している。

粒子によるソフトエラーに対しても強い耐性を示す。図5に、 α 粒子が半導体内に入射したときの電子の動きを、pウェルがない場合とある場合で比較してある。 α 粒子が入射すると基板中に $30\mu\text{m}$ ぐらいの深さまで侵入し、 $10^5 \sim 10^6$ 個の電子—正孔対を発生する。ここで、pウェルがなく、基板を負にバイアスした(a)のNMOSの場合、大部分の電子は正のポテンシャルをもった表面の n^+ 層に落ち込む。この領域はメモリセ

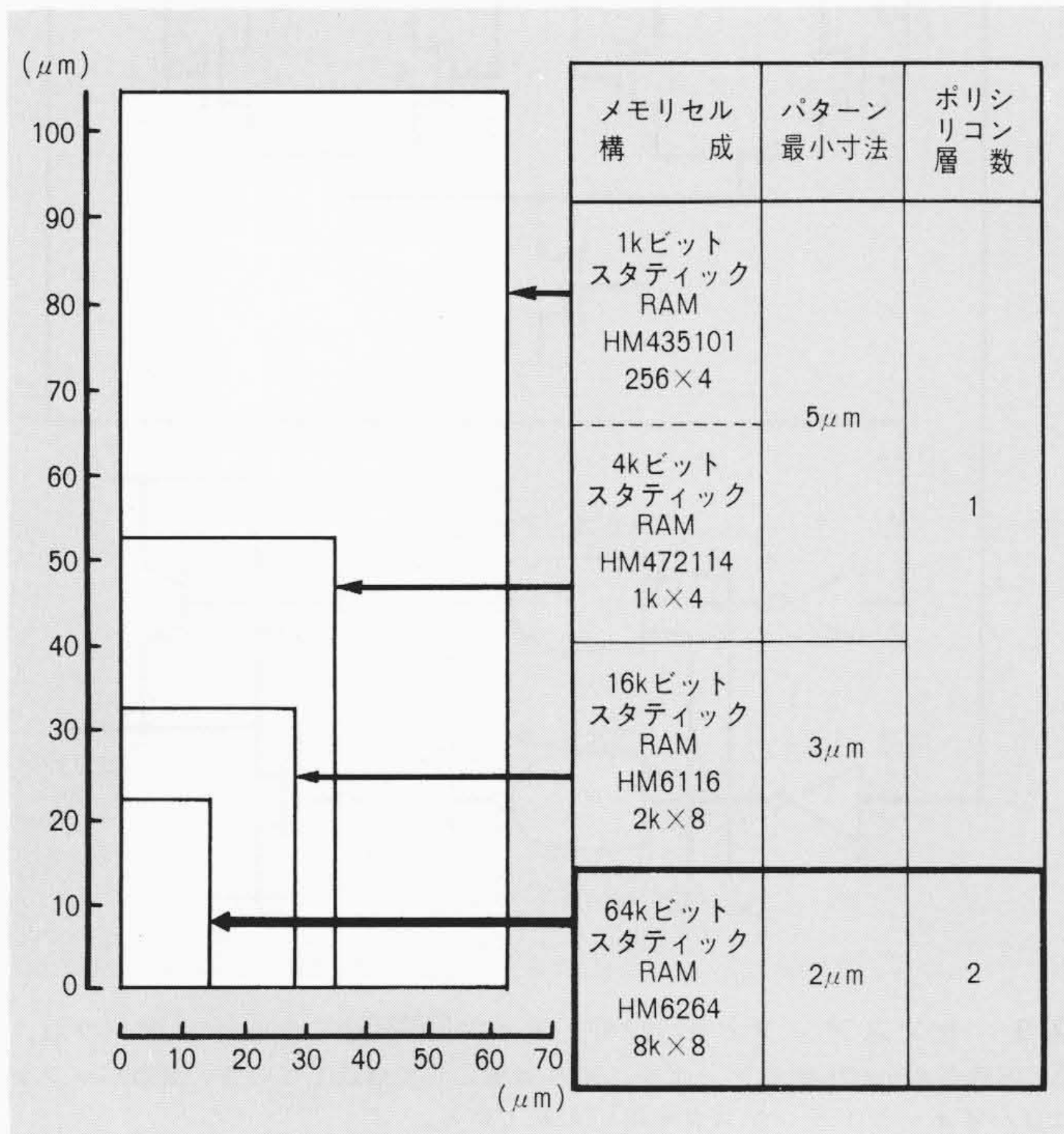


図4 各種スタティクメモリセル面積の比較 日立製作所のマルチビット構成成品で比較した。

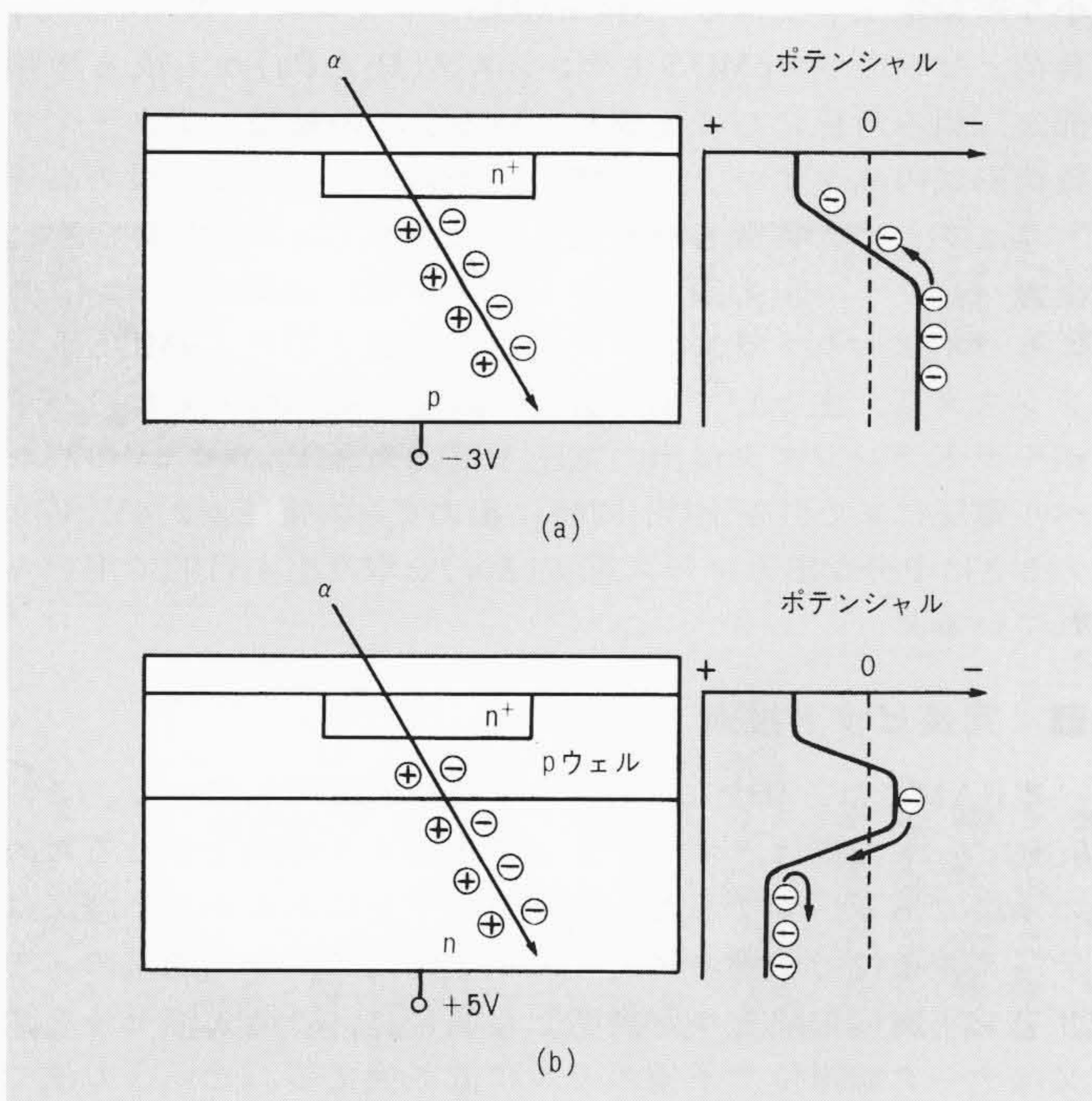


図5 α 粒子が侵入してもソフトエラーが起こりにくい構造 (a) 基板で発生した電子は、すべて n^+ 領域内に落ち込む可能性がある。(b) n 基板で発生した電子は、pウェル内へ入れない。

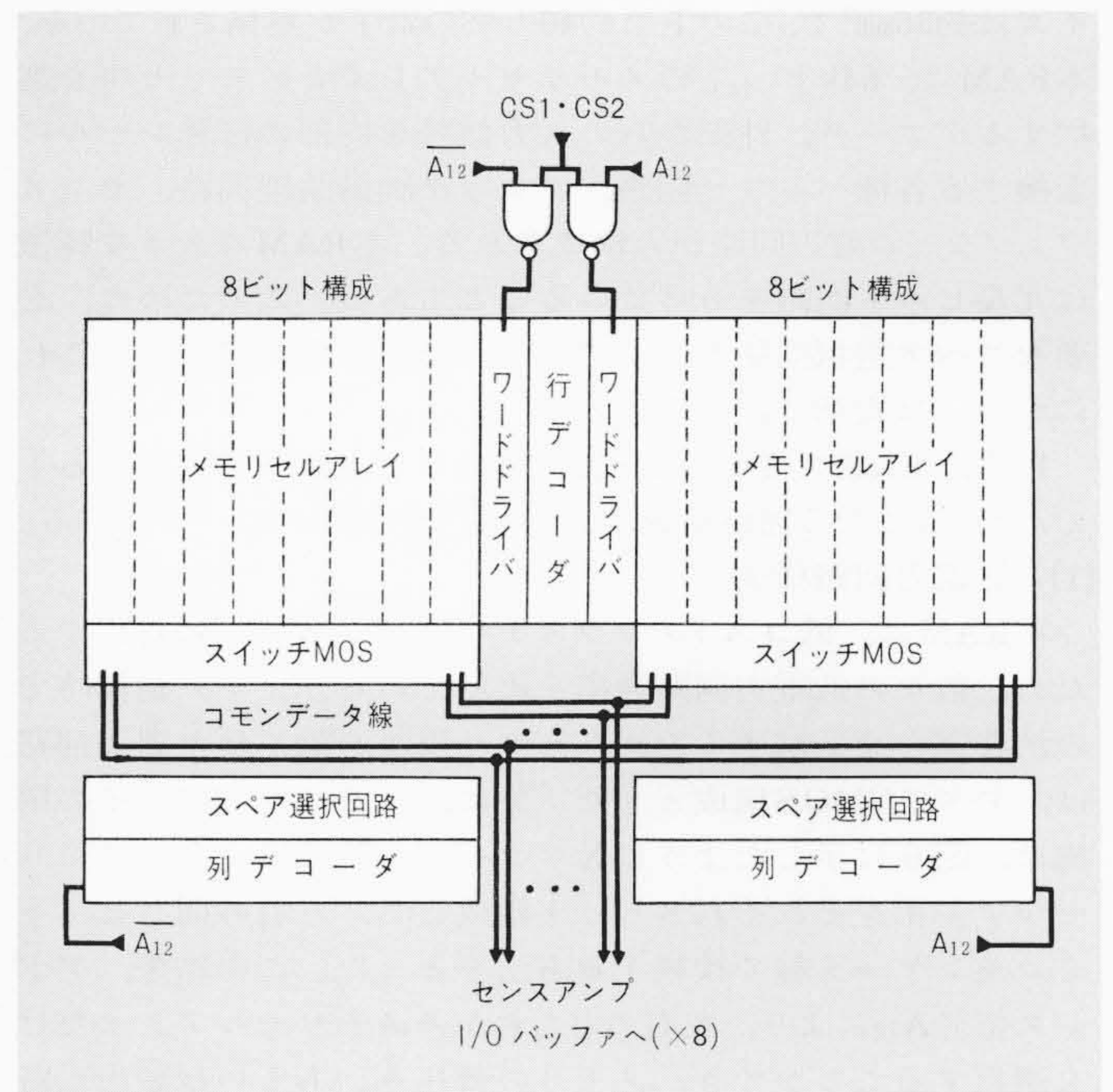


図6 8k語×8ビット構成64kビットCMOSスタティクRAMのブロック図 左右のメモリセルアレイを各々8ビットに構成して低電力化を図っている。また、本RAMは冗長ビット回路をもち、このためのスベア選択回路とスベアセルを備えている。

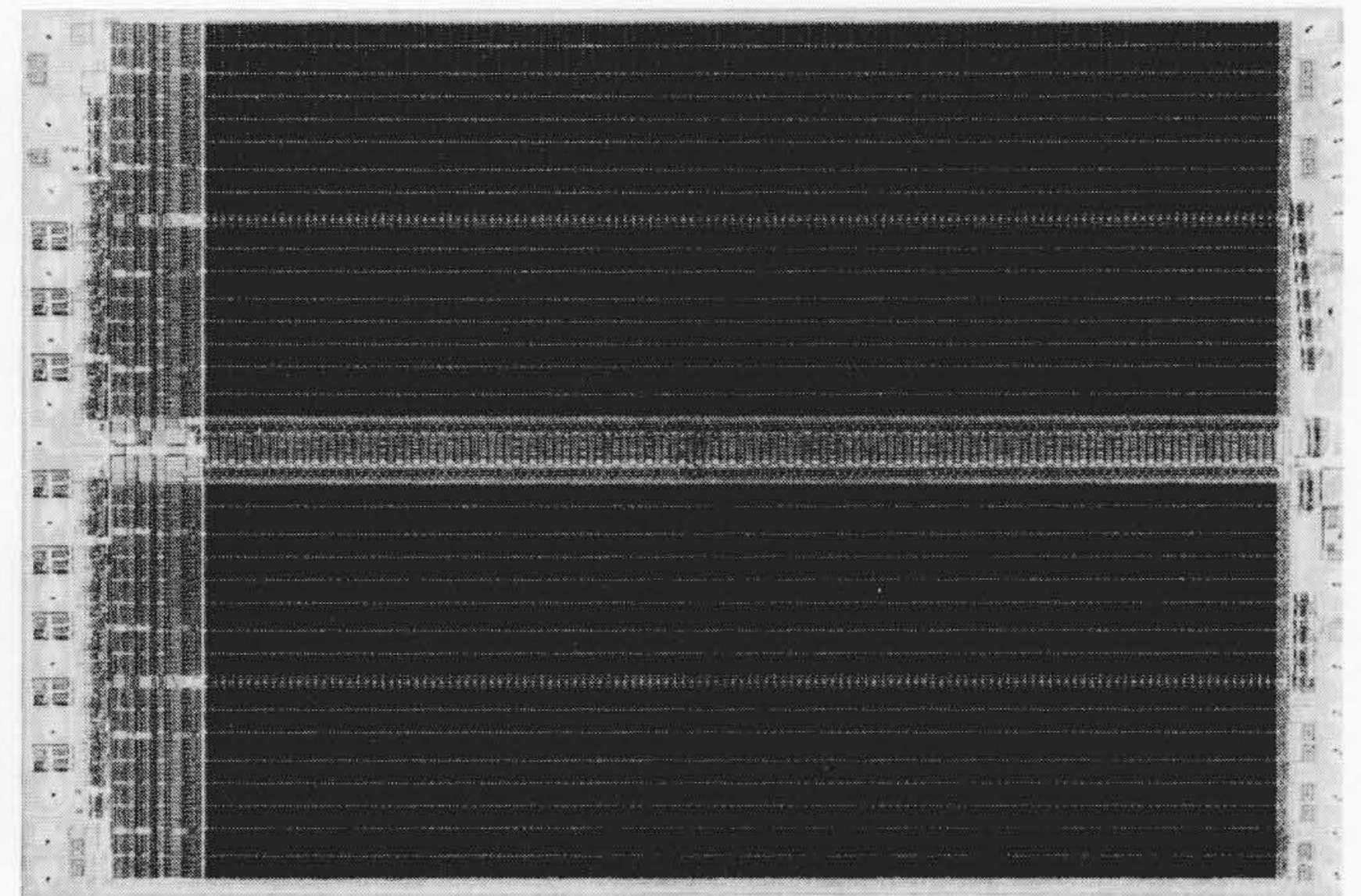


図7 チップ写真 8k語×8ビット構成64kビットCMOSスタティクRAMのチップである。

ルの記憶ノードとなっているため、フリップフロップが反転し、記憶情報が破壊される。これに対し、pウェルのある構造(b)では、pウェルが電位障壁となってn形基板中に発生した電子が追い返される。このため、記憶情報を反転する電子はpウェル内で発生した電子だけであり、その数も極めて小さくなる。そのため、CMOS構造はNMOS構造に比べ、数桁 α 粒子によるソフトエラーに対する耐性が強いことが報告されている³⁾。64kビットCMOSスタティクRAMでも、16kビット素子と同様の α 粒子に対する強い耐性が実現できている。

3 RAMの構成と回路の特徴

図6に、8k語×8ビット構成64kビットCMOSスタティクRAMのブロック図を、図7にチップ写真を示す。チップサ

イズは約 36mm^2 で、この上に約40万個の素子が集積されている。本RAMは、64kビットのメモリセルアレイとメモリセルを選択するデコーダ、外部からの入力信号を内部の信号レベルに変換する各種バッファ回路、クロック制御論理回路、センスアンプなどの周辺回路から構成される。本RAMの大きな特徴は冗長ビット回路をもっていることである。このために、必要なスペア選択回路とスペアメモリセルを備えている。これについては次章で詳しく述べる。

以下、8k語×8ビット構成の64kビット素子を実現する上でポイントとなる回路構成、及び回路上の特徴について述べる。

(1) 低電力回路構成

本RAMは、低コストのプラスチックパッケージに封止するため、数々の低電力回路技術を用いている。まず、動作時の消費電力を低減するため、メモリセルを除く他の周辺回路は、すべてCMOS構成とした。更に、メモリセルアレイの構成は、図6に示したようにXデコーダを狭んで左右のメモリセルアレイをそれぞれ8ビット構成とし、左右の同じビットをコモンデータ線で接続する方法をとった。この結果、アドレス信号 A_{12} により、左右のどちらかのメモリセルアレイだけを選択することができ、メモリの書込み、あるいは読出し時にメモリセルの転送ゲートを通して流れるDC電流を従来構成の半分に低減することができた。また、各入力バッファの初段CMOS回路は、外部制御信号 $\overline{CS1}$ 、 $\overline{CS2}$ のいずれでも制御できるようにし、他の入力信号のレベルにかかわらず低電力が達成できるようにしてある。

(2) 高速回路構成

図8にアドレスバッファの回路図を示す。このバッファは、外部アドレス信号(低レベル0.8V、高レベル2.2V)を低レベル0V、高レベル5VのMOSレベル振幅に変換し、デコーダに入力する機能をもち高速性が要求される。また、メモリセルの多重選択を防止するため出力(a_i と $\overline{a_i}$)を中間値で交差させる必要がある。そこで、本RAMのアドレスバッファは、出力段の構成をnMOSトランジスタのフリップフロップ形式とし、負荷のnMOSと並列にpMOSトランジスタを設けた。このpMOSは、出力電圧を電源電圧 V_{cc} まで持ち上げ次段回路の動作性能を向上させている。

図9に、センスアンプと出力バッファの回路図を示す。センスアンプは、コモンデータ線に引き出されたメモリセルか

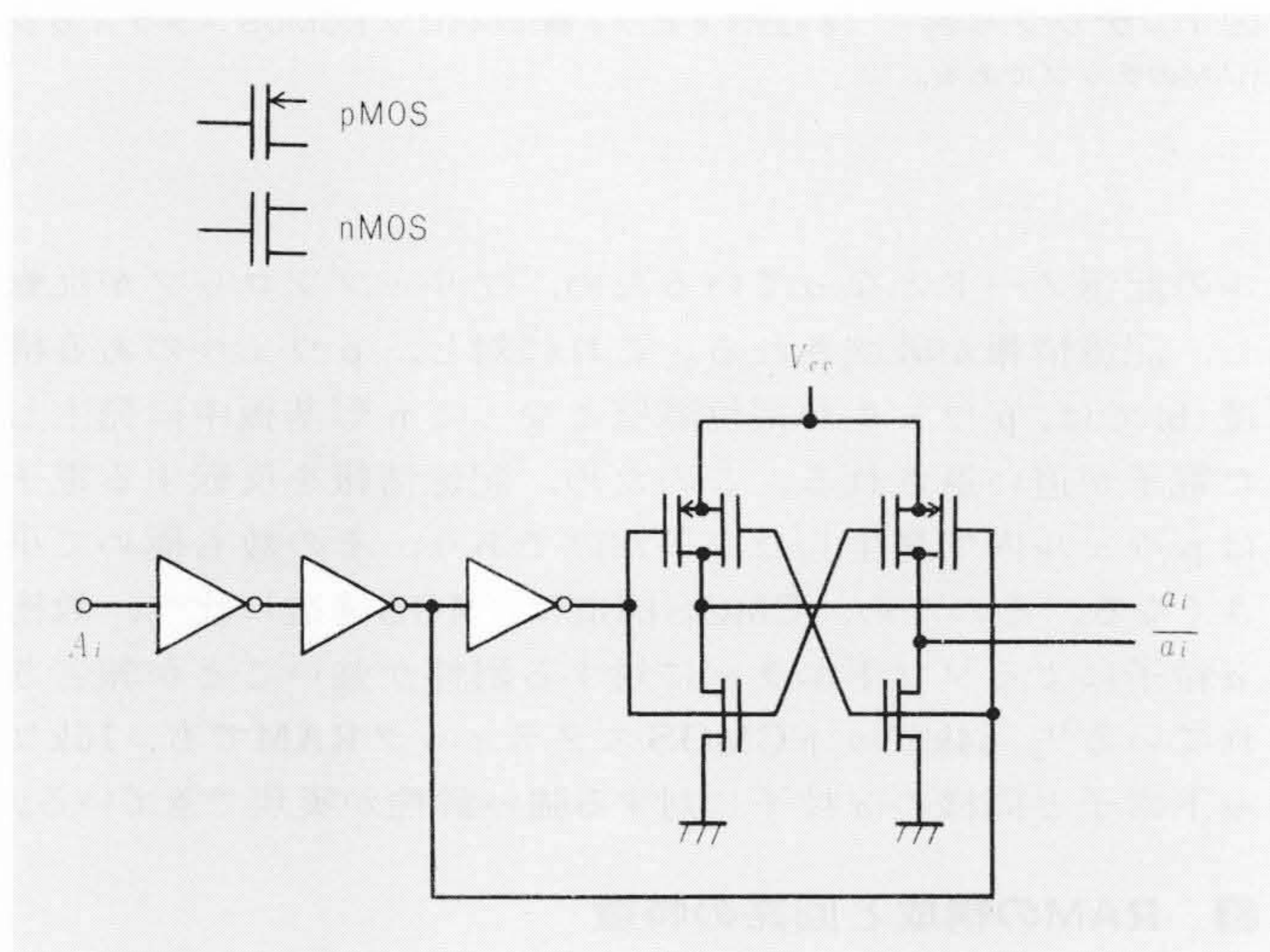


図8 アドレスバッファの回路図 出力段はnMOSのフリップフロップで構成し、負荷にpMOSを並列に設けた。

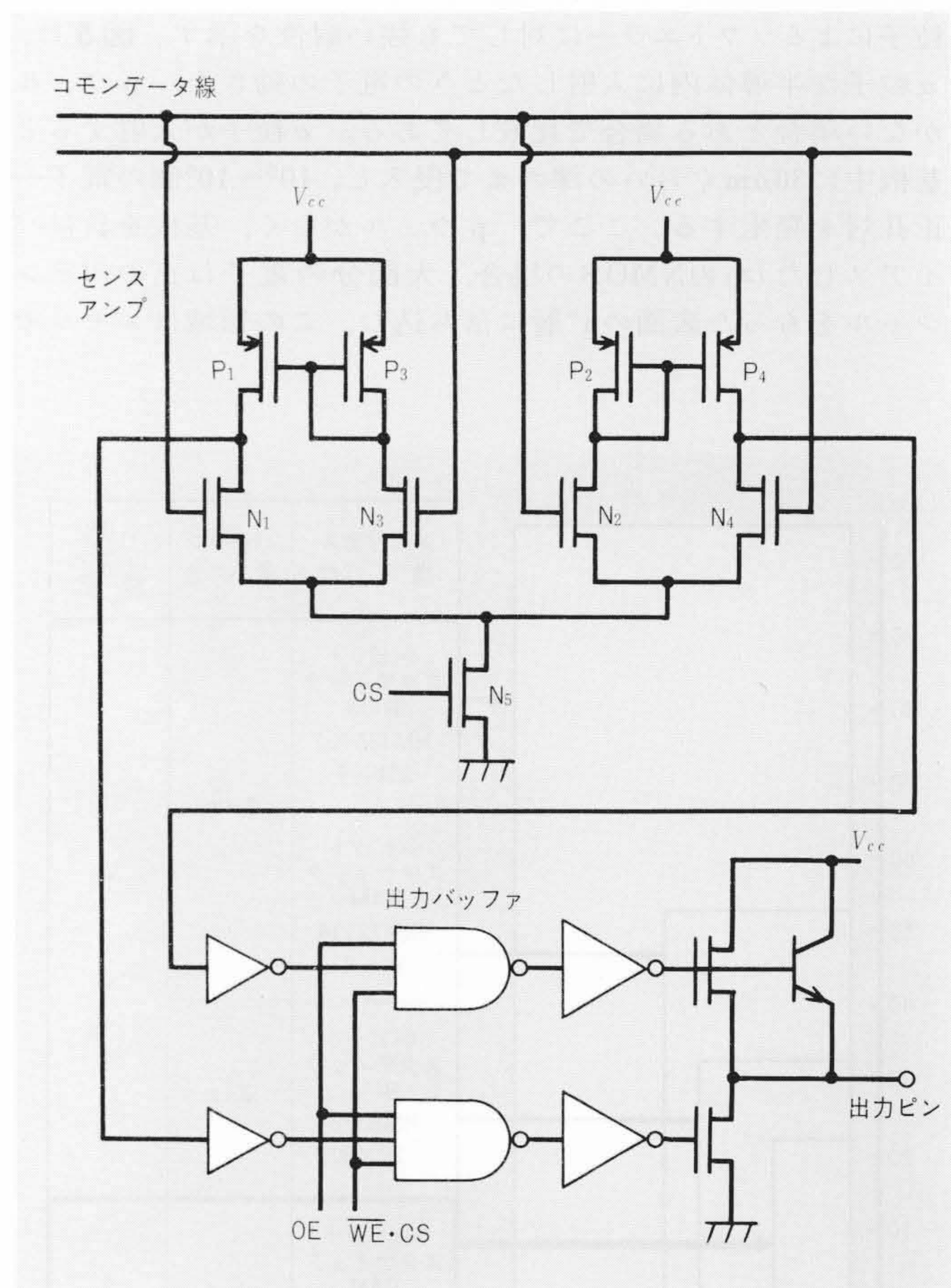


図9 センスアンプと出力バッファの回路図 センスアンプは、pMOS負荷のnMOS差動アンプを二組み対称にして構成している。出力バッファにはバイポーラトランジスタが用いられている。

らの微小な読み出し信号を高速に増幅し、出力バッファに伝達する役目をもつ。本センスアンプは、二つの入力端子の微小な差動電圧を受けると、二つのnMOSトランジスタ(N_1 と N_3)と、負荷となる二つのpMOSトランジスタ(P_1 と P_3)から成る増幅部を二組み対称にして構成している。この結果、アクティブ負荷形式の高ゲインという特徴と差動出力による次段の高速ドライブという特徴を兼ね備えたセンスアンプが構成できた。出力バッファの出力負荷トランジスタは、nMOSトランジスタとバイポーラトランジスタの並列構成とした。nMOSトランジスタは、主として出力負荷の高速充電に当てられ、バイポーラトランジスタは出力電圧を電源電圧 $V_{cc}-0.5\text{V}$ の高レベル電圧にまで引き上げ、同時に出力ピンの電圧が 2.4V (V_{OH})のときに十分な出力ソース電流(I_{OH})を取り出す目的で用いられている。

4 冗長ビット技術

本RAMでは、新たに冗長ビット技術を採用している。この冗長ビット技術は、オンチップで歩留まりを向上させるための手段である。すなわち、同一チップ上にあらかじめ語又はデータ線単位で予備のメモリセルを備えておき、通常のメモリアレイ内に欠陥セルが判明した場合に、この欠陥セルを語又はデータ線単位で予備のセルに置き換える、という方法である。本RAMは $2\mu\text{m}$ という微細な加工技術を用いており、プロセスの欠陥に敏感であることが予想されるため、冗長ビット技術を導入した。この冗長ビットの方法については、8k

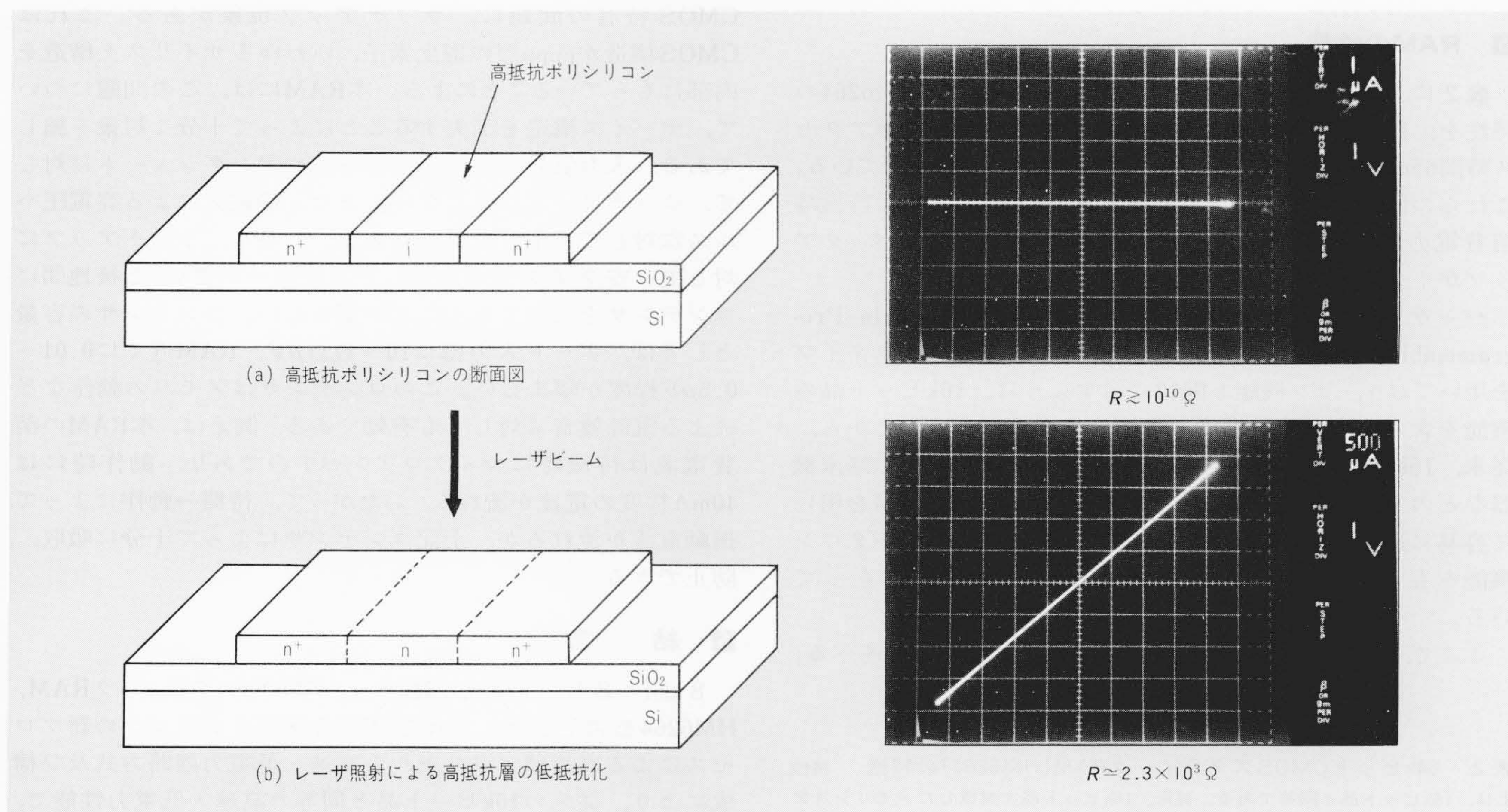


図10 高抵抗ポリシリコンにレーザを照射し、その抵抗値を変化させるプログラム素子 両側に形成した n^+ 層から、レーザ照射によって不純物が拡散し、 $10^{10} \Omega$ から $10^3 \Omega$ に低抵抗化する。

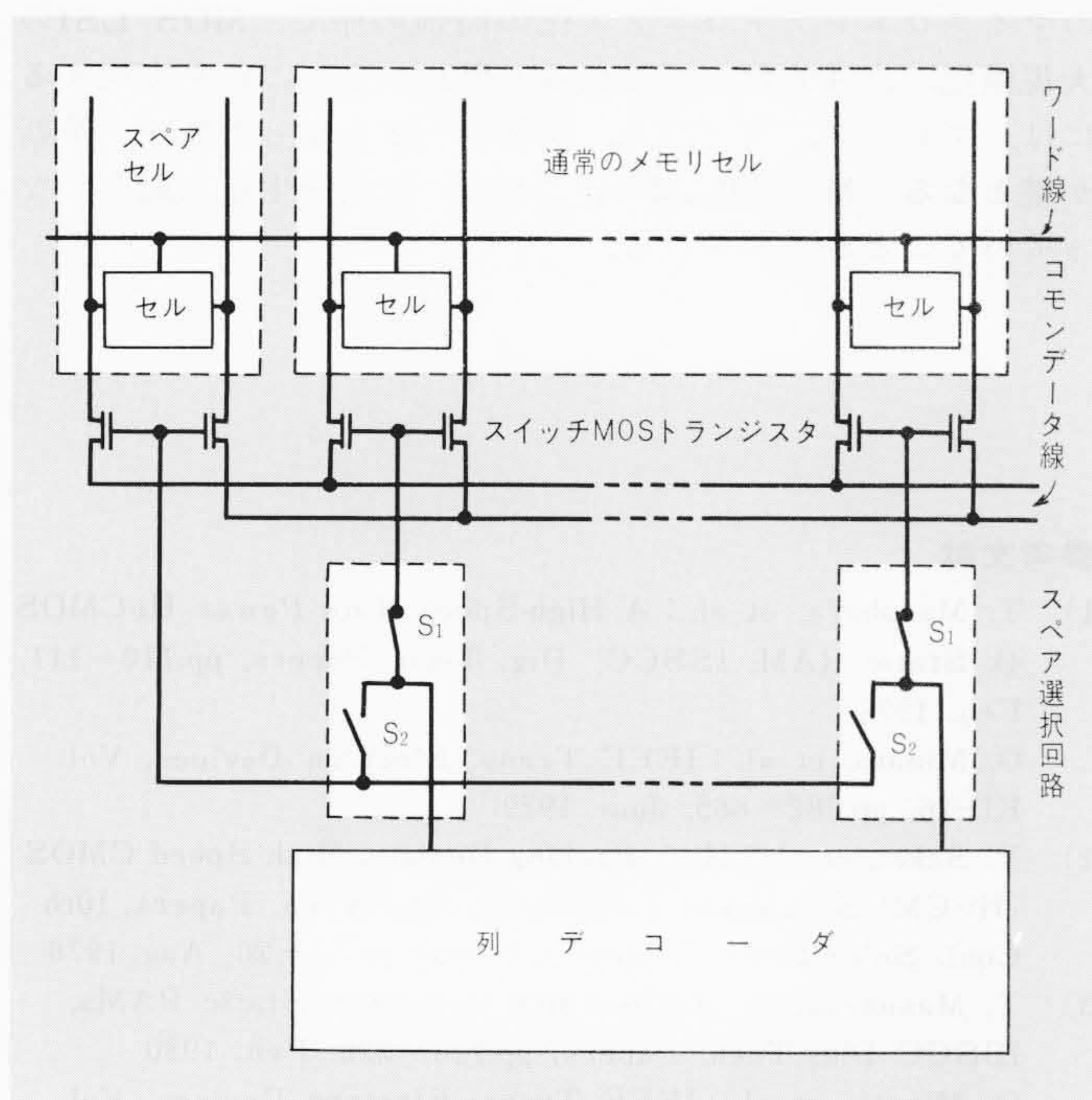


図11 冗長回路の構成図 メモリ回路のデータ線単位で、不良のセルをスペアセルに置き換える。

語×8ビットという本RAMの構成に適したものが必要である。また、欠陥セルと予備のセルを入れ換える際に用いるプログラム素子についても、Hi-CMOS II デバイスに適合するもので、信頼性の高いものでなければならない。

そこで本RAMでは、以下に述べる新しいプログラム技術を開発した。

図10に、高抵抗のポリシリコンにレーザを照射してその抵

抗値を変化させるプログラム素子を示す。両側の n^+ 層はリンを不純物として拡散した領域で二つの n^+ 層間の抵抗は $10^{10} \Omega$ と極めて高い。このような構造の素子に、上部からレーザビームを照射して十分にエネルギーを与えると、両側に形成した n^+ 層の不純物が拡散して、同図(b)に示すように高抵抗層が低抵抗層に変化する。同図の右に実験結果の一例を示すが、抵抗値が約 $2k \Omega$ となっている。すなわち、電氣的にオフ状態にあるものが、レーザの照射によってオン状態にプログラムされたことになる。この方法でプログラムする素子を日立製作所では「レーザ拡散形プログラム素子」と名づけた。

このように、本素子は内部の不純物拡散を利用しているため、従来から提案されている電気⁶⁾やレーザ⁷⁾によってポリシリコンを切断する方法と比較すると、外形の変化がなく、パッシベーション膜になんら損傷を与えることがない。また、回路の占有面積が小さくなる、など冗長回路を構成する上でも大きな利点をもっている。

図11に、メモリ回路のデータ線単位で不良のセルをスペアのセルに置き換えるための冗長回路の構成図を示す。通常の列デコーダとスイッチMOSトランジスタの間に、置き換えに必要なスペア選択回路が配置してある。このスペア選択回路は、レーザ拡散形プログラム素子とMOSトランジスタで構成されている。通常状態では、選択回路のスイッチ S_1 が閉じており、列デコーダの出力信号はそのままスイッチMOSトランジスタに伝達され、所定のセル列を選択する。通常のセル内に不良のセルがある場合には、このセルの列に接続された選択回路のプログラム素子に、レーザを照射して低抵抗化しプログラムする。このようにすると、スイッチ S_1 は開けられスイッチ S_2 が閉じられるため、不良のセルを選択した列デコーダの出力は、スペアセル列のスイッチMOSトランジスタに伝達され、スペアセルを選択する。すなわち、不良のセルとスペアセルが置き換わったことになる。

5 RAMの性能

表2に、64kビットCMOSスタティックRAM、HM6264の特性を、16kビット品HM6116と比較して示した。標準アクセス時間65ns、標準動作時消費電力200mWの値が得られている。これらの値は、ほぼ16kビット品と同等である。また、待機時消費電力は標準条件で10μWと少なく、バッテリーバックアップが十分可能な値となっている。

パッケージは、現状の64kビットEPROM(Erasable Programmable Read Only Memory)形の28ピン世界標準タイプを用いており、ピン機能も図12に示すように、16kビット品の機能を含み、更に他の機能も付加している。このことから、従来、16kビット品で構成したマイクロコンピュータや端末機器などのメモリシステムのメモリ容量拡大が、本RAMを用いて容易に達成できる。なお、ピンの中でCS1はパワーダウン機能を持ち、CS2はバッテリーバックアップ機能をもっている。

ここで、本RAMを使用する上で施した対策について述べる。

表2 64kビットCMOSスタティックRAM(HM6264)の特性 特性上は、16kビット品と同等である。従来、16kビット品で構成したメモリシステムのメモリ容量拡大が、本RAMを用いて容易に達成できる。

使用技術	Hi-CMOS	Hi-CMOS II
メモリ容量	16kビット	64kビット
ワードビット構成	2k語×8ビット	8k語×8ビット
アクセス時間(標準)	74ns	65ns
動作時消費電力(標準)	175mW	200mW
待機時消費電力1(標準)	20mW (CS=V _{IH})	20mW (CS1=V _{IH} 又は CS2=V _{IL})
待機時消費電力2(標準)	5μW (V _{IN} ≤0.2V又は V _{IN} ≥V _{cc} -0.2V)	10μW (CS2≤0.2V)
パッケージ	24ピン	28ピン

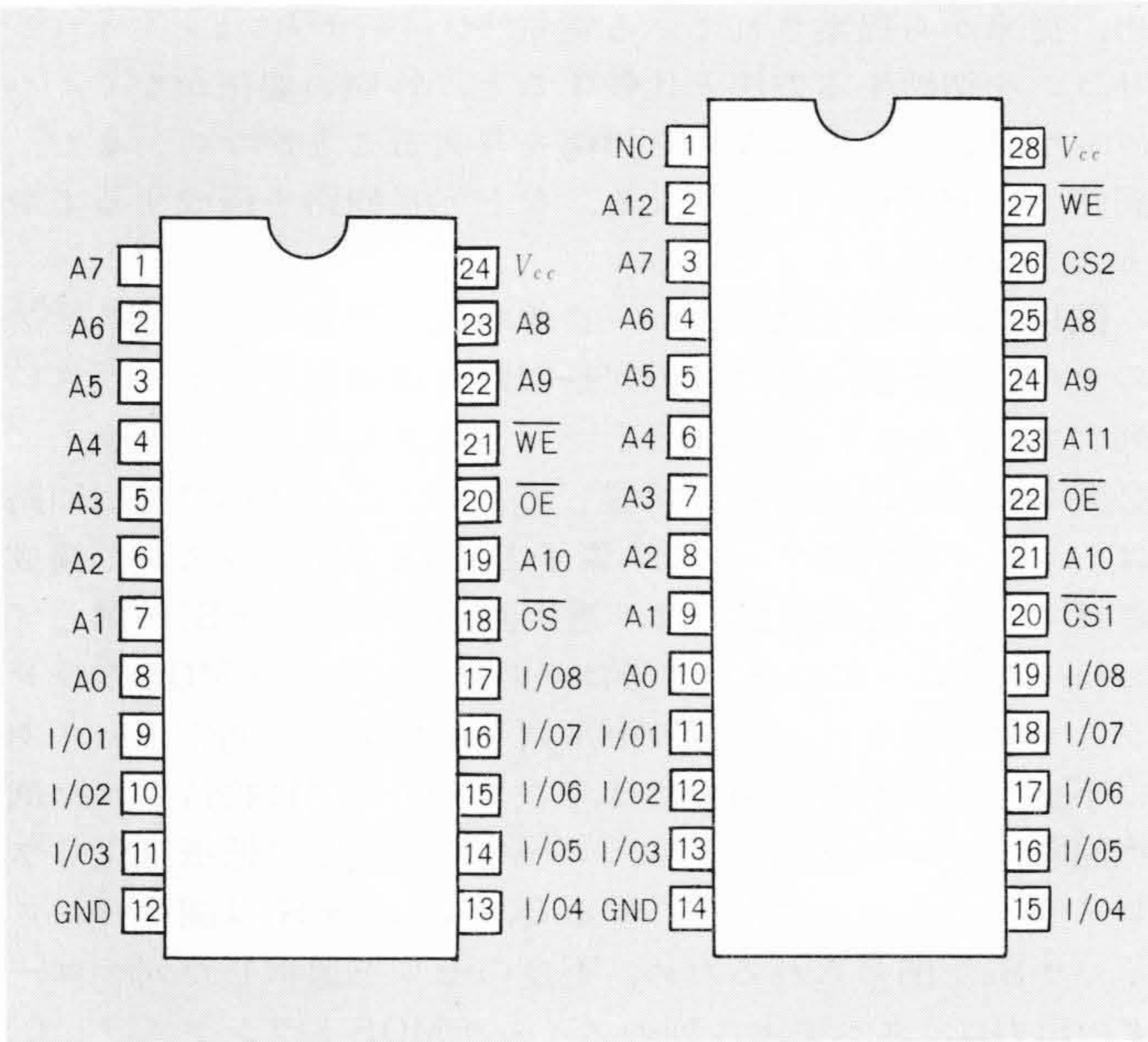


図12 HM6264のピン配置 ピン機能は16kビット品と同様である。64kビットEPROMとピン互換性がある。

CMOS特有の問題に、ラッチアップ現象がある。これはCMOS構造がpnnpn形の寄生素子、いわゆるサイリスタ構造を内部にもっていることによる。本RAMには、この問題について、デバイス構造を工夫することによって十分な対策を施してある。入力信号のオーバシュートやアンダシュートに対して、ラッチアップは生じない。また、静電気による高電圧パルスに対しても十分な耐圧がある。しかし、ラッチアップに対し更に安全策をとるには、メモリボードでV_{cc}と接地間にコンデンサを入れておくことが望ましい。コンデンサの容量としては、ボード入力部に10~数百μF、RAM近くに0.01~0.5μF程度が望ましい。このコンデンサはメモリの動作などによる電源雑音に対しても有効である。例えば、本RAMの消費電流は待機時にマイクロアンペア台であり、動作時には40mA程度の電流が流れる。したがって、待機→動作によって振動電流が流れるが、上記コンデンサによって十分に吸収、防止できる。

6 結 言

8k語×8ビット構成の64kビットCMOSスタティックRAM、HM6264を開発した。2μm加工と2層ポリシリコンの新プロセスによる高集積メモリセルと高速・低電力回路方式及び構成により、従来の16kビット品と同等の高速・低電力性能で、4倍のメモリ容量を実現した。

また、信頼性の高い冗長技術として、新たにレーザ拡散形プログラム素子と回路構成法を開発した。

今後とも、加工技術のいっそうの進歩と産業・民生用機器のマイクロエレクトロニクス化の時流の中で、MOS LSIの大規模化、高性能化が図られると思われる。これを実現するには、プロセス、デバイス、回路が一体となった技術の革新が鍵となる。MOS RAMは、これらの技術を生む原動力となっていくことが予想される。

参考文献

- 1) T. Masuhara, et al.: A High-Speed, Low-Power Hi-CMOS 4k Static RAM, ISSCC Dig. Tech. Papers, pp.110~111, Feb. 1978
O. Minato, et al.: IEEE Trans. Electron Devices, Vol. ED-26, pp.882~885, June 1979
- 2) Y. Sakai, et al.: High Packing Density, High Speed CMOS (Hi-CMOS) Device Technology, Dig. Tech. Papers, 10th Conf. Solid State Devices (Tokyo) pp.19~20, Aug. 1978
- 3) T. Masuhara, et al.: 2k×8bit Hi-CMOS Static RAMs, ISSCC Dig. Tech. Papers, pp.224~225, Feb. 1980
O. Minato, et al.: IEEE Trans. Electron Devices, Vol. ED-27, pp.1591~1595, Aug. 1980
- 4) T. Yasui, et al.: High-Speed Low-Power CMOS Static RAMs, Hitachi Review Vol. 29 (1980) No. 3. pp.109~114
- 5) O. Minato, et al.: A High Speed Hi-CMOS II 4k Static RAM, ISSCC Dig. Tech. Papers, pp.14~15, Feb. 1981
O. Minato, et al.: IEEE Trans. Solid State Circuits, Vol. SC-16, pp.449~453, Nov. 1981
- 6) V. G. McKenny: A 5V 64k EPROM Utilizing Redundant Circuitry, ISSCC Dig. Tech. Papers, pp.146~147, Feb. 1980
- 7) R. P. Cenker, et al.: A Fault-Tolerant 64k Dynamic RAM, ISSCC Dig. Tech. Papers, pp.150~151, Feb. 1979