

超高速バイポーラメモリ

Ultra-High-Speed Bipolar Random Access Memories

バイポーラメモリは、大形コンピュータなどでシステムの高性能化を図る上で重要な役割を果たしており、高速化、大容量化の要求が強い。この要求にこたえるため、最大アドレスアクセス時間10ns以下の世界的にみて最高速性能をもつ1kビットECL RAM及び4kビットECL RAMを開発した。

この性能は、最小パターン幅2 μ mで代表される半導体技術と高速回路技術を駆使して達成できた。更に、超高速化に伴い発生した α 線によるソフトエラー及びノイズマージンなどの複雑な問題をも克服し、高い信頼性と安定した特性が得られた。

荻上 勝己* *Katsumi Ogiue*
 稲 舘 昌 明** *Masaaki Inadachi*
 大脇征四郎*** *Seishirô Oowaki*

1 緒 言

近年のコンピュータは、仮想記憶方式及びバッファメモリ方式を採用して処理性能を高めており、バイポーラメモリは这其中で重要な役割を果たしている¹⁾。これはバイポーラメモリが高速で、かつ演算処理装置の論理素子と信号レベルが同一であるという特長を生かし、主にシステムの処理速度の向上に直接かかわりをもつバッファ記憶及びコントロールメモリなどに使用されているからである。このため、コンピュータの高性能化、大形化に伴い、バイポーラメモリに対する高速化、大容量化の要求も強くなっている。

以上のような背景を踏まえて、図1に示すように、より高速で、かつより大容量なバイポーラメモリの開発を推進してきた²⁾。今回開発した1kビットECL RAM(Emitter Coupled

Logic Random Access Memory) “HM10422-6” 及び4kビットECL RAM “HM2142-1” は、表1に示すように最大アドレスアクセス時間が10ns以下を達成し、世界的にみて最高速の性能を実現した。また、これらの製品に適用した技術をもとに、多様化するユーザーの要求にこたえるために、入出力レベル、ビット構成、パッケージなどの異なった製品の展開も図っている。

本論文では、これらの超高速バイポーラメモリが実現できた技術的背景と、性能的特徴及び今後の動向について述べる。

2 基盤半導体技術

高速、大容量でかつコストパフォーマンスの良いバイポーラメモリを開発していく上で、最重要な設計的課題は、チップ面積の約40～60%を占めるメモリセルアレイ面積の低減、すなわちセルサイズの縮小である。図2に、既の開発したバイポーラメモリのセルサイズの縮小推移を示す。

これは、図3に示す酸化膜アイソレーション方式の開発と以後の微細加工、浅い拡散技術、高密度多層配線技術などの

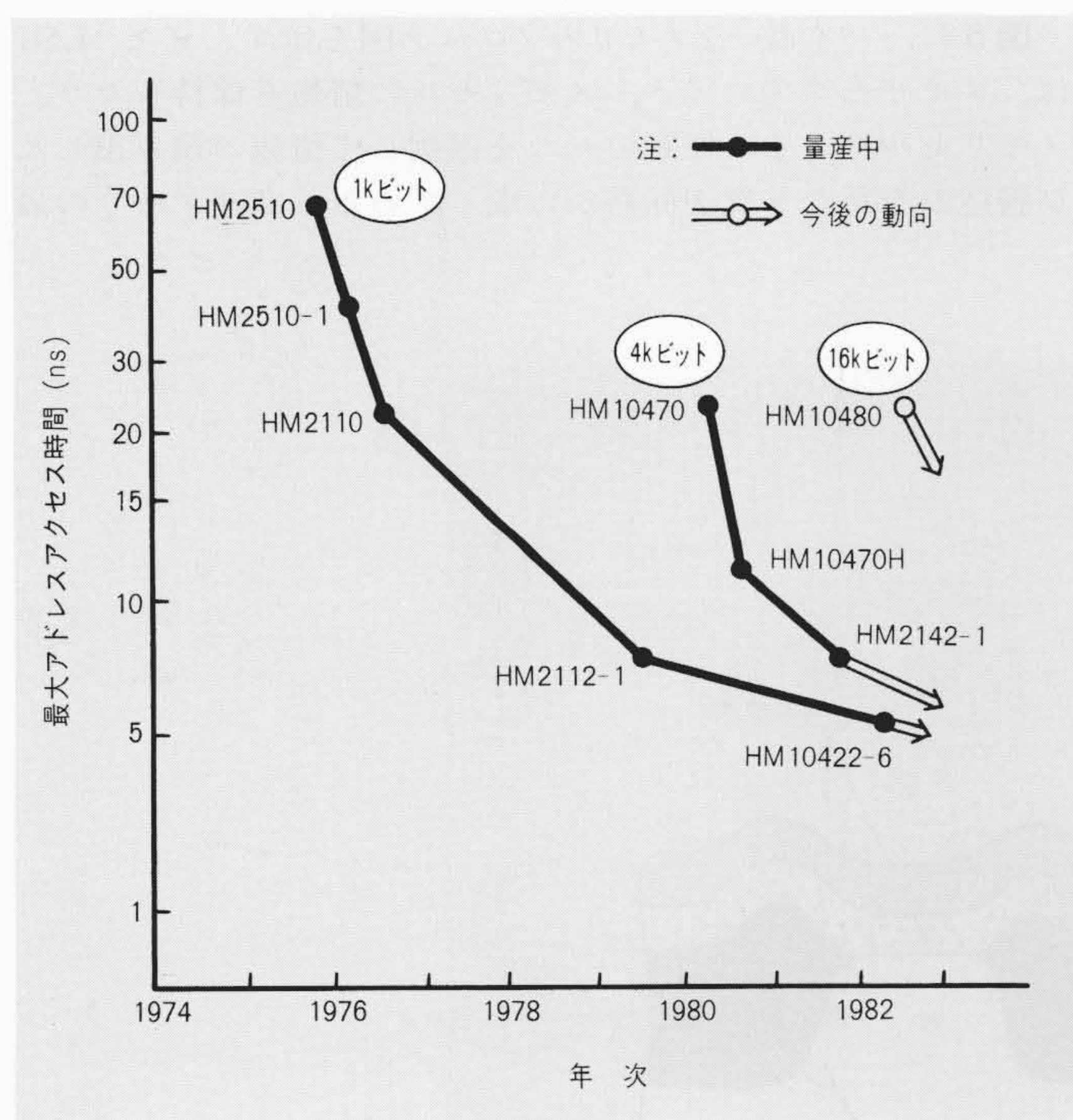


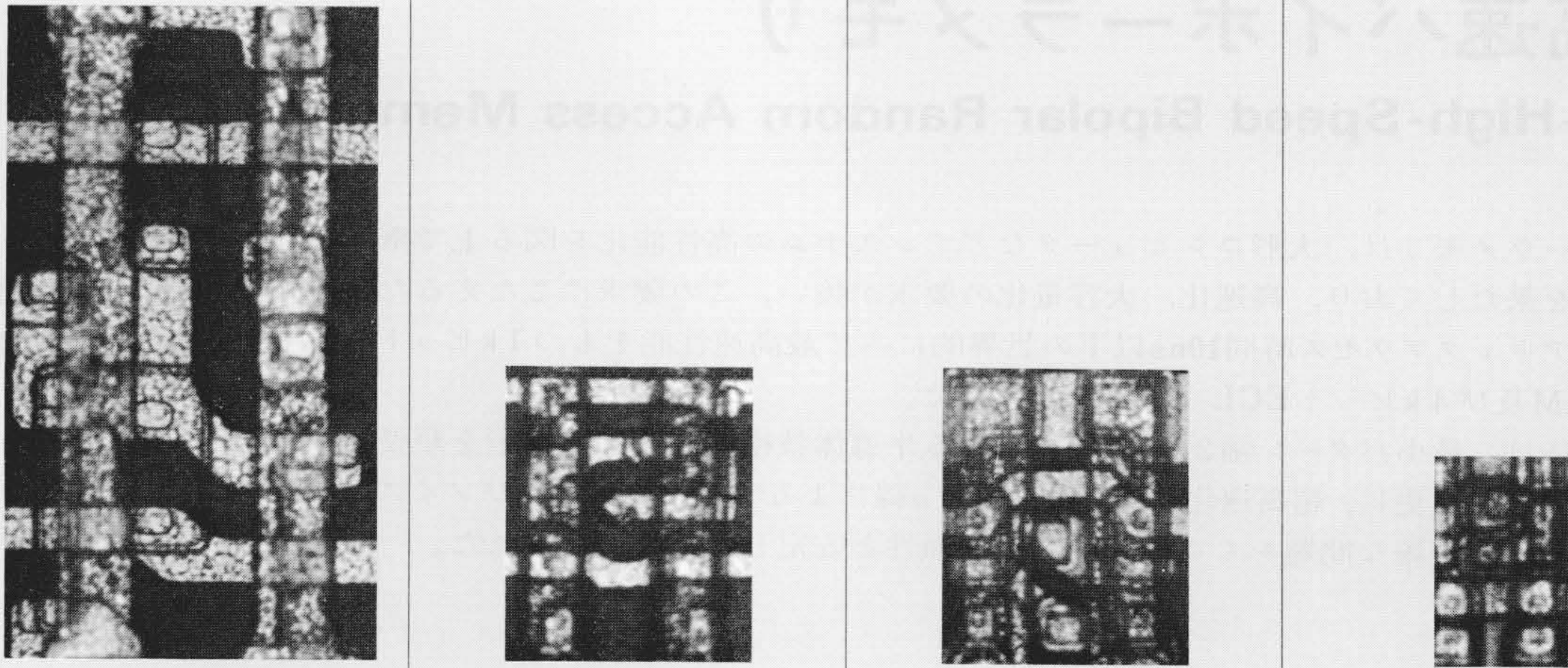
図1 日立バイポーラメモリの性能推移 1kビットメモリ“HM2112-1” “HM10422-6”及び4kビットメモリ“HM10470H” “HM2142-1”は、世界的にトップレベルの高速性能をもっている。

表1 超高速メモリの製品概要 既量産品のHM2112-1、HM10470Hと比較して示す。

区 分	1kビットECL RAM		4kビットECL RAM		単 位
品 種 名	HM10422-6	HM2112-1	HM2142-1	HM10470H	
ビット構成	256語× 4ビット	1,024語× 1ビット	4,096語× 1ビット	4,096語× 1ビット	—
入出力レベル	ECL-10k	ECL-10k	ECL-10k	ECL-10k	—
アドレス アクセス時間	6.0	8.0	8.0	13.0	ns MAX.
書込み パルス幅	4.0	6.0	6.0	15.0	ns MIN.
消費電力	1.0	0.9	1.0	1.2	W TYP.
パッケージ	DG-24ピン LCC-24ピン	DG-16ピン	DG-20ピン	DG-18ピン	—

注：略語説明 DG〔標準デュアルインパッケージ(Cerdipタイプ)〕
 LCC(リードレスチップキャリアパッケージ)
 ECL(Emitter Coupled Logic)

* 日立製作所デバイス開発センタ ** 日立製作所中央研究所 *** 日立製作所高崎工場

セル写真 (1ビット分)					
	年次	1974	1975～1976	1978～1979	1980～1981
	半導体技術レベル	7 μm	5 μm	3 μm	2 μm
	セルサイズ	77×133 μm^2	49.5×60.5 μm^2	49.5×58.5 μm^2	28.5×42 μm^2

注：半導体技術レベルは、最小加工パターン幅で示す。
図2 バイポーラメモリのセルサイズの推移 この図には酸化膜アイソレーション適用後、各々の技術レベルで製品化された最小のメモリセルを示した。半導体技術の進歩により、メモリセルの構成法も改良され、当初に比べ約1/10にセルが縮小されている。

半導体技術の進歩が背景となって達成されている。
また、バイポーラメモリに限らず、バイポーラ形LSIの高速化を図るには、図3に示したLSIを構成する基本トランジスタの各種接合容量 C_{TE} 、 C_{TC} 、 C_{TS} の低減、ベース抵抗 $r_{bb'}$ の低減及びトランジスタの遮断周波数 f_T の向上が基本的に必要である。この条件は、セルサイズの縮小と同時に、基本トランジスタの接合面積の低減、浅い接合の形成などによって満たされてきた。図4に、半導体技術の進歩と基本素子であるトランジスタ面積の縮小及び素子特性の改良推移の関係を示した。
今回開発したHM2142-1やHM10422-6に用いられている半

導体技術を表2に示す。最小パターン2 μm の微細加工技術、エミッタ接合深さ0.35 μm の高精度イオン打込みによる浅い接合形成技術、更にドライエッチングを用いた高密度多層配線技術など、最先端半導体技術を用いている。これらが、超高速バイポーラメモリを生み出している基盤技術である。

3 高速回路技術

図5に、バイポーラメモリのブロック図を示す。メモリLSIは、メモリセルアレイと、メモリセルの情報を保持したり、メモリセルアレイの任意の一つを選択して情報の読み出し及び書込みを行なう周辺回路から成っている。高速メモリの最

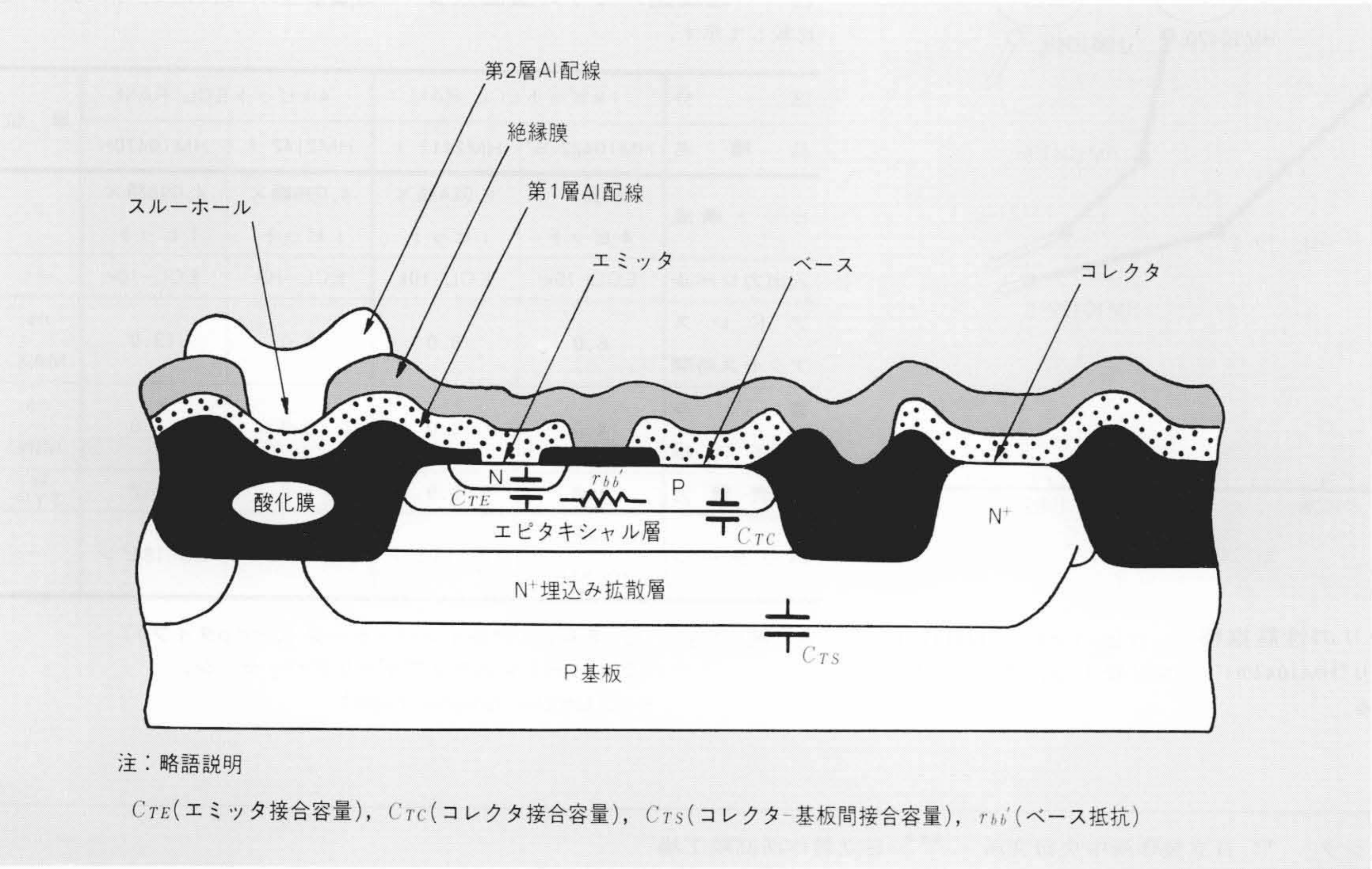


図3 酸化膜アイソレーション方式による基本トランジスタの断面図
酸化膜アイソレーション方式の開発と、それ以後の半導体技術の進歩が背景となって、超高速メモリが実現できた。

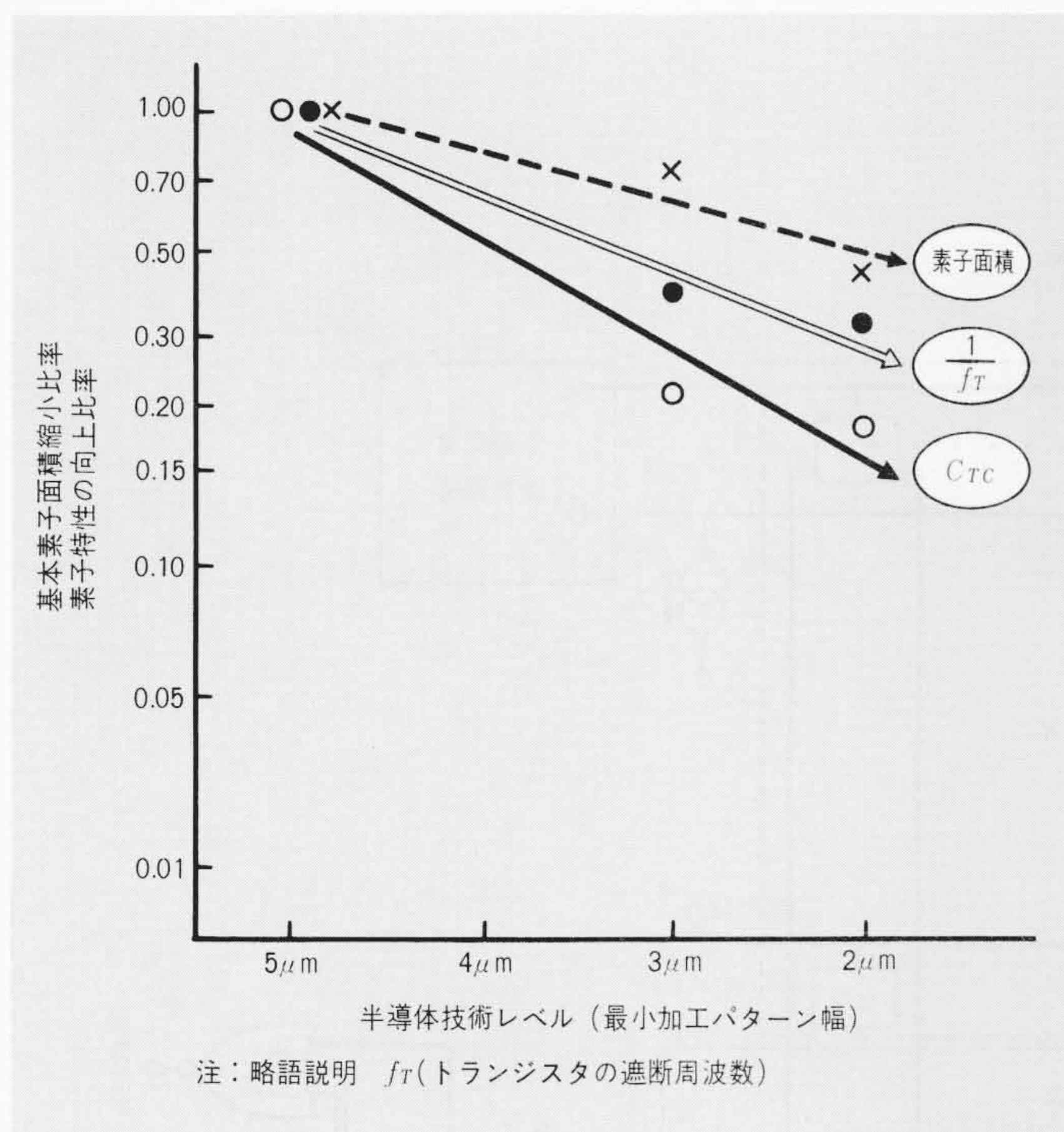


図4 半導体技術の進歩と素子面積の縮小及び素子特性の改良推移 最小パターン幅 $5\mu\text{m}$ の基本トランジスタの面積と素子特性を1として、 $3\mu\text{m}$ 、 $2\mu\text{m}$ での縮小及び向上の比率を示した。

表2 超高速バイポーラメモリに適用した半導体技術 最先端半導体技術が、超高速バイポーラメモリを生み出す基盤になっている。

技術区分	内容
微細加工技術	● プロジェクション露光方式による最小パターン幅 $2\mu\text{m}$ の加工
アイソレーション技術	● 加圧酸化方式による微細酸化膜アイソレーション
浅い拡散技術	● ヒ素のイオン注入による深さ $0.35\mu\text{m}$ のエミッタの形成
	● ボロンのイオン注入による深さ $0.60\mu\text{m}$ のベースの形成
高密度配線技術	● 高精度エピタキシャル生成、高濃度Sb埋込み拡散
	● Alドライエッチングによる $6\mu\text{m}$ Al I 配線ピッチ加工
	● 絶縁膜ドライエッチングによる微細スルーホール形成

も重要な特性である最大アドレスアクセス時間(最悪の使用条件で、任意に選択されたメモリセルから情報を読み出すために要する時間)は、同図中の黒い矢印で示す信号経路の遅延時間によって決定される。

一方、各回路ブロックは、現在実用レベルで最高動作速度をもつECL回路で構成している。ECLの基本回路を図6に示す。この回路方式は、構成素子の特性定数と回路信号振幅が決まると、カレントスイッチ電流 I_{cs} を増加することによって、伝搬遅延時間を短くすることができる。したがって、高速メモリを実現するには、メモリLSIの許容消費電力内で、アドレスアクセス時間を決める信号経路の回路ブロックに、電流(電力)を多く配分してやらなければならない。更に、各回路の信号振幅を動作マージンが十分確保できる範囲内で小さくしてやることも必要である。図7に、以上の観点から構成した超高速メモリの回路の概要を示した。主な高速化回路の内容は、下記のとおりである。

3.1 メモリセル

メモリセルには、情報を記憶し保持するために保持電流 I_{st} が常時流れている。この I_{st} は高速化には無関係で、安定な情

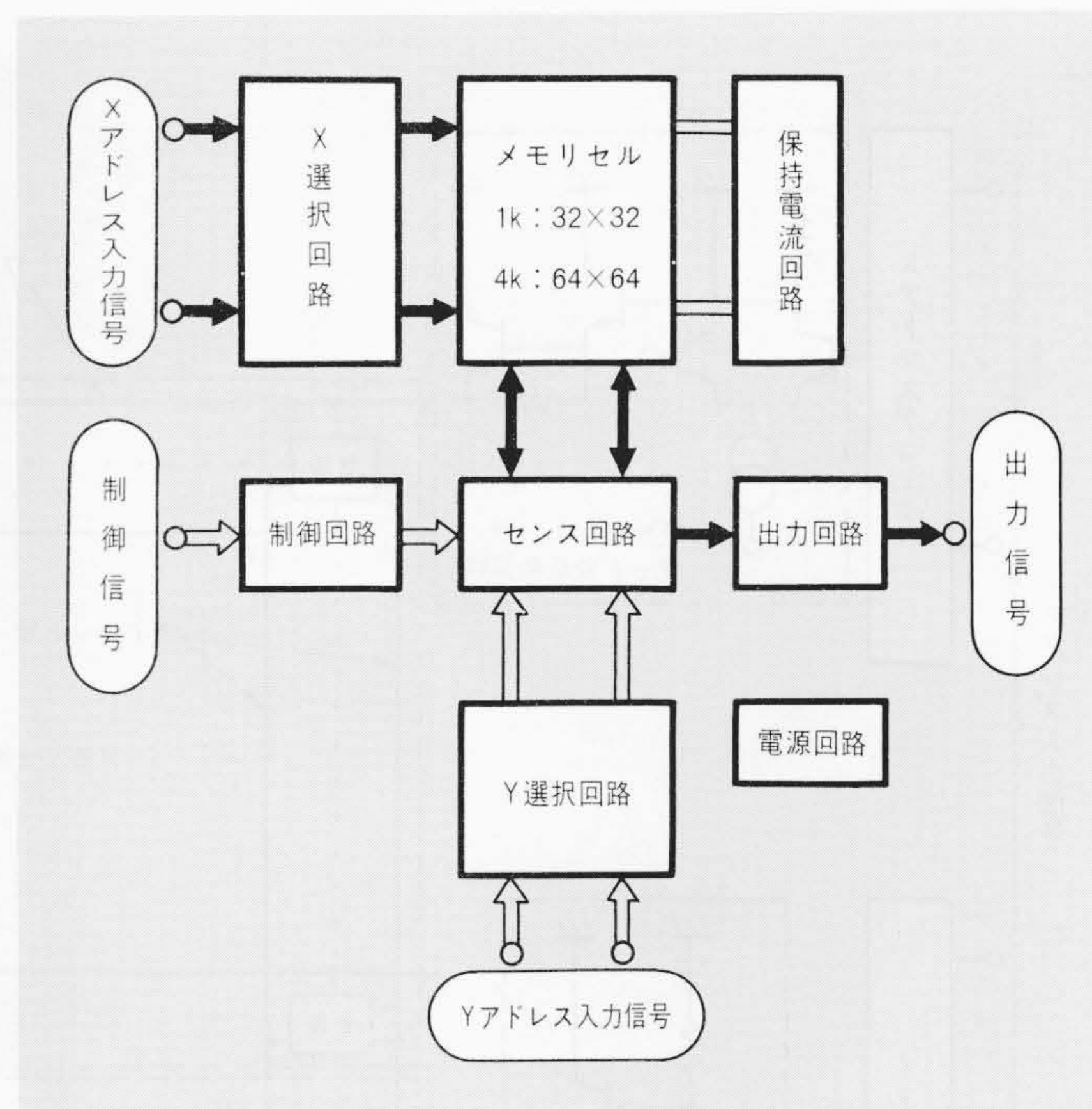
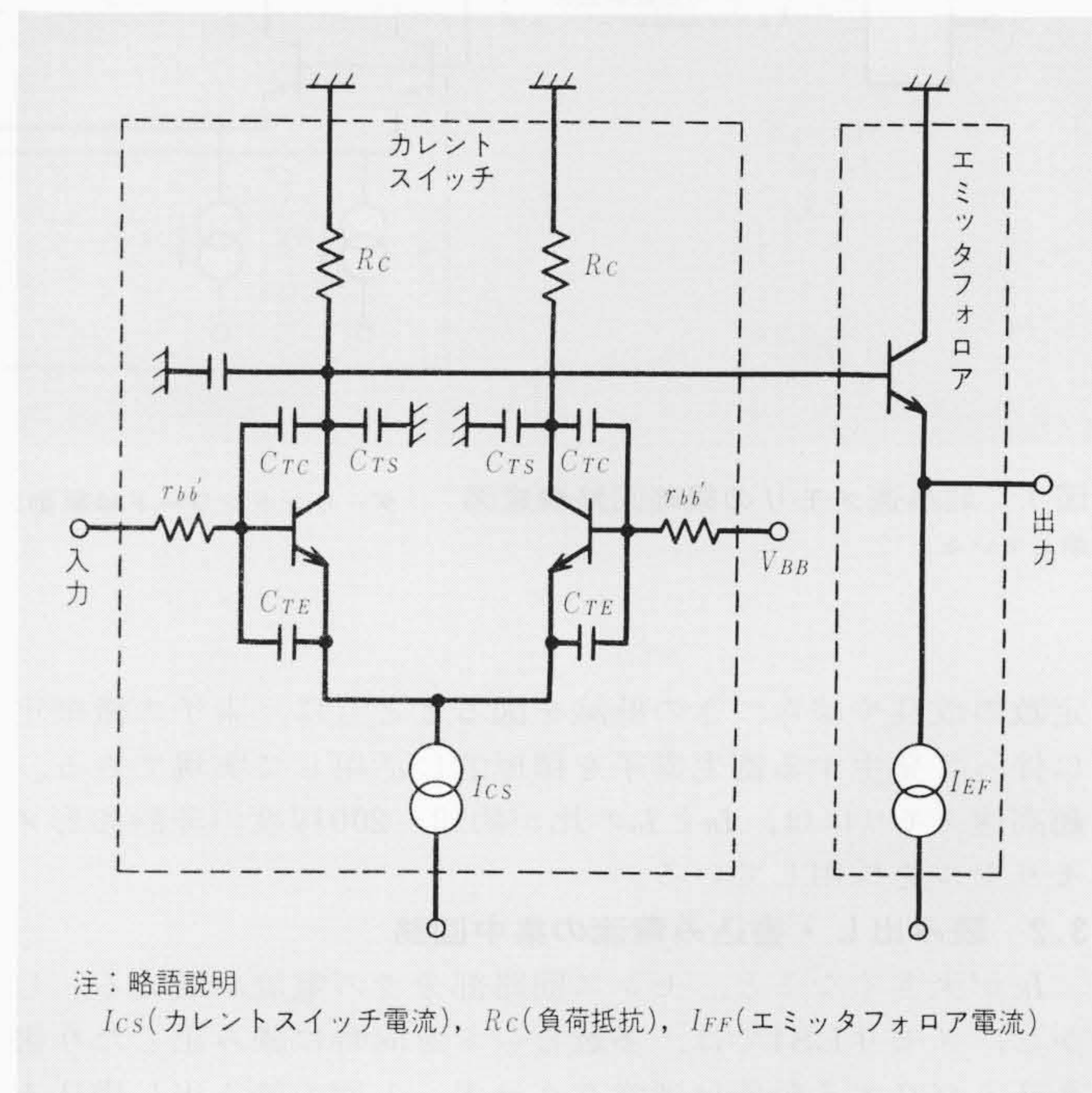


図5 バイポーラメモリのブロック図 黒の矢印で示す信号経路が、最大アドレスアクセス時間を決定する。この経路の回路ブロックを、高速化することが必要である。



注：略語説明 I_{cs} (カレントスイッチ電流), R_c (負荷抵抗), I_{EF} (エミッタフォロア電流)

図6 基本ECL回路 メモリLSIの各回路ブロックは、ECL回路で構成されている。この回路の伝搬遅延時間 t_{pd} は、 $t_{pd} \approx \frac{A}{I_{cs}} + B$ で表わされる。A、Bは素子の特性定数や信号振幅によって決まる定数である。

報保持特性が得られる範囲で小さくすることが低消費電力化のために必要である。一方、メモリセルは選択されたときにだけ、そのセルの情報を読み出したり、書き込んだりするのための読み出し・書き込み電流 I_R が流れる。セルの応答を高速化するには、この I_R を大きくし、かつ信号振幅を小さくすることが高速バイポーラメモリのセル設計の基本である。

このような特性をもつセルは、セルを構成する素子の特性

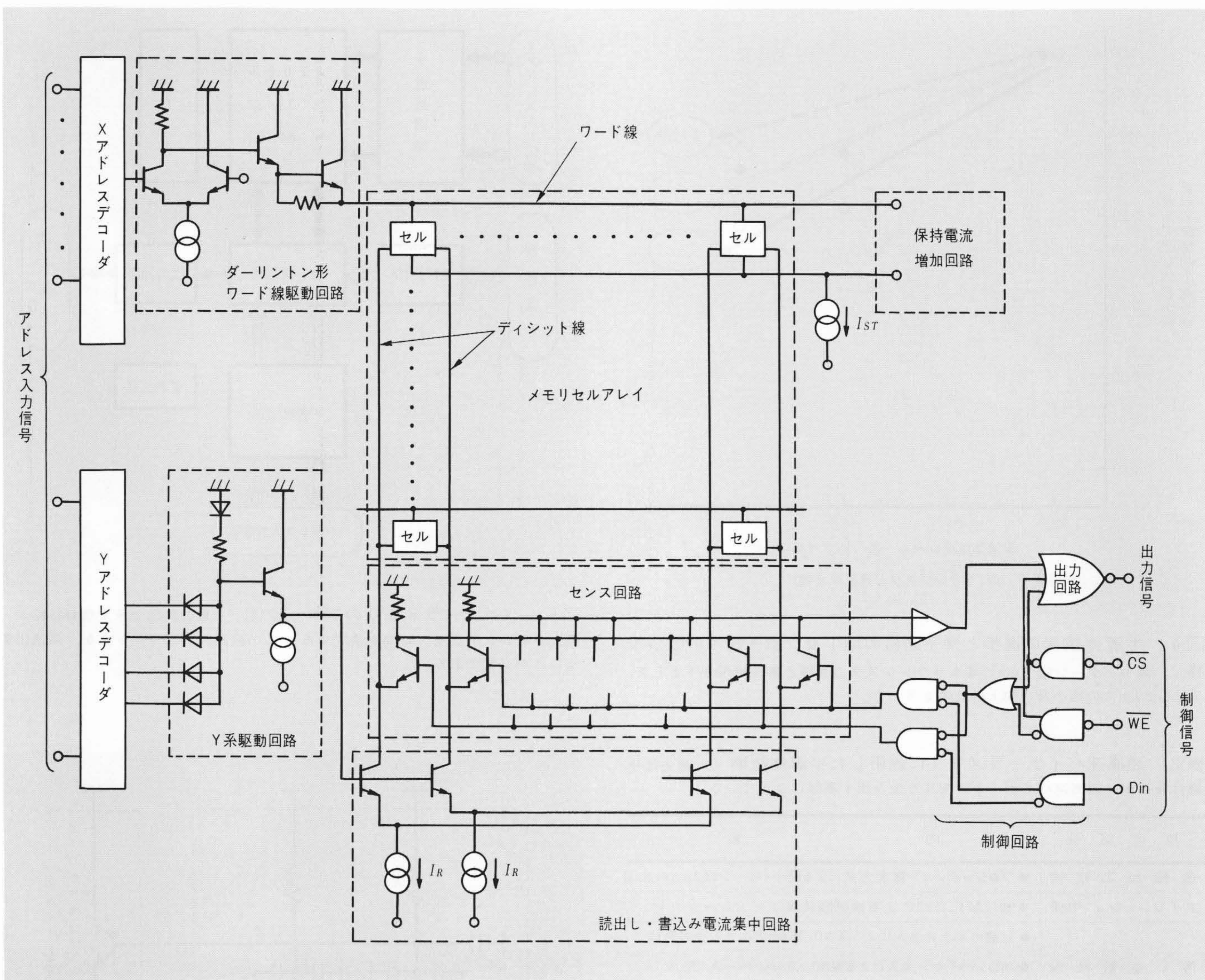


図7 超高速メモリの概略回路構成図 ダーリントンワード線駆動回路読み出し・書き込み電流集中回路や、保持電流増加回路などの高速化回路技術を採用している。

定数の改良やばらつきの低減を図るとともに、素子の微細化に伴って発生する寄生素子を積極的に活用して実現できる。超高速メモリには、 I_R と I_{st} の比が約10～200程度の非飽和形メモリセルを採用している。

3.2 読み出し・書き込み電流の集中回路

I_R が大きくなると、センス回路部分での電流が増える。しかし、メモリLSIでは、多数ビットを同時に読み出したり書き込んだりする動作は通常存在せず、1回の読み出し書き込みで動作するメモリセルは一つである。したがって、入力信号に同期させて選択されたメモリセルに接続するセンス回路だけに電流を供給する電流切換スイッチ回路を設ければ、 I_R を大きくしてもLSI全体から見ると無視できる程度に低減できる。超高速メモリでは、この電流切換回路を実用化し、読み出し・書き込み電流の集中化を図っている。

3.3 ワード線の高速充放電回路

メモリLSIが大容量化すると、ワード線につながるメモリセルの数が増え、かつワード線も長くなる。このため、ワード線駆動回路の負荷容量が大きくなる。この大きな負荷容量を高速に充電するには、ワード線駆動回路の出力トランジスタに大きな過渡電流を流す能力をもたせてやる必要がある。

ある。このために、上記読み出し・書き込み電流の集中化で低減した電流をワード線駆動回路に多く配分したり、ダーリントン駆動回路を採用した。

また、アクセス時間を短縮するには、ワード線を高速に放電してやらなければならない。この方法として、選択されたワード線につながるメモリセルの保持電流を過渡的に増加させ、負荷に蓄積された電荷を強制的に引き抜く、保持電流増加回路を採用して高速化を図っている。

4 性能とその特徴

今回開発したバイポーラメモリは、先の表1に示したように、アドレスアクセス時間が速いことのほか、信頼性及び電気的特性について十分配慮して開発している。以下にその主要内容について述べる。

4.1 α 線によって生ずるソフトエラー対策

高速化に伴って回路の信号電荷量が減り、バイポーラメモリでも、パッケージ中に含まれる微量のウランやトリウムなどから放射される α 線によって、メモリの情報が間欠的に情報破壊を引き起こすソフトエラーが無視できなくなっている。この問題に対し、日立製作所は1975年に既に検討を開始し、

次のような対策を行なった。

- (1) メモリセルの蓄積電荷量を増加する。
- (2) メモリチップ上に、PIQ® (Polymide Isoindda Quinazolinone) 保護膜を50 μ m程度コーティングする。
- (3) α 線放射量の少ないパッケージを使用する。

このような対策の結果、フィールド稼動実績で30FIT(1 FITとは、 10^9 コンポーネントアワーに1回の不良率をいう。)以下にあることが確認できている。

一方、パッケージ材料中の微量なウラン、トリウムなどを定量的に分析する技術、及び放射線計測などの基礎技術の確立を図り、更にはコーティング保護膜材料の改善、計算機によるソフトエラーのシミュレーションなどを行ない、より信頼性の高い超高速バイポーラメモリの実現に努力を続けている。

4.2 高速動作時の信号対ノイズ比の向上

高速バイポーラメモリでは、通常、入出力レベルはECLレベルに設計されており、出力のエミッタフォロアトランジスタに流れる電流が、約22mA(出力“High”の場合)から6mA(出力“Low”の場合)に切り換わる動作を伴っている。この電流切換えが高速で行なわれると、図8に示すように、主にパッケージのリードインダクタンスの影響を受け、メモリLSIの基準電圧となる V_{cc} 電位にノイズが乗り、ECL回路のカレントスイッチの基準電圧 V_{BB} も、このノイズに同期して変動する。このノイズは、高速化が進むにつれ無視できなくなってきており、特に入力カレントスイッチの V_{BB} が変動すると信号対ノイズ比を著しく悪化させる。また、高速のために、メモリセルをはじめとした内部回路の信号振幅も小さくなっており、メモリLSIの動作マージンを減少させる。このノイズ対策として、下記を実施した。

- (1) 出力エミッタフォロアの V_{cc} と、他の内部回路の V_{cc} をチップ内で分離した。
- (2) 4kビット、8nsの超高速メモリでは、上記 V_{cc} の分離を

パッケージで行ない、DG-20ピンパッケージを採用した。

- (3) ノイズの影響を詳しく分析し、各々のケースに応じた回路設計上の配慮をきめ細かく行なった。

なお、この問題は、パッケージの種類によって当然のことながら大きな影響を受ける。一方、超高速バイポーラメモリは、システムの心臓部に位置しているため、ユーザーの実装方式に合致したパッケージが要求される。したがって、デュアルインライン形のパッケージだけでなく、リードレスチップキャリアやフラットパッケージによる製品化も進めている。

4.3 超高速メモリの使用条件

高速メモリの電氣的特性及び性能の仕様は、電源、温度、負荷などに対してユーザーが使用する最悪条件を想定し定義してきた。この条件による性能の悪化が無視できなくなってきている。

図9、10に、1kビットECL RAM “HM10422-6” のアドレスアクセス時間の負荷容量と温度に対する特性変化を示した。このHM10422-6の最大アドレスアクセス時間の仕様は6nsであるが、ユーザーでの負荷、温度などの条件によっては、より高速な動作が可能である。超高速メモリの性能を有効に生かして使用するために、今後、このような特性変化を十分配慮したシステム設計や、仕様の取決めが重要になってくると思われる。

5 今後の動向

今まで述べてきたように、バイポーラメモリは、1kビットや4kビットのECL RAMで最大アドレスアクセス時間が10ns以下の超高速性能を得るに至った。今後、この技術は半導体技術の進歩とともに、多くの困難な課題を克服し、いっそうの高速化、更には16kビットへの大容量化に向かって発展していくと思われる。これらは、システムの性能を向上するためにますます不可欠となり、その実装方式や使用条件などに合

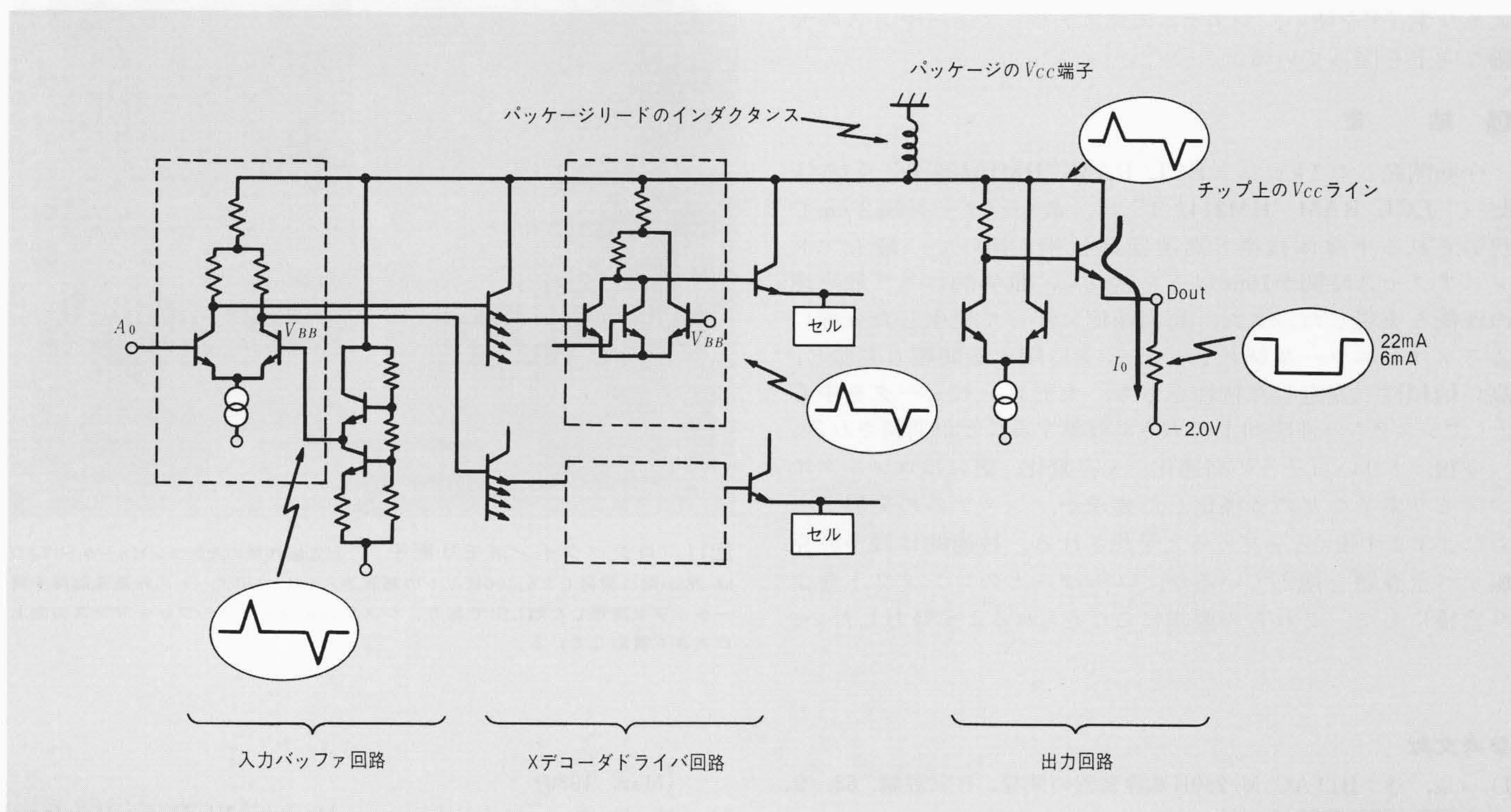


図8 高速動作時におけるノイズの発生 出力電流(I_o)が22mA(High)から6mA(Low)高速に切り換わる時、パッケージリードのインダクタンスにより、チップの V_{cc} ラインに電流切換えノイズが乗り、信号対ノイズ比や動作マージンを悪化させる。

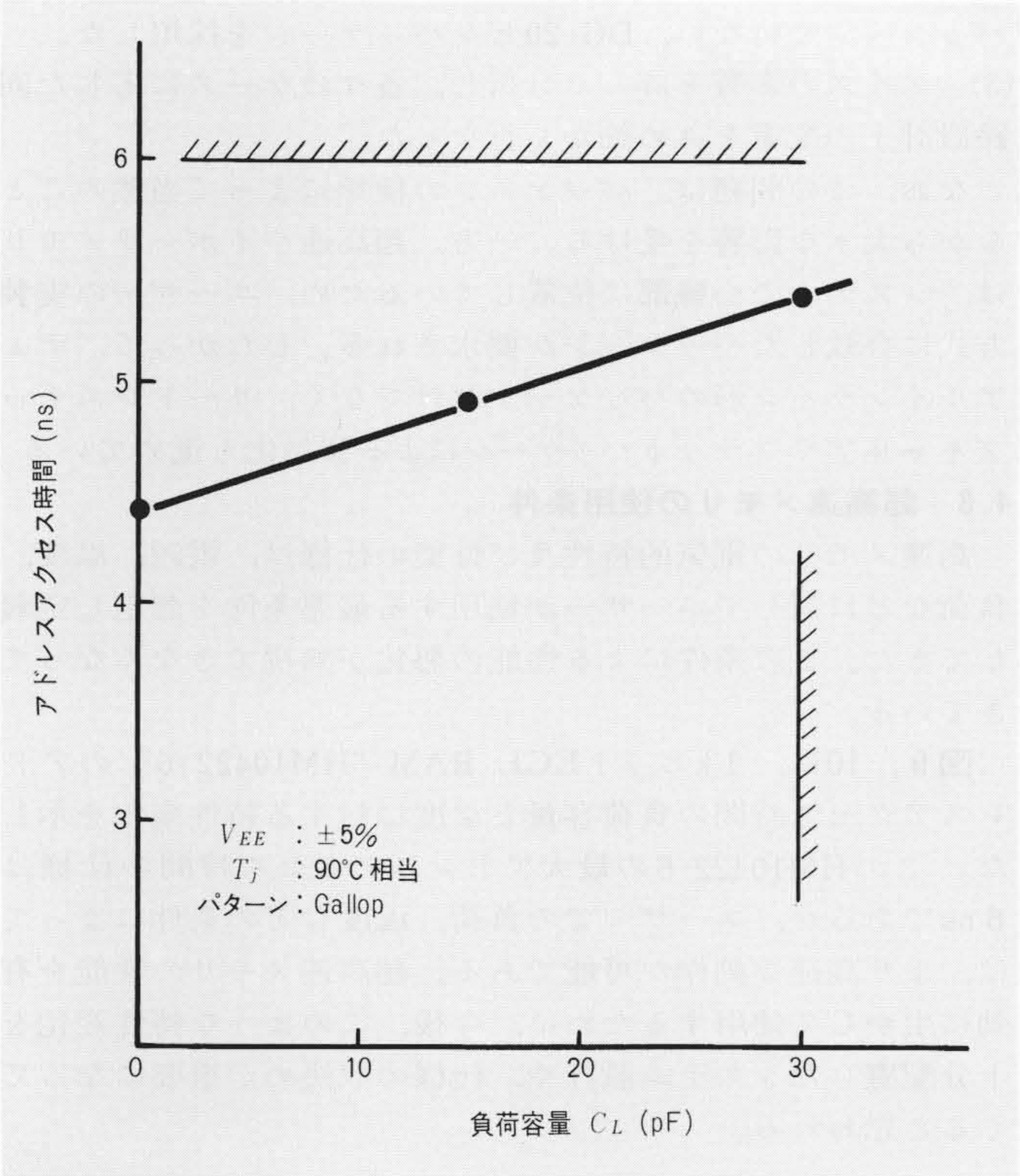


図9 アドレスアクセス時間の負荷容量依存性(HMI0422-6の例)
負荷容量が15pF以下では、5 nsで動作が可能である。

った最適設計がいっそう必要になると思われる。この一例として、論理部分を積極的に超高速バイポーラメモリと同一チップに混在させ、システムとしての高速性、高密度性をねらう動きがある。日立製作所の大形コンピュータHITAC M-200H, HITAC M-280Hなどでは、アドレス変換バッファ及びバッファアドレスアレイに図11に示したようなロジックインメモリ素子³⁾を使い、システムのコストパフォーマンスの大幅な向上を図っている。

6 結 言

今回開発した1kビットECL RAM “HM10422-6”及び4kビットECL RAM “HM2142-1”は、最小パターン幅2 μmで代表される半導体技術と高速回路技術を用いて、最大アドレスアクセス時間が10ns以下を達成し、世界的にみて最高速の性能を実現した。また、超高速化に伴って発生したα線によるソフトエラー及びノイズマージンに関する問題も克服し、高い信頼性と安定した特性をもち、大形コンピュータを中心としてシステムの性能向上に大きく貢献することが期待される。

今後、よりいっそうの高速化、大容量化、更にはロジックインメモリ素子などの多様化した要求が、システムの発展とともにますます強くなってくると予想される。技術的に幾多の克服すべき課題を抱えているが、ユーザーとのコンタクトをより密接にして、これらの要求にこたえられるよう努力したい。

参考文献

- 1) 泉, 外: HITAC M-280H処理装置の開発, 日立評論, **63**, 9, 627~632(昭56-9)
- 2) K. Ogiue, et al.: High-Speed Bipolar Random Access Memory Series, Hitachi Review, **29**, 3, 115~118

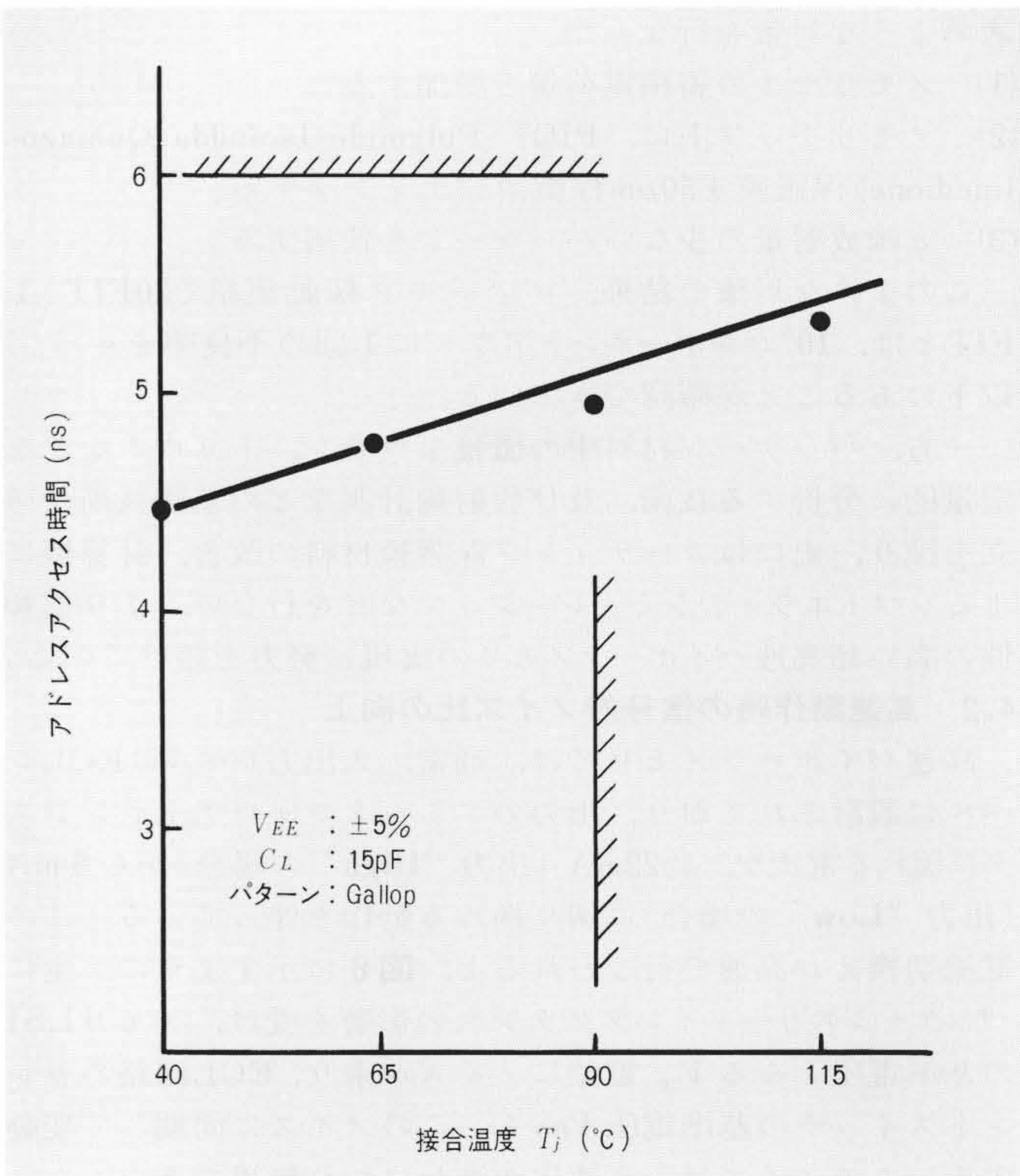


図10 アドレスアクセス時間の接合温度依存性(HMI0422-6の例)
超高速メモリでは、使用条件の性能に対す依存性が無視できなくなっている。

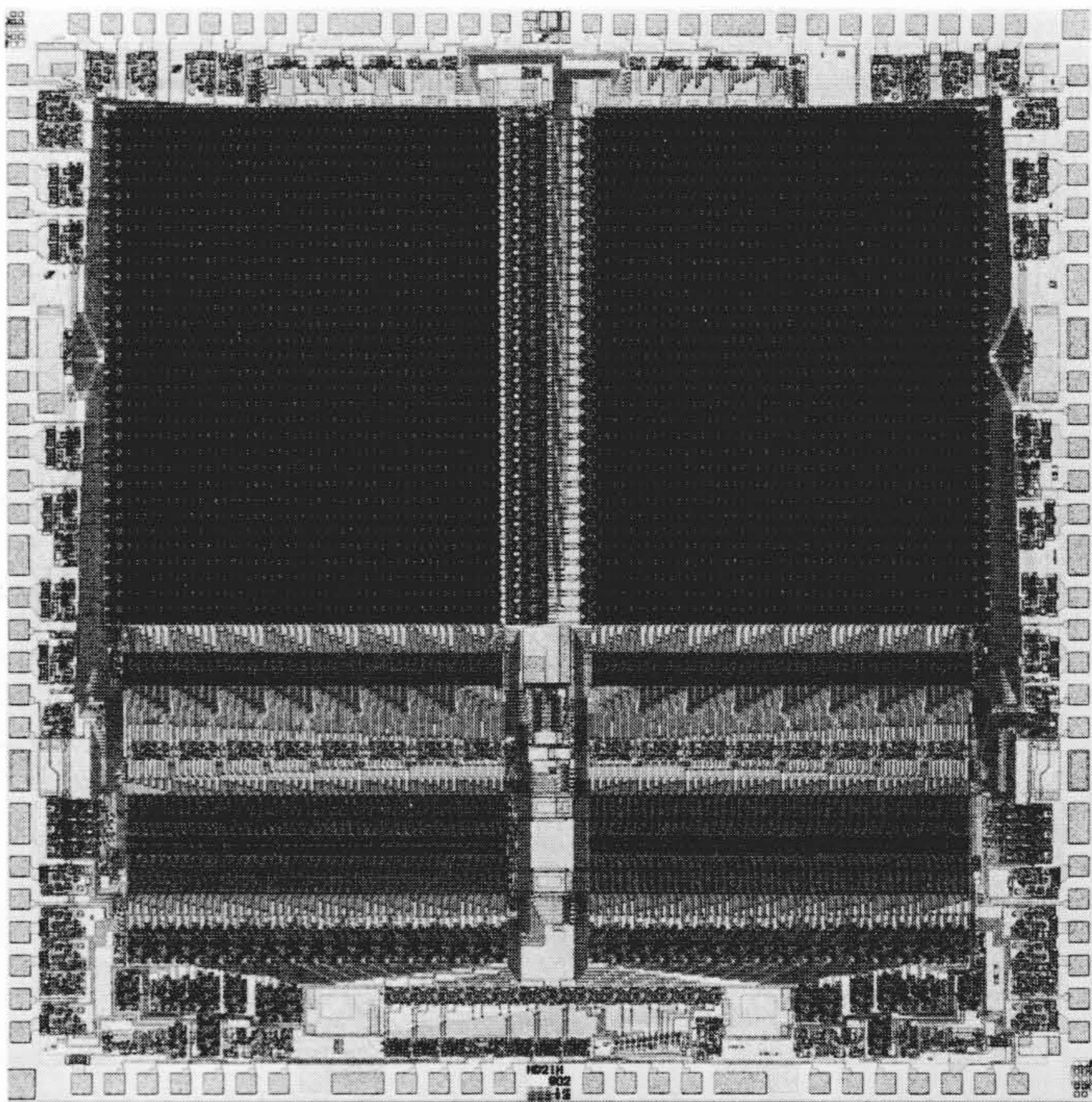


図11 ロジックインメモリ素子 日立製作所の大形コンピュータ HITAC M-280H用に開発した6,196ビットの超高速メモリと770ゲートの超高速論理を同一チップで実現した超LSIであり、システムのコストパフォーマンスの向上に大きく貢献している。

- (Mar. 1980)
- 3) M. Odaka, et al.: Logic-in-Memory VLSI for Mainframe Computers, 1982 ISSCC Digest of Tech. Papers, 180~181(Feb. 1982)