

# LSI開発における設計自動化

## Design Automation for LSI Development

近年、LSIの開発業務は量的に急激に増大するとともに、質的にも高度なものが要求されている。特にLSI設計工程では、高性能化や設計品質の向上を図り、かつ多品種のLSIを短期間に設計するため、コンピュータによる設計の自動化が不可欠となっている。

設計自動化システムは、デバイス設計に始まり製造・検査用の各種データ作成まで幅広い分野をカバーしている。本稿ではLSIの設計工程での主な設計自動化システムの構成と機能について述べる。

現在、これらのシステムを使用して種々のLSIを設計しており、製品の高性能化と高信頼度化を達成するとともに、開発期間の短縮及び最新半導体技術の早期適用を実現している。

|          |                  |
|----------|------------------|
| 池本康博*    | Yasuhiro Ikemoto |
| 岡 佑一*    | Yūichi Oka       |
| 福田秀樹**   | Hideki Fukuda    |
| 土屋洋次***  | Yōji Tsuchiya    |
| 小澤時典**** | Tokinori Kozawa  |

### 1 緒 言

半導体製造技術の進歩に伴ってLSIの集積度が急激に増加しており、LSIの設計量は既に人手による処理限界を越えている。また、LSIは製造後に設計不良を発見しても容易に修正できないので、高品質な設計が要求される。更に近年の微細化技術の向上に伴い、より高精度な設計が要求されつつある。

大規模化・微細化しているLSIを、短期間に、しかも設計品質を保証して開発するには、コンピュータを利用した設計技術、いわゆるCAD(Computer Aided Design)若しくはよりいっそう自動化を進めたDA(Design Automation)が必要不可欠である。もともとCADとDAは異なる概念であるが、最近では同一の技術として議論される場合が多いので、本稿ではDAに統一する。

以下、日立製作所でのLSI開発の概要、並びに開発に用いているDAシステムの構成、自動化の範囲及びその概要について述べる。

### 2 LSI開発の流れと自動化

LSIの基本的な開発手順は、図1に示すとおりである。

まず、製品の仕様が決定される。次にその仕様を満足するようなLSI方式及び機能の設計が行なわれる。この工程を方式設計と呼ぶ。仕様決定と方式設計は設計者の創造性に負うところが多く、主として人手で行なわれる。方式設計が終わるとLSI素子の構造を決定するデバイス設計、回路方式と回路定数を決定する回路設計、また具体的な論理回路図を作成する論理設計へと進む。その後、LSI内部の素子の配置と素子間の配線を決める実装設計(レイアウト設計ともいう。)、設計された図形データを処理するアートワーク及び設計規則とのチェックを経て、製造・検査用データ作成を行ない設計を完了する。デバイス設計以降の各工程では、DA技術が有効に使用されている。

図2に各設計工程に用意されているDAシステムを示す。これらのシステムは、設計するLSIの種類に応じて全体又は一部が使用される。また、本システムでは、設計者の使いやすさを重視して、TSS(タイムシェアリングシステム)やグラフィックシステムを駆使している。

### 3 回路設計及び論理設計

素子の微細化、高集積化に伴って情報量が増えると、設計誤りが多く発生する。回路及び論理設計では、コンピュータによるシミュレーション手法を活用して設計検証を行なうことにより、この問題を解決している。

#### 3.1 デバイス設計と回路設計

図3に設計の流れを示す。デバイス設計では、デバイスシミュレーション<sup>1)</sup>により半導体内部の動作を解析する。すなわち、デバイスの構造や不純物分布などをコンピュータへ入力し、ポアソン方程式と電流連続の方程式を解くことによって、物理現象、電気的特性をシミュレーションしている。

回路設計では、回路シミュレーションやレイアウトパターン解析<sup>2)</sup>が行なわれる。回路シミュレーションでは、人手による設計結果を入力して模擬的に回路を動作させることにより回路の性能を評価し、その結果に基づいて回路構成と回路特性を改善していく。シミュレーションの実行はTSS端末によ

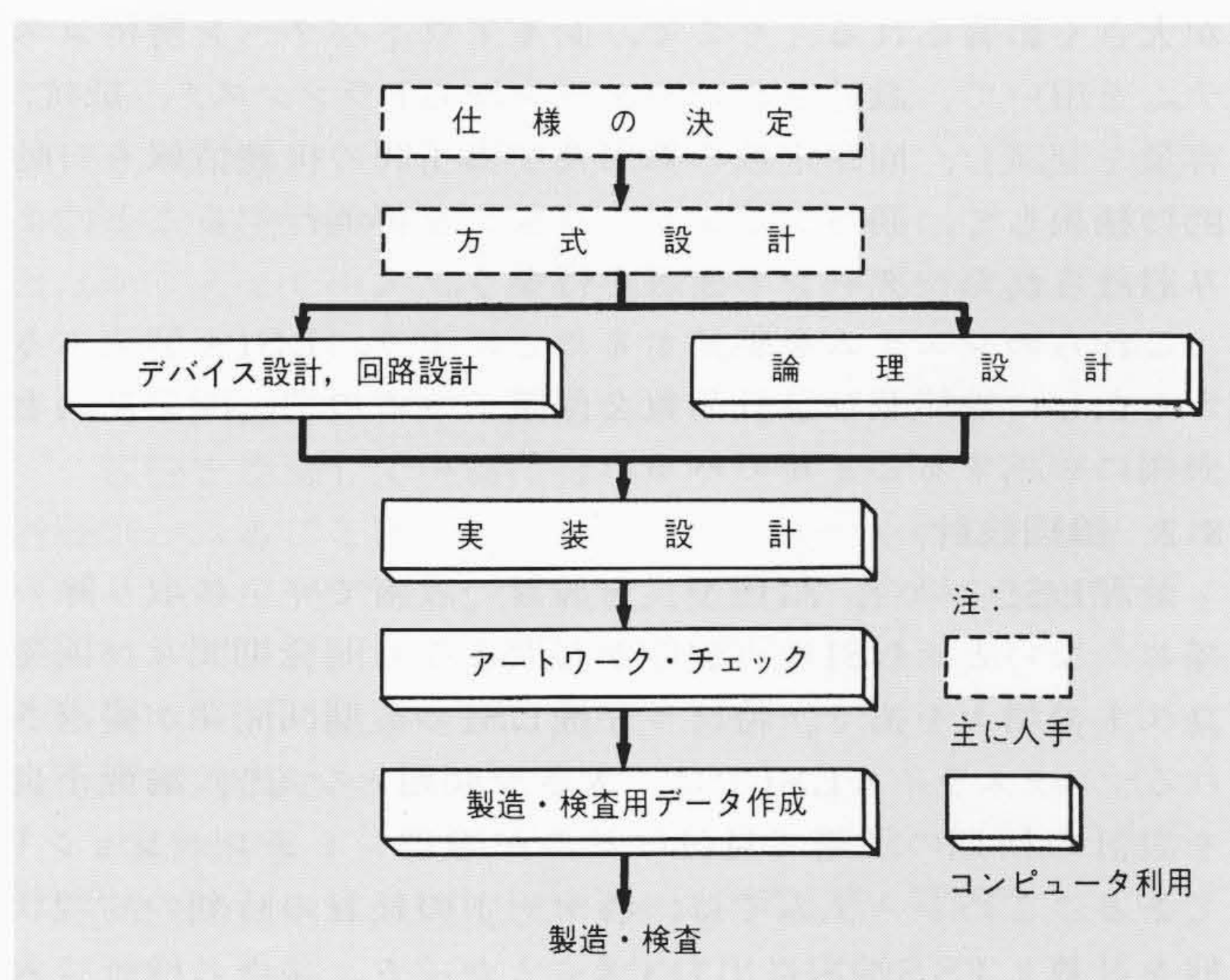


図1 LSI設計の流れ LSI設計工程を示す。工程のうち仕様の決定、方式設計を除き、コンピュータを利用して設計が進められる。

\* 日立製作所デバイス開発センタ \*\* 日立製作所武蔵工場 工学博士 \*\*\* 日立製作所神奈川工場 \*\*\*\* 日立製作所中央研究所



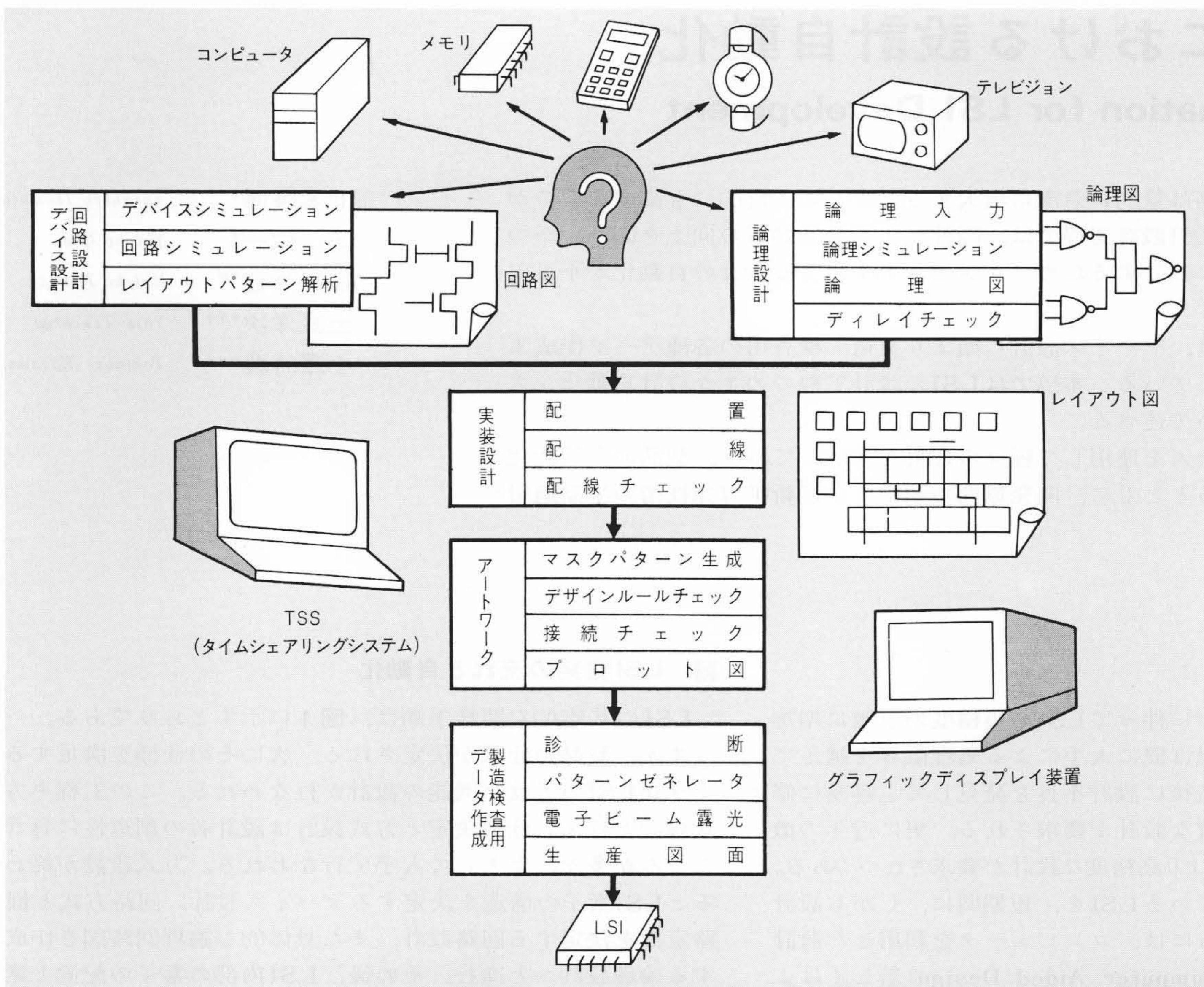


図2 LSI開発支援用DAシステム 各設計工程に対応して種々の開発支援及び自動化システムがあり、短期間にLSIの設計が可能である。

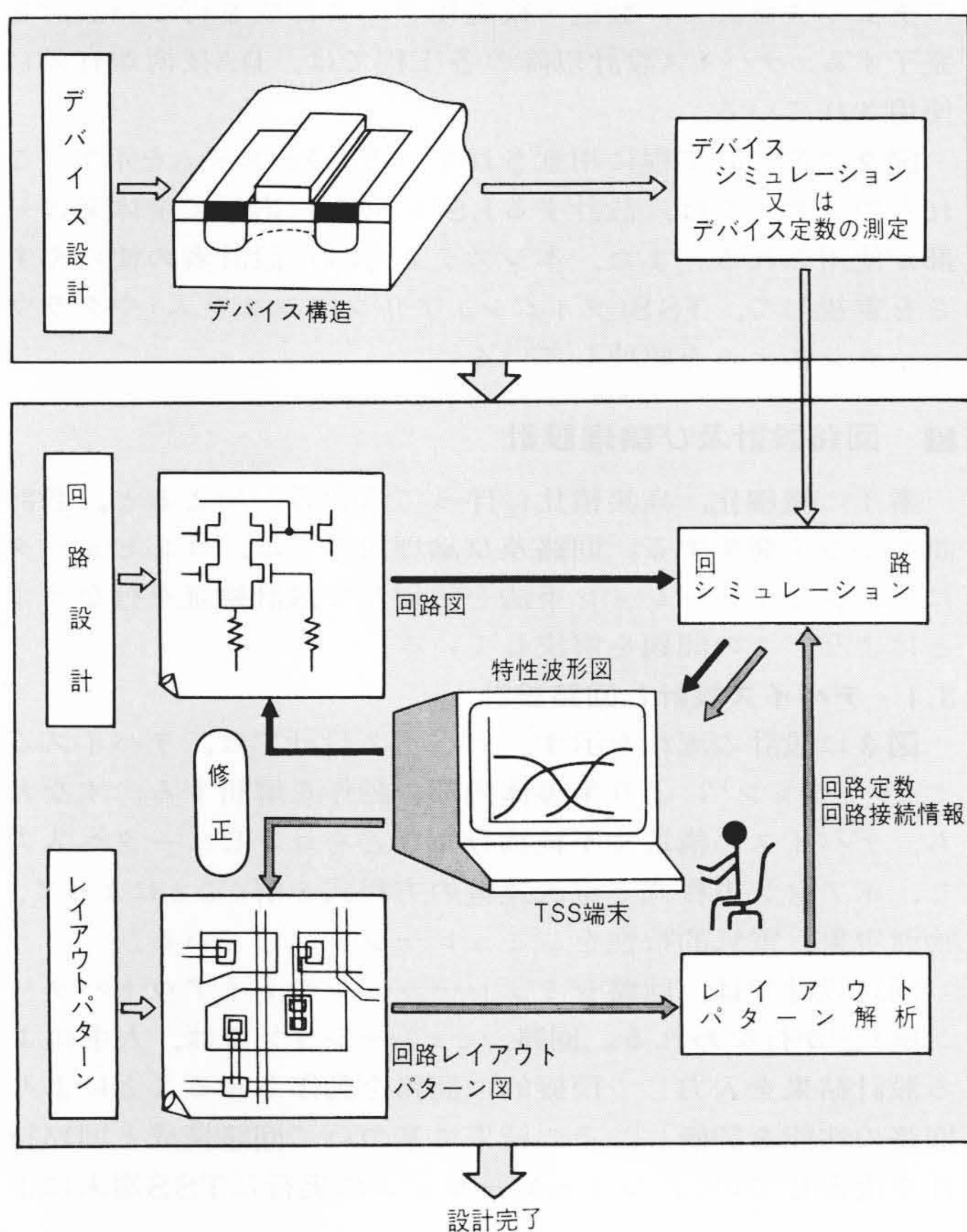


図3 デバイス、回路設計の流れ デバイスシミュレーション、デバイス定数の測定などにより、デバイス構造を決定後、回路シミュレータ、レイアウトパターン解析システムを使用して所望の回路を設計し、検証できる。

り対話形式で行なう。

実行結果の例を図4に示す。出力された特性曲線は、グラフィックディスプレイ上に表示でき、必要に応じてプロット図などのハードコピーを即時に得ることが可能である。

回路の検証が終わると、その回路に対応したレイアウトパターンを作成する。しかし、素子が高速になるとLSI内部に意識的又は無意識的に作り込まれた抵抗や容量により、特性が大きく影響される。そこで、レイアウトパターン解析システムを用いて、設計されたパターンからトランジスタ、抵抗、容量を認識し、回路定数の算出及び素子間の接続情報を自動的に抽出して、回路シミュレーションを再実行することにより設計されたパターンの検証を行なう。

これらのシステムを駆使することにより、LSIを製造することなしに性能及び設計品質を保証できるので、開発期間を大幅に短縮することができる。

### 3.2 論理設計

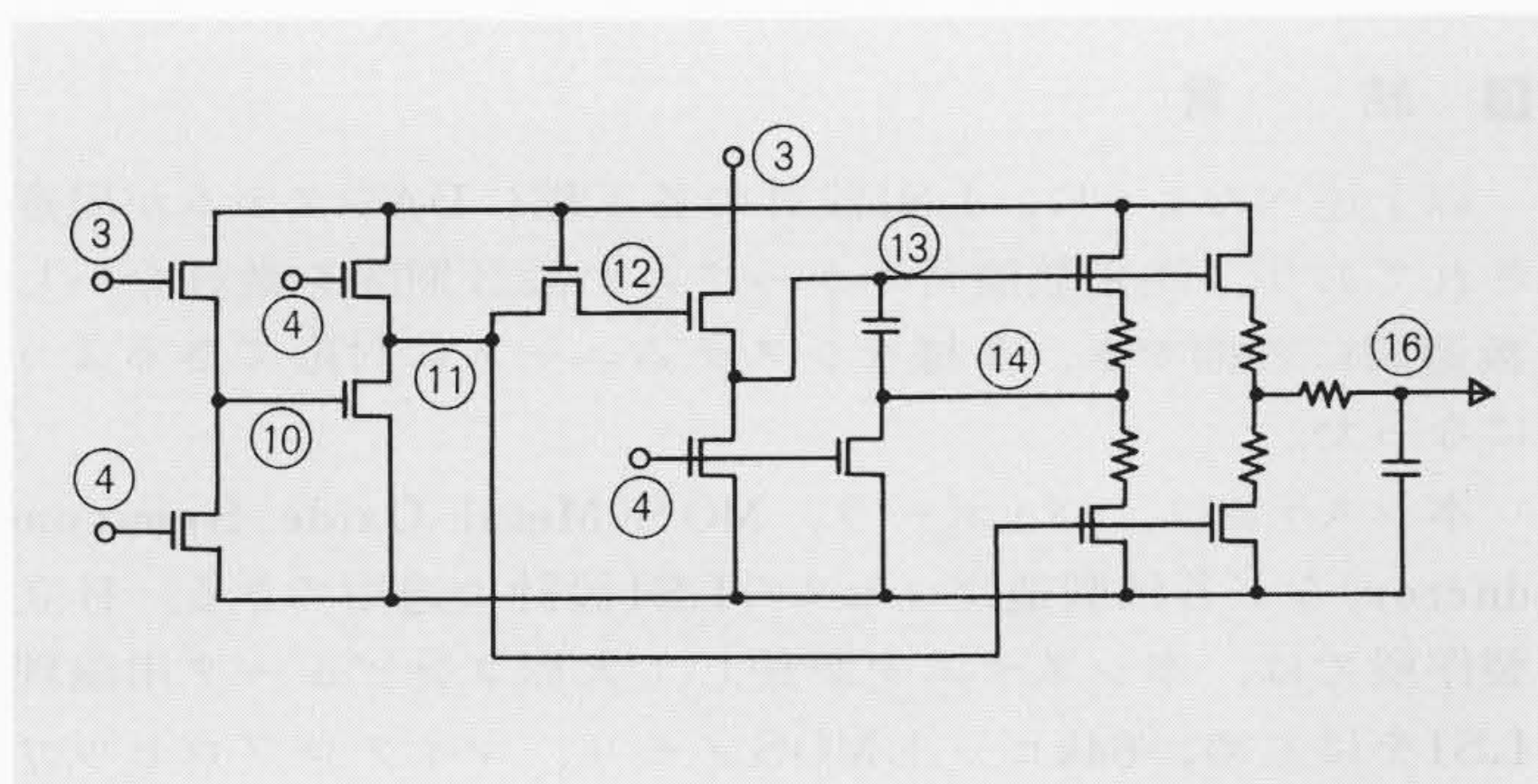
論理LSIの場合、論理不良を設計の段階で完全に取り除いておかないと、LSIの再製作が必要となり開発期間及び開発コストの増大を招く。特に多品種LSIの短期間開発が要求されるマスタスライスLSIでは、大きな問題となる<sup>3)</sup>。論理不良を設計の初期の段階で見付けるのが論理シミュレーション<sup>4)</sup>である。このシステムでは、各ゲートの任意の時刻の論理状態を計算しTSS端末に出力することができ、論理の検証に大きな効果を挙げている。

## 4 実装設計とアートワーク

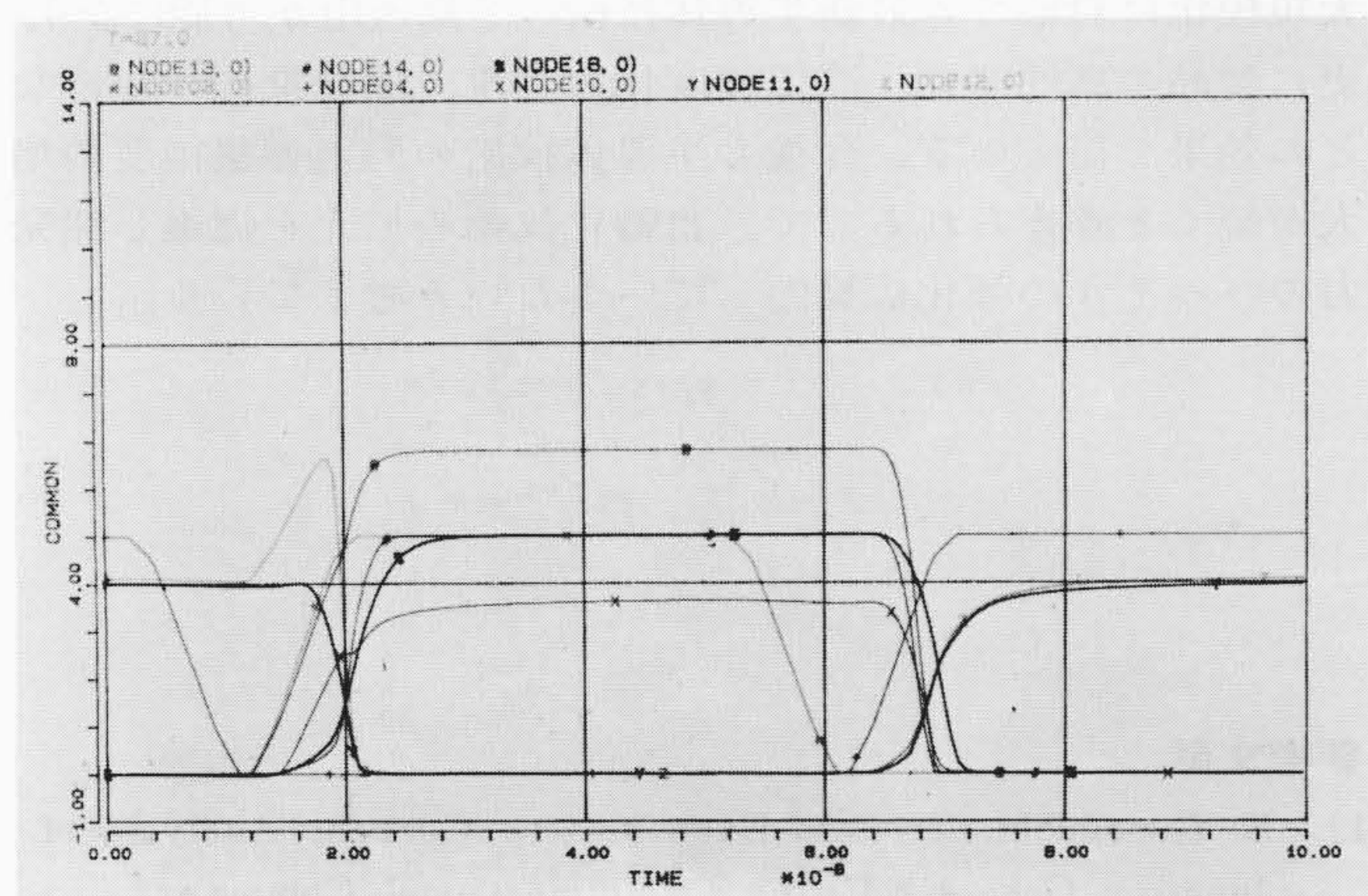
### 4.1 実装設計

実装設計ではLSIチップ上に素子を配置し、配置された素





(a) 被検証回路



(b) シミュレーション結果

図4 回路シミュレーションの例 検証したい回路(a)図を入力すると、(b)図に示すような出力波形が得られる。これをTSS端末上で対話形式で進めることができる。

子間を与えられた論理接続情報に従って配線する。大規模なLSIの配置と配線を人手で行なうことは不可能に近い。そこで論理LSIの場合、実装設計のほとんどの機能を自動化<sup>5)</sup>している。

図5にマスタスライスLSIで自動化されている主な機能を示すが、最近ではマスタスライスLSIだけでなく、標準セル方式の論理LSIについてもほぼ同様な自動化機能をもつ実装設計システムが実用化されつつある。

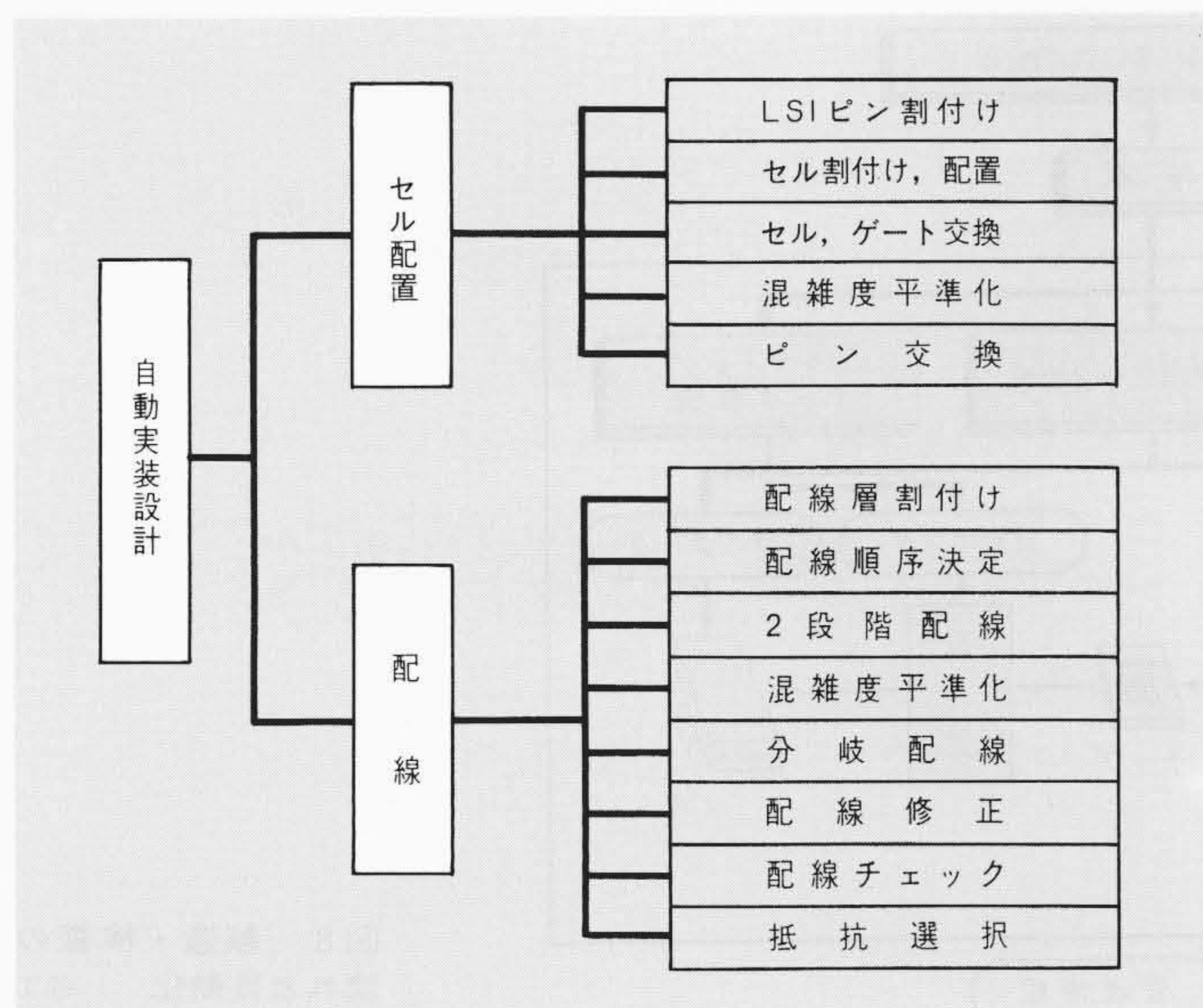


図5 実装設計の自動化機能(マスタスライスLSIの例) 論理LSIの設計用に広範囲な自動化機能がある。

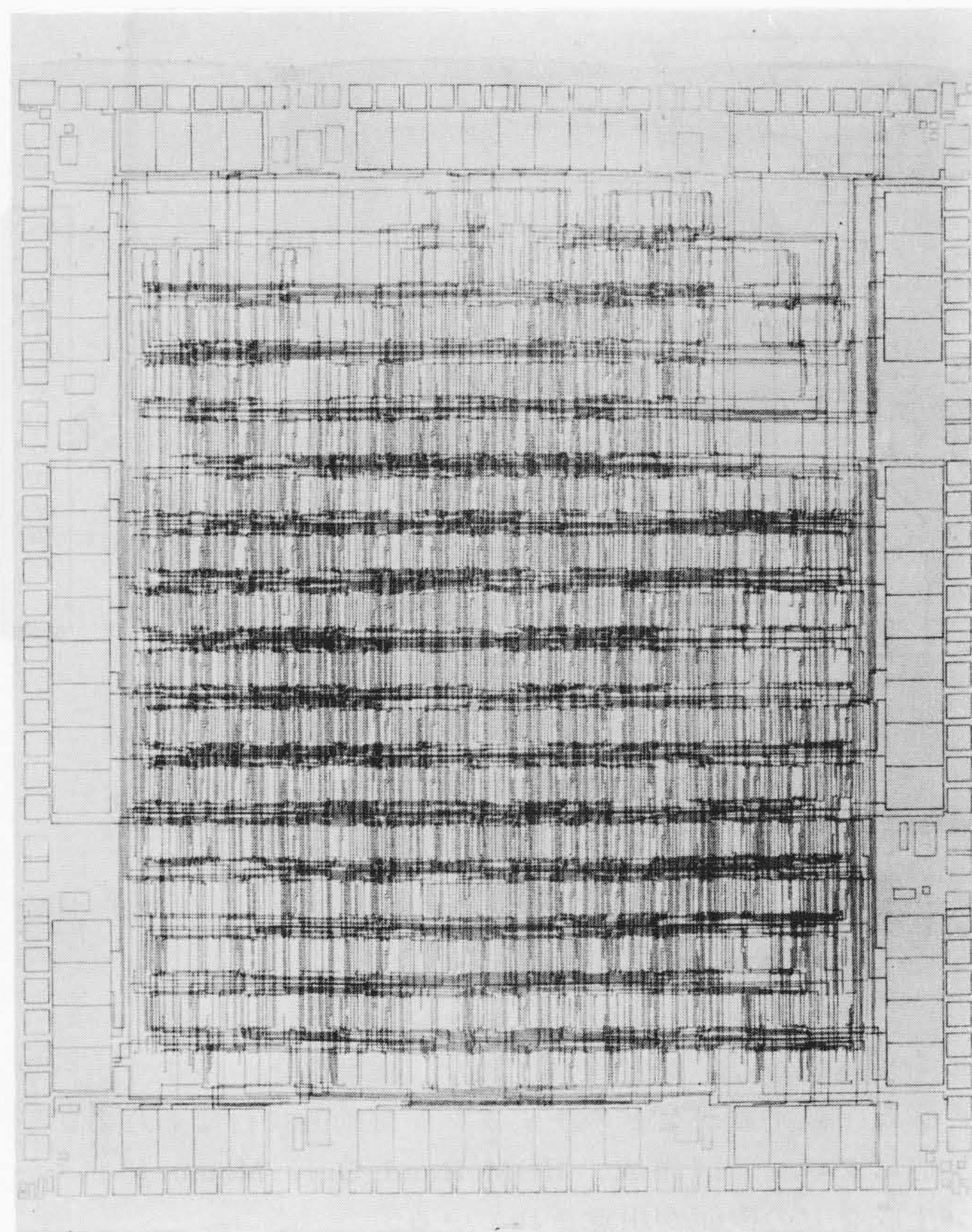


図6 LSI配線パターン図 配置・配線システムにより、自動生成されたLSIの配線パターンを示す。X-Yプロッタで自動製画したものである。

セル(ゲート又はゲートの集まり)配置システムでは、自動配線率が上がるようにセルの割付け、配置だけでなくLSIピンの割付け、セル内ゲート交換、予想配線混雑度の平準化、セルピンの交換も行なっている。

配線システムでは、信号線の配線順序を決定した後、配線層を割り付ける。次いでLSI上を粗い格子に分割し、その格子を使って大略の配線を行ない配線混雑を解消した後、最終パターンを決定する。自動配線率はほぼ100%である。図6は配線結果をX-Yプロッタで製画した例である。

もし、自動配線で未配線が生じた場合には、グラフィックシステムを使用して配線パターンを追加する。追加した配線が論理図どおり正しく接続されているかどうかを検査するのが配線チェックである。また、電気的条件を考慮して抵抗を自動的に選択することができるので、信頼性の高い設計が可能である。

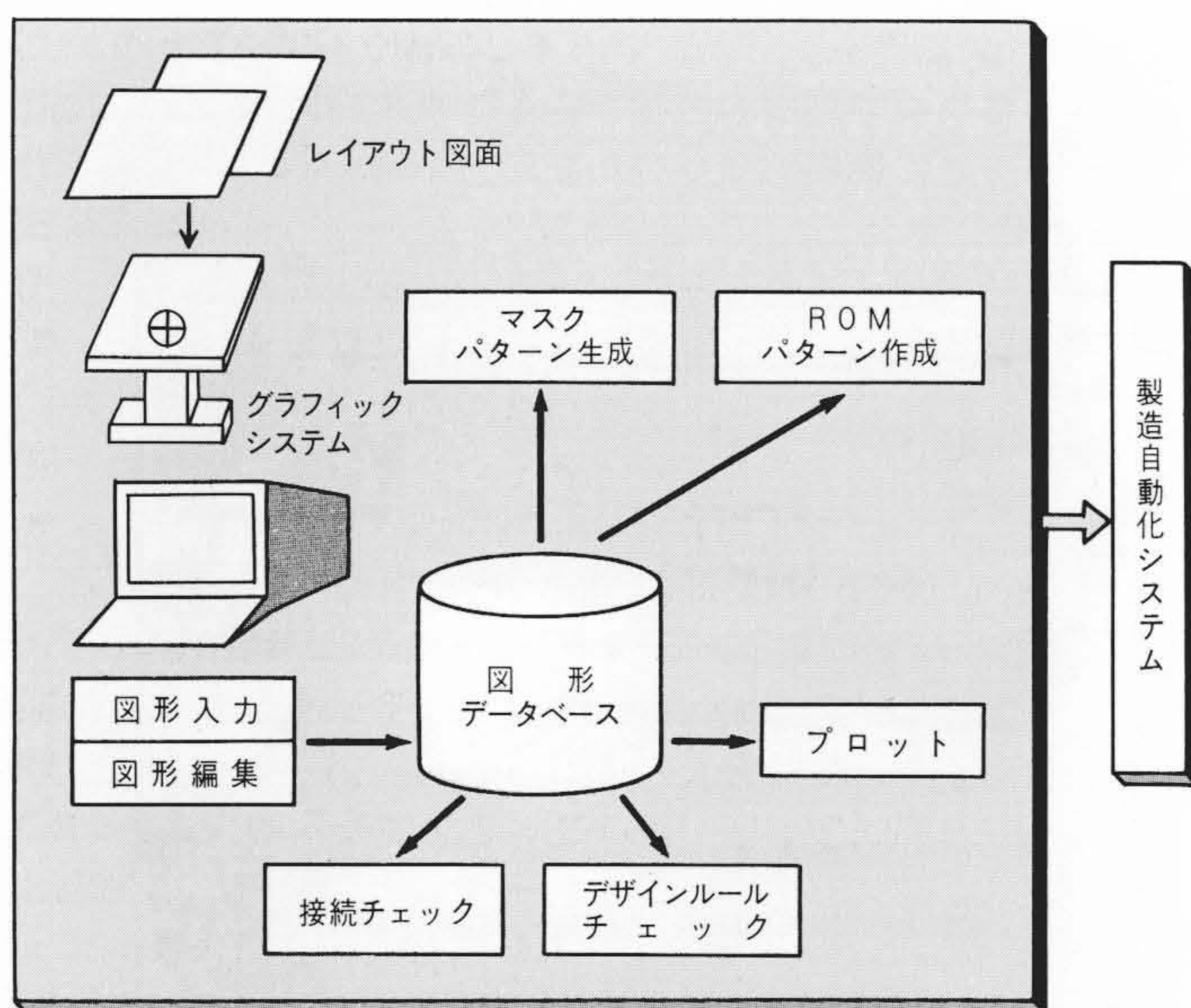
以上説明した自動化機能により、実装設計での設計不良を皆無にすることが可能となった。

#### 4.2 アートワーク

メモリLSIのように設計パターンに規則性のあるもの、あるいは高性能が要求されパターンの標準化が困難なものは、人手で実装設計される場合がある。人手設計されたレイアウト図面をコンピュータに入力し、不良のない図形データベースを生成するのがアートワークシステムである。

図7にアートワークシステムの構成を示す。レイアウト図面の入力とデータ不良の修正は、グラフィックシステムにより効率的に行なっている。人手レイアウト図は一部シンボリックな記法で書かれており、シンボルを実体パターン化(マスクパターン生成)した後、パターンの異常接近などのデザイン





注：略語説明 ROM(Read Only Memory)

図7 アートワークシステム 設計データベースを中心にして、アートワークに必要な各種システムを用意している。

ルール違反がないかどうか、また、論理図とレイアウトパターンは一致するかなどのチェックが自動的に行なわれる<sup>6,7)</sup>。

他にプロット図作成、ROM(Read Only Memory)パターン生成などの機能が用意されている。

## 5 LSIの製造・検査における自動化

論理設計の終わった論理情報及びアートワークにより生成された図形情報から、LSIの製造・検査用データが作成される。

図8に示すように、各製造・検査工程に対し各種の技術情報を自動作成し供給することにより、LSI製作を円滑に進めることができる。また、製品の信頼性を保証している。

LSI製造用データには、パターンゼネレータ用データ、電子ビーム露光用データ、各種生産用図面などがある。

LSIの検査は、直流特性検査、ファンクション検査、動作速度検査などが行なわれ、検査に使用するデータは、診断システムにより自動作成される。

## 6 結 言

以上述べたように、LSI設計の各工程にDAシステムが用意されており、従来数箇月かかっていた設計期間を数日ないし数週間に短縮でき、多様なシステムニーズに対応できるようになった。

本システムは、バイポーラ、MOS(Metal Oxide Semiconductor)など各種製造プロセスのLSI設計に適用できる。日立製作所では、本システムを駆使して大形コンピュータ用論理LSIをはじめ、64kビットMOSメモリ、マイクロプロセッサなどの製品を開発してきた。また、DAシステムによりLSIの大規模化に対応でき最新半導体技術の早期適用が可能になり、更に製品の高性能化、高信頼度化の実現、開発期間の短縮などの効果を得ている。今後も半導体技術の向上と集積度の増大が続くと考えられるので、自動化技術の拡充を促進し開発力のいっそうの強化に努力していきたいと考えている。

## 参考文献

- 1) K. Yamaguchi, et al.: Excess Gate Current Analysis of Junction Gate FET's by Two-dimensional Computer Simulation, IEEE Trans. ED-20(1978)
- 2) 矢野, 外: LSIマスクパターンの抵抗自動算出手法の検討, 昭56年度信学全国大会(1981)
- 3) 大野, 外: 大形コンピュータの自動設計, 日立評論, 61, 7, 487~492(昭57-7)
- 4) Y. Ohno, et al.: Logic Verification of Very Large Computers Using LSI's, Proc. of 16th DA Conf. (1979)
- 5) 岸田, 外: マスタスライスLSI用レイアウトシステム, 情報学電子装置設計技術研究会資料12-2(1982)
- 6) 酒見, 外: 論理接続チェックシステム, 情報学電子装置設計技術研究会資料6-2(1980)
- 7) T. Kozawa, et al.: A Concurrent Pattern Operation Algorithm for VLSI Mask Data, Proc. of 18th DA Conf. (1981)

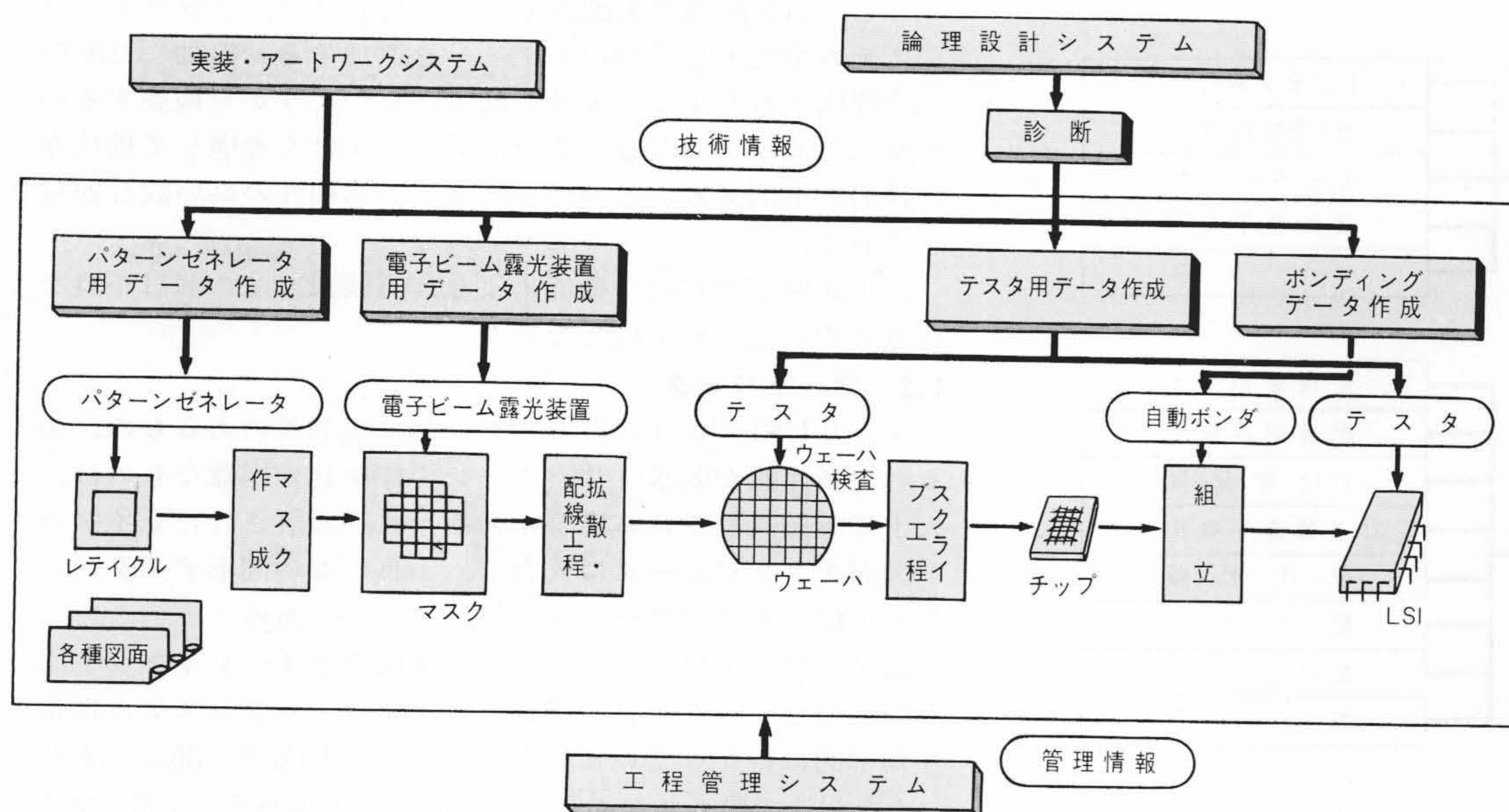


図8 製造・検査の流れと自動化 各工程に対し、各種の技術情報と管理情報を自動作成し供給している。